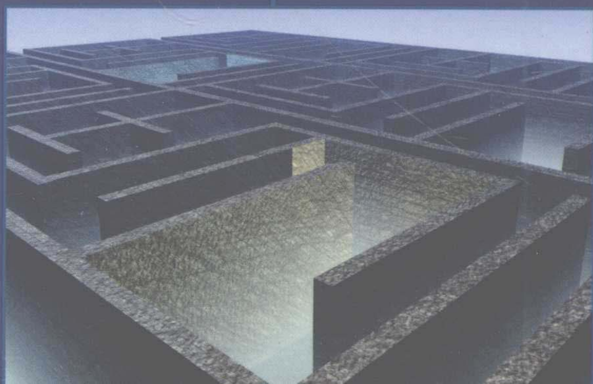


国际信息工程先进技术译丛

# 先进封装材料

## Materials for Advanced Packaging

（美） Daniel Lu
C.P.Wong 编
陈明祥 尚金堂 等译





机械工业出版社
CHINA MACHINE PRESS

国际信息工程先进技术译丛

# 先进封装材料


（美）Daniel Lu

C. P. Wong　编

陈明祥　尚金堂　等译



机械工业出版社

本书综述了先进封装技术的最新发展，包括三维（3D）封装、纳米封装、生物医学封装等新兴技术，并重点介绍了封装材料与工艺方面的进展。

本书适合微电子、集成电路制造行业的工程技术人员阅读使用，也可作为高等院校相关专业的研究生和教师的参考用书。



**图书在版编目（CIP）数据**

先进封装材料/（美）吕道强（Lu, D.），（美）汪正平（Wong, C. P.）编；陈明祥等译. —北京：机械工业出版社，2012.1

（国际信息工程先进技术译丛）

ISBN 978-7-111-36346-0

Ⅰ.①先… Ⅱ.①吕…②汪…③陈… Ⅲ.①封装工艺－电子材料 Ⅳ.①TN04

中国版本图书馆 CIP 数据核字（2011）第 227288 号

机械工业出版社（北京市百万庄大街 22 号 邮政编码 100037）

策划编辑：王 欢 责任编辑：王 欢

版式设计：霍永明 责任校对：肖 琳

封面设计：马精明 责任印制：李 妍

北京振兴源印务有限公司印刷

2012 年 1 月第 1 版第 1 次印刷

169mm×239mm · 36.75 印张 · 756 千字

0001－3000 册

标准书号：ISBN 978-7-111-36346-0

定价：99.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换

电话服务

社服务中心：（010）88361066

销售一部：（010）68326294

销售二部：（010）88379649

读者购书热线：（010）88379203

网络服务

门户网：http://www.cmpbook.com

教材网：http://www.cmpedu.com

封面无防伪标均为盗版

# 译　者　序

从芯片到器件或系统的整个工艺过程称为封装，芯片只有经过封装才能成为产品，投入使用。封装的主要功能是提供机械支撑与保护，实现电源与信号的连接。随着电子产品朝着高性能、多功能、高可靠、小型化、便携化及低成本方向发展，对电子封装提出了新的要求。例如，随着三维封装和系统集成度的提高、功率密度加大，封装散热成为影响器件性能的主要因素；对于大功率 LED 封装而言，除加强散热外，提高出光效率也是封装过程中需要重点考虑的方面。解决这些问题都有赖于封装技术（材料、结构和工艺）的不断改进和提高。

在半导体产业中，封装业作为市场需求量大、投资收益快、发展迅速的高技术产业，一直是发展中国家进军半导体产业的捷径，我国也不例外。据赛迪顾问统计，我国的半导体封装业一直占据着整个半导体产业的半壁江山，是半导体产业链中最具规模、最先发展的一个行业。封装技术的重要支撑是封装材料，相对国内电子封装产业快速发展的现状来说，封装材料方面的发展显得不相适应（主要体现在我国生产的封装材料配套不齐，且质量不够稳定）。如果说我国的封装产业已从芯片生产的附属位置转变为一个独立的产业，那么封装材料产业还在封装产业的附属位置上徘徊，还不能形成一个完整的独立产业，适应不了当前封装产业飞速发展的需要。

原书《先进封装材料》是一本为数不多的关于电子封装材料的重要著作，编者汪正平（C. P. Wong）是美国工程院院士、佐治亚理工学院资深教授、电子封装领域的权威专家。2008～2009 年，当我们在美国佐治亚理工学院封装研究中心（Packaging Research Center，PRC）从事访问研究期间，合作导师即为汪正平（C. P. Wong）教授，有幸拜读了汪教授主编的原书，立即被其内容和前瞻性所吸引。从内容上看，原书不仅收录了国际知名学者对封装材料的最新见解，包括引线键合材料、无铅焊料、基板材料、倒装芯片底部填充料、环氧模塑料、导电胶、热界面材料、纳米封装材料等；还涉及电子封装技术的最新发展，包括三维集成、系统封装（硅片减薄、填孔）、纳米封装与互联、圆片级封装、MEMS 封装、LED 封装等前沿领域。特别是原书提供了大量的参考文献，为读者参考国内外相关研究情况提供了全面的背景资料。坦率地说，我们近年来也多次参加电子封装领域的学术会议，包括在美国召开的电子器件与技术会议（Electronic Components and Technology Conference，ECTC）和我国召开的电子封装技术暨高密度封装国际会议（International Conference on Electronic Packaging Technology & High Density Packaging，ICEPT-HDP）年会，涉及封装材料和工艺的论文都占据了很大篇幅。虽然我国近几

年也出版和翻译了一些关于封装材料的书籍，但大多围绕微电子封装。鉴于电子封装技术的飞速发展，对封装材料和工艺技术的介绍和及时更新就显得非常必要。我们想，这也是汪教授主编《先进封装材料》的初衷。因此，回国后，在征得汪正平教授同意，在机械工业出版社的大力支持下，我们决定尽快翻译原书，以飨国内的同仁。希望本书的出版对国内的封装技术，特别是封装材料和工艺研发人员有所帮助。

本书主要由陈明祥和尚金堂负责翻译、校核和协调工作。其中，陈明祥翻译第1、7、12、17、19章，蔡明先翻译第2、3章，曹斌翻译第4、6章，彭聪翻译第5、16章，秦顺金、张迪、尚金堂翻译第8、9、11章，杨亮翻译第10章，皮智华翻译第13章，吕植成翻译第14章，焦峰翻译第15章，罗小兵翻译第18章。此外，徐天明负责译校第4、6章，徐建译校第10章，吕强译校第13、15章，其余由陈明祥、尚金堂负责译校。

本书是在原著者吕道强（Daniel Lu）博士、汪正平（C. P. Wong）教授和Springer出版社的委托和授权下翻译的，在此对他们所给予的信任表示感谢。感谢华中科技大学刘胜教授、罗小兵教授对全书翻译工作的支持。感谢机械工业出版社牛新国社长和王欢编辑等有关人员的辛勤劳动，在他们的帮助下，本书得以顺利出版。另外也要特别感谢参与本书审稿的朋友，他们的参与使得本书更加出色。

因翻译和学术水平有限，译书中肯定有错译、误译和不恰当之处，恳请广大读者给予批评指正。

译　者

2011年10月

# 前　言

在过去的几年，由于经常参加一些电子封装会议如 IEEE 电子器件与技术会议（Electronic Components and Technology Conference，ECTC），我们目睹了电子封装技术各方面的进步，特别是在封装材料与工艺方面所取得的进展。所以，为了让读者了解电子封装的最新进展，我们决定推出本书。

本书广泛地综述了先进封装技术的最新发展，包括三维（3D）封装、纳米封装、生物医学封装等新兴技术，并重点介绍了封装材料与工艺方面的进展。本书包括 19 章，分别由业内公认的专家撰写，第 1 章回顾了三维封装的结构及可用于三维封装的材料与工艺；第 2 章评述了一些新的键合与连接技术，这些技术为电互连或机械互连提供了大面积无空洞的封装界面；第 3 章介绍了一些用于集成电路（IC）与基板间互连的新兴技术，用于提高电学与机械特性；第 4 章介绍了有关引线键合的最新进展；第 5、9、10、11、12、13 章介绍了一些关键封装材料的最新进展，包括无铅焊料、倒装芯片底部填充料、环氧模塑料、导电胶、芯片贴片胶/贴片膜以及热界面材料（TIM）；第 6 章回顾了各种圆片减薄技术和有关材料与工艺；第 7、8 章介绍了有机基板与印制电路板的进展；第 14 章回顾了嵌入式无源器件包括电容、电感及电阻所用的材料；第 15、18 及 19 章包括纳米封装、发光二极管（LED）与光学封装、生物医学封装等在内的新技术；第 16、17 章则分别介绍了用于微电子机械系统（MEMS）中的材料和工艺，以及圆片级芯片尺寸封装技术。

感谢所有为本书的出版而作出贡献的人们。

# 目　　录

# 第1章 三维集成技术综述

Rajen Chanchani

**摘要**：只有采用三维结构，才能满足下一代集成微系统技术不断增长的功能和性能方面的需求。三维集成的首要驱动力是微型化和性能要求，将不同技术集成在一个小的空间。三维集成技术可以分成三类，即三维片上集成、三维IC堆栈和三维封装。本章对这三类三维集成技术进行了详细评述。

**关键词**：微系统，三维集成，芯片堆栈，硅穿孔，圆片键合。

## 1.1 简介

图1.1给出了一个包含5个独立微系统功能模块的集成微系统实例。传统意义上，这些不同的功能模块一般集成在二维封装管壳或印制线路板（Printed Wiring Board，PWB）上[1]。在三维结构中，这些功能模块可以垂直堆叠，每个模块都可以成为堆栈结构中的独立层。每一层都可以通过层间垂直互连线连接在一起。对于三维集成，微系统的空间尺寸大大降低，也就是说$X$和$Y$方向的尺寸大大减小，同时$Z$方向的尺寸增长也很小。尺寸降低导致功能模块间互连线长度降低，而互连线长度的降低将提高系统性能，这将在下一节中详细解释。

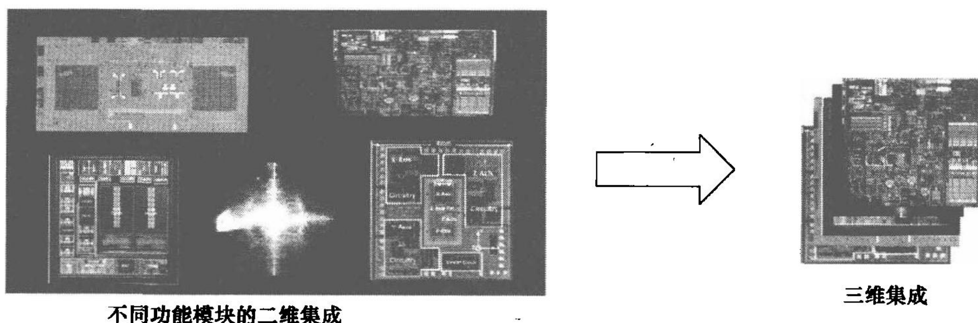



图1.1 二维和三维集成微系统

### 1.1.1 三维集成技术分类

虽然三维集成是一个相对较新的概念，但在研究和实施过程中仍出现了很多不同的技术。这些技术可以分成三大类[2]。

### 1.1.1.1 三维片上集成

三维片上集成是 IC 技术的垂直延伸。如图 1.2 所示，有源半导体器件层依次在第一层的 IC 层上构建。该技术是一种真正的均质三维系统芯片技术（System On Chip，SOC），目前主要由大学进行研究开发[3]。

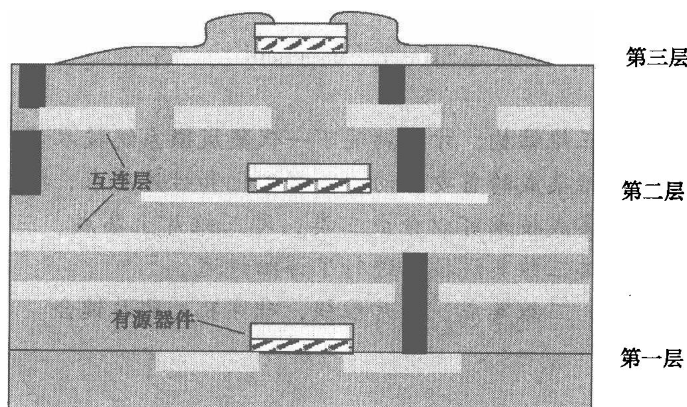



图 1.2 集成电路（IC）三维片上集成

### 1.1.1.2 含硅穿孔的三维 IC 堆栈

在这类三维集成中，首先在单一圆片上进行加工，然后将这些圆片或 IC 堆叠成三维结构，并通过硅穿孔（Thru-Si Vias，TSV）实现片间互连。IC 堆栈工艺既可以是圆片级的，也可以是芯片级的，图 1.3 所示为圆片级三维堆栈技术。在这种三维集成技术中，通孔既可以穿过硅片，也可以穿过二氧化硅层，硅穿孔包含了这两层意思。近年来，该技术已成为工业界、大学和研究机构研发活动的焦点。

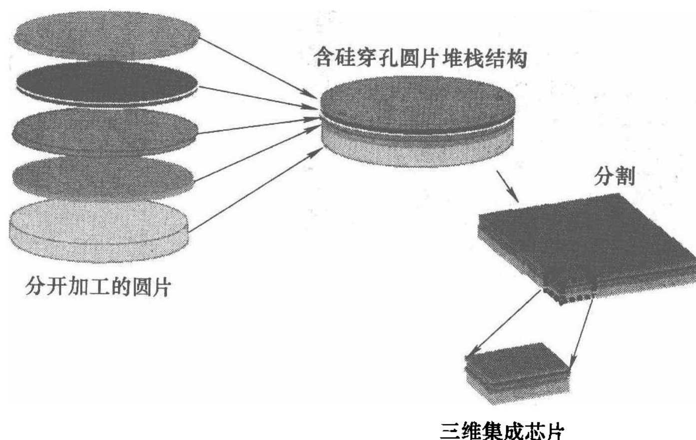



图 1.3 含硅穿孔的三维 IC 堆栈技术

1.1.1.3　三维封装

三维封装通过将封装好的IC堆叠成三维结构，提供了制备集成微系统的最简洁方式。这种三维集成技术有很多不同的实施方式，图1.4a、b所示为其中引线键合堆栈和球栅阵列（Ball-Grid-Array，BGA）堆栈结构。目前，三维封装广泛地应用在消费类电子产品中。三维封装的一些新概念很难与三维IC堆栈（第二种集成技术）区分开来。基于如何实现芯片与芯片间互连，本章对第二种和第三种集成技术进行了区分。如果互连是通过硅穿孔实现的，这类技术称为三维IC堆栈（第二种）；如果互连结构制备在芯片外面，就称为三维封装。

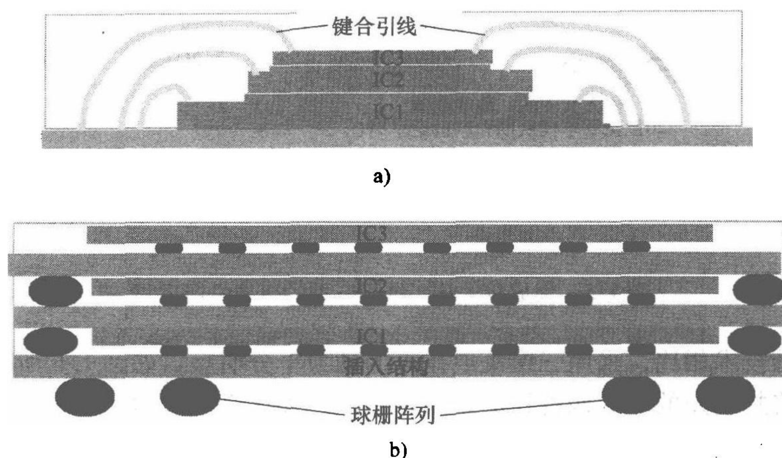



图1.4　三维封装实例
a）引线键合芯片堆栈结构　b）球栅阵列型堆栈结构

## 1.1.2　三维集成驱动力

电子工业不断向前发展，对微系统的功能密度和性能要求不断提高，具体包括①尺度，也就是通过降低特征尺寸提高IC的功能密度；②采用先进的IC封装和集成技术，如倒装芯片、球栅阵列、芯片级尺寸封装（Chip-Scale-Package，CSP）、多芯片模块（Multi-Chip Module，MCM）、系统级封装（System-in-Package，SiP）和嵌入式被动器件等。但IC功能密度和先进封装/集成技术已达到二维封装的实用极限。为满足不断增加的功能和性能要求，下一代技术只能采用三维结构。

图1.5给出了三维集成技术发展的历史进程。一种评价电路密度的方法是硅封装效率（Silicon Packaging Efficiency，SPE），是指硅片面积与整个电路面积的比值。图1.5所示的一块传统电路板的典型SPE值为10%～15%，而下一代封装技术如多芯片模块的SPE值会高一些，达到50%～70%。

通过二维与三维混合集成可提高SPE值，也就是嵌入式被动器件加上模块堆栈技术。全三维IC的SPE值超过100%。与二维技术相比，三维集成不仅提高了

集成密度，而且带来了一些非常实用的好处，下面将对此进行讨论。

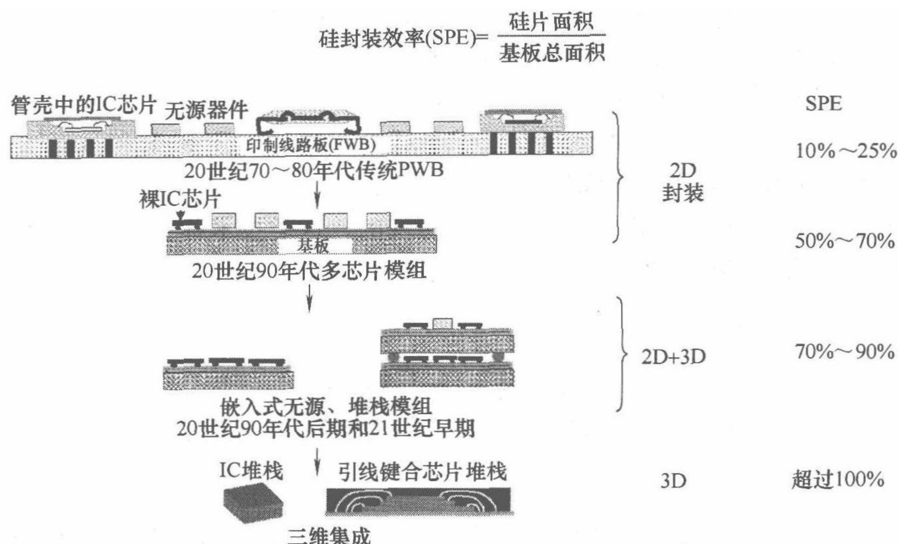



**图 1.5　集成技术从二维到三维的历史发展进程**

与二维技术相比，采用三维集成技术的动力十分明显。如图 1.6 所示，传统的电子系统将封装好的器件构建在印制线路板上。如果系统必须进一步小型化，以降低尺寸提高性能，我们有三种选择：第一种是对二维芯片系统（SOC）进行合理布置，所有的功能模块都通过单一的 IC 二维集成；第二种选择也是二维集成，但不同的功能模块都集成在一个基板（即 MCM）上或一个封装体（即 SiP）内；第三种选择是三维集成。选择最合适的集成技术的主要动力因素是空间尺寸、成本、技术集成和性能。表 1.1 给出了三种集成技术对这些因素的相对排序，该排序对下面的详细讨论进行了总结。

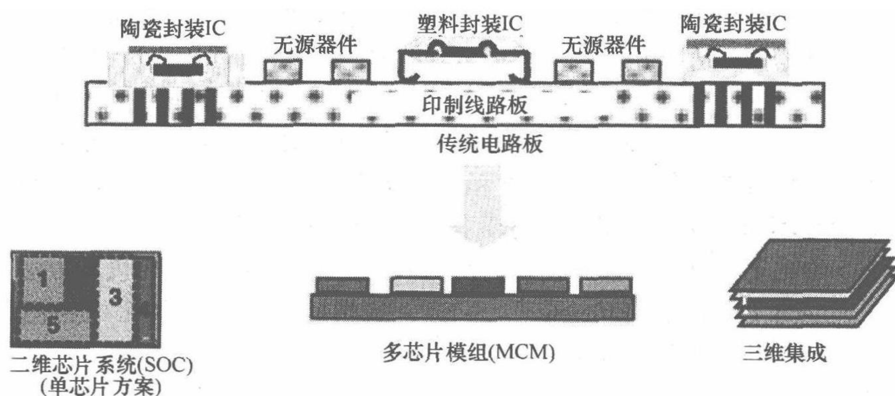



**图 1.6　未来系统小型化的技术选择**

表 1.1　不同集成技术方案排序

| | 技术方案 ---------→ | | |
|---|---|---|---|
| | 2D SOC | 2D MCM | 3D |
| 形状因子 | 5 | 2 | 5 |
| 成本 | 1 | 4 | 3 |
| 技术集成 | 1 | 5 | 4 |
| 性能 | 3 | 1 | 5 |

注：排序是 1 为最差，5 为最好。

#### 1.1.2.1　空间尺寸

很明显，三维 IC 堆栈和二维 SOC 都具有最小的空间尺寸。虽然多芯片模块（MCM）比传统印制线路板（PWB）组装方式空间尺寸小，但两者的空间尺寸都远远大于三维 IC 堆栈结构。

#### 1.1.2.2　成本

为了在单一的 IC（二维 SOC）上实现全尺寸集成，必须加大芯片尺寸。根据半导体工业技术路线图，因为制造大芯片的成本很高，芯片尺寸不能大于 $400mm^2$。当芯片尺寸加大时，由于加工成品率降低，同时每块圆片上的芯片数变少，导致成本升高。因此，对于全集成而言，二维 SOC 技术并不是一种低成本的选择方案，这使得多芯片模块（MCM）和三维集成技术成为一种可行的选择，排序见表 1.1。目前，三维集成的成本要高于 MCM 方案，但很多研究小组正在开发三维加工工艺，相信随着技术的成熟和生产规模的提高，三维集成的成本将会大幅降低。

#### 1.1.2.3　不同技术混合集成

从技术上而言，在二维 SOC 上实现不同技术的完全集成是很困难的。即使技术上可行，昂贵的生产成本和投资要求也会阻碍单个 IC 集成（如 SOC）技术的发展。通过首先制备出单个芯片，然后在基板上集成和堆叠成三维结构，多芯片模块（MCM）和三维封装可实现不同技术的混合集成。因此，从集成技术发展前景而言，MCM 和三维封装更适合微系统应用的多种需求。

#### 1.1.2.4　性能

三维集成的系统性能要远远高于 SOC 和 MCM 这两种二维集成技术[3,5-8]。三维集成性能高的一个主要原因在于，采用很短的三维垂直互连线取代了二维集成中较长的互连线，如图 1.7 所示。在电路的版图设计中，有三种互连方式：局部互连、半整体互连和整体互连。局部互连是指功能模块内单元间最短的互连；半整体互连用于相邻模块间的互连，长度居中；整体互连的长度最长，贯穿整个电路。整体互连的一个实例是在功能模块间实现块间的时间互连。三维电路中的整体互连和半整

体互连线较短，但对电路性能的影响最大。互连线缩短可以缩短互连时间延迟、减少串音和降低功率损耗，提高系统性能。

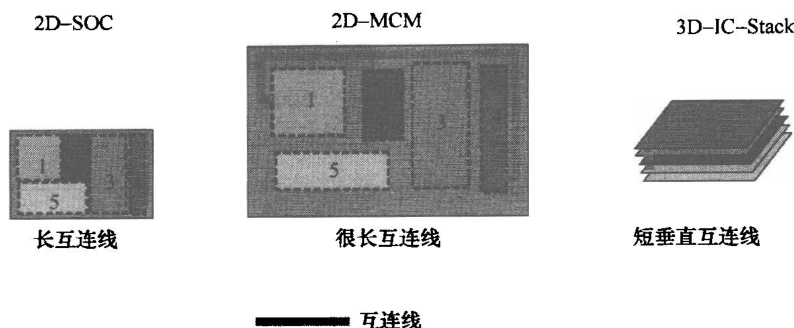



图 1.7　不同技术方案的互连长度

**互连时间延迟**：通过将更多的晶体管堆积在单一芯片上，IC 工业满足了电子产品不断提高的高性能、低功率、低成本和微型化的要求。在一代代 IC 制造技术中，这主要是通过缩放比例和降低特征尺寸来实现的。当特征尺寸减小时，栅长度降低，导致门信号延迟降低。然而，缩放比例提高了互连长度，从而满足不断增加的晶体管密度要求[3,9]。互连长度变长会导致互连延迟时间增加，如图 1.8 所示[3,9-11]。为了改善互连延迟问题，20 世纪 90 年代开发了铜/低 *K*（介电常数）技术。但即使在将来的 IC 中应用铜/低 *K* 技术，太长的互连延迟时间也会对性能造成不利影响。对于传统的 Al/$SiO_2$ 和铜/低 *K* 技术，图 1.9 给出了缩放比例对互连长度和门信号延迟特性的影响。两种技术中的门信号延迟都与缩放比例有关，铜/低 *K* 互连延迟要明显低于 Al/$SiO_2$ 技术。然而，在这两种技术中，随着特征尺寸降低，互连延迟时间增加。如图 1.9 所示，将来在特征尺寸低于 0.1μm 的电路中，即使铜/低 *K* 技术也难以满足降低信号延迟的性能要求。而三维技术（特别是含硅穿孔的 IC 堆栈结构）正好填补了这一性能缺口，如图 1.10 所示[3]。当我们从二维设计转化到含堆栈功能模块的三维 IC 设计时，由于长互连线被非常短的垂直互连线所取代，所以互连延迟得以降低。此外，三维技术中有很大的空间来满足互连布线要求，从而可以提高互连间距和横截面积。较短的互连长度、较长的间距和较大的横截面积使时间延迟降低，同时也降低了与互连有关的电阻、电感和电容的寄生损耗。因此，将来我们不必继续增加二维 IC 的电路密度，三维 IC 堆栈提出了一种很好的解决方案。

**串音**：串音与耦合互连长度及其间距有直接关系。在三维设计中，互连长度变短将降低互连耦合，从而减少与这些互连有关的串音问题[13]。由于在二维电路中互连布线空间受限，互连线不得不紧密相依，间距很小。在三维设计中，由于在垂直方向也可以布线，具有足够的互连布线空间，从而可以提高间距，进一步降低串音。

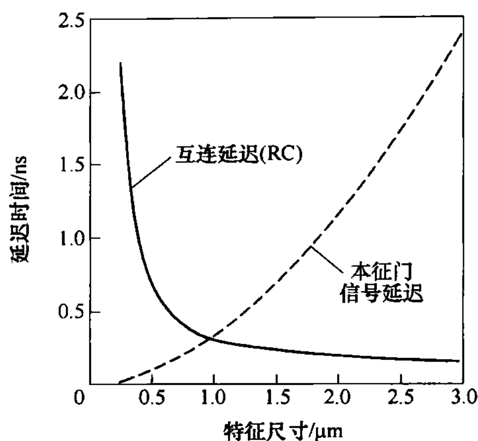



图 1.8　本征门信号延迟和互连延迟与最小特征尺寸的关系[10]

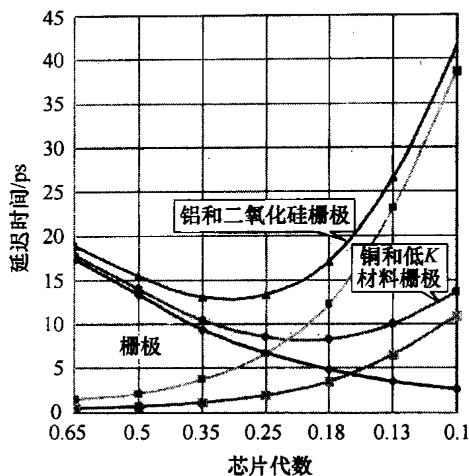



图 1.9　Al/$SiO_2$ 和铜/低 $K$ 技术中互连和门信号延迟与特征尺寸的关系[12]

**功率损耗**：由于寄生损耗高，互连消耗了芯片内大量的功率。由于互连寄生效应与互连长度成正比，与二维电路相比，三维集成具有较低的寄生效应和功率损耗[6,7,14]。互连长度对功率损耗的影响早在 MCM 中就显现出来。结果表明，传统的 PWB 组装采用 MCM 技术，主要由于互连长度的降低，与互连有关的功率损耗降低了 80%。同样地，采用三维技术，由于互连长度变短、互连间距变大、横截面积增加，功率损耗显著降低，寄生损耗也成比例降低。图 1.11 给出了一个现场可编程门阵列（Field-Programmalle Gate Array，FPGA）功率损耗与堆栈结构中层数的关系，对于 2 ~ 4 层的三维集成，功耗降低比例是 35% ~ 55%。对于从二维

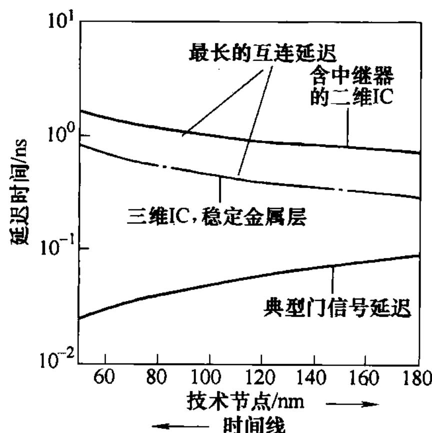



图 1.10　二维和三维电路中互连延迟与门信号延迟与特征尺寸的关系[3]

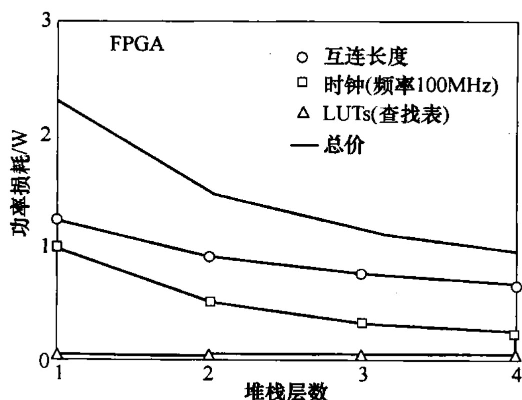



图 1.11　三维结构的层数对功率损耗的影响[7]

到两层堆栈结构的转变，影响最大的是大部分互连是垂直的，当堆叠层数增加时大部分互连在面内实现，从而抵消了功率损耗的减少作用。

采用三维集成的原因是毋庸置疑的，因此促进了美国、欧洲和亚洲的大学、企业和研究机构一起来开发三维集成技术。

## 1.2 技术描述

三类不同的集成技术已在 1.1.1 节中进行了简单介绍，下面将进行详细的描述。这三类集成技术目前处于不同的技术成熟阶段：第一类是三维片上集成（见图 1.12），仍处于研发的早期阶段；第二类是含硅穿孔的三维 IC 堆栈（见图 1.3），处于研发的高级阶段，目前正考虑应用于一些特别先进的产品；第三类是三维封装（见图 1.4），是最成熟的一类，已应用于许多高端的消费类电子产品。

### 1.2.1 三维片上集成

这是一种“从下到上”的三维集成方法，有源硅层依次构建并通过中间介质层相互分开（见图 1.2）。它能实现一种真正的同质（指封装中器件都相同）三维芯片系统，提供了一种最有效的集成方法。然而，主要的技术挑战和研发问题还有待研究上处于领先地位的大学来解决。目前正研发三种技术来实现三维片上集成，包括激光束再结晶、硅外延生长和固相结晶。

#### 1.2.1.1 激光束再结晶

该技术如图 1.12a 所示，首先在衬底上沉积一层多晶硅层，制备出第二个有源层，然后在上面制作一层薄膜晶体管（Thin Film Transistor，TFT）[3,15]。但是由于表面迁移率低、阈值电压高，多晶硅上的晶体管性能很差。为了提高性能，采用一束强激光指向多晶硅层使硅再结晶，并消除晶粒边界。由于高温（1000℃）熔化作用，该技术并不适用于三维器件。另外，高温也会对下一层器件产生不利影响。目前的研究工作是在低温下实现多晶硅的再结晶，从而更好地满足下层晶体管要求。

#### 1.2.1.2 硅外延生长

该技术如图 1.12b 所示，构建三维硅层是通过先在钝化层中刻蚀一个孔形成窗口，然后从该窗口外延生长单晶硅种子层[3,16]。硅晶体先垂直生长再侧面生长，工艺先从二氧化硅沉积和图形化制备开始，然后为便于外延生长还要在氧化层上开孔。紧接着通过外延垂直和侧向生长一层单晶硅，新生长的硅层与氧化物层采用化学机械抛光（Chemical-Mechanical Polishing，CMP）平坦化。金属氧化物半导体场效应晶体管（Metal Oxide Semiconductor Field Effect Transistor，MOSFET）就制作在生长的这层硅上，为了制备后续的结构层，需要不断重复整个加工流程。其中主要关注点是外延过程中的高温（1000℃）会降低器件性能。目前正在研发采用超高真

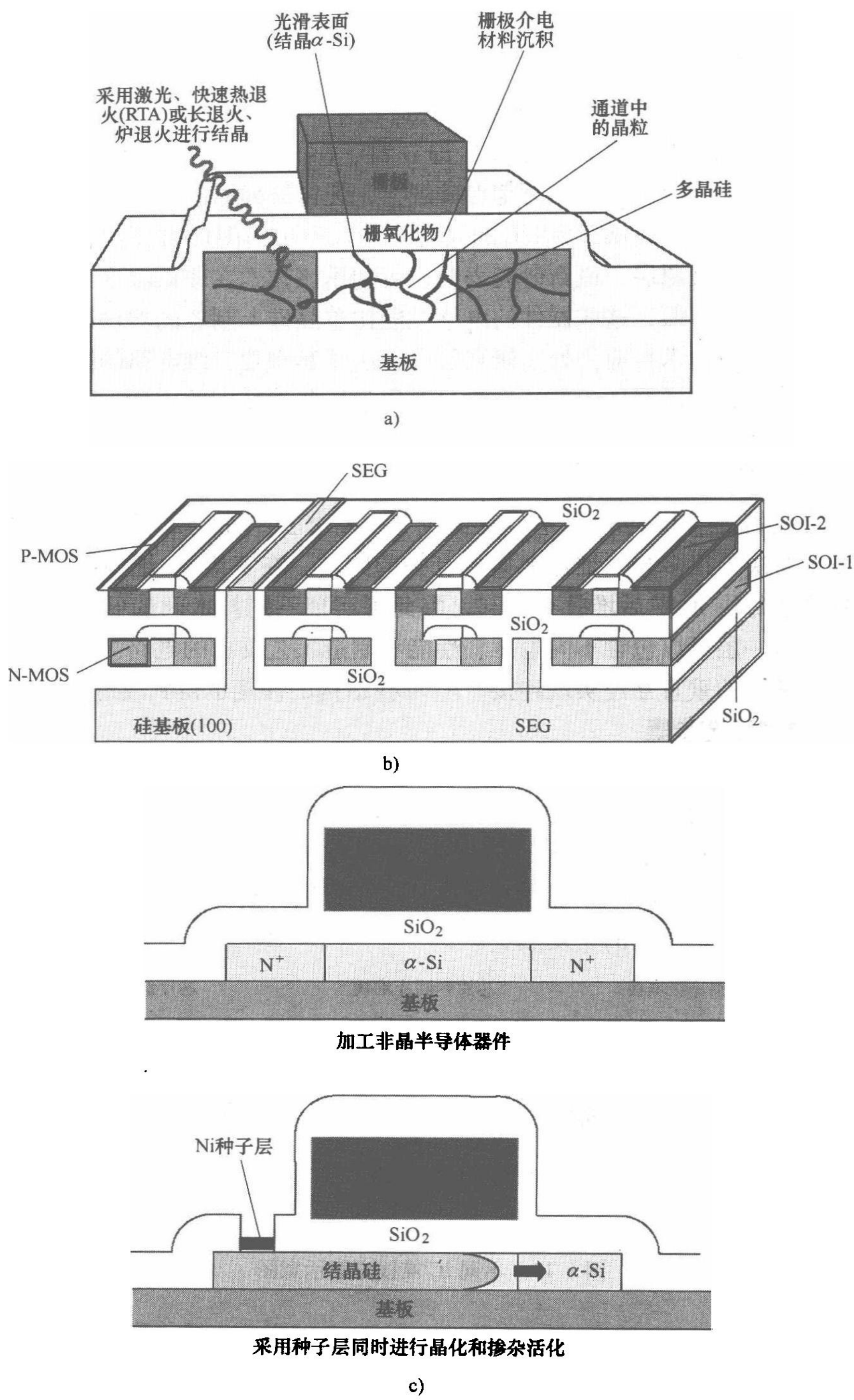



图 1.12　三维片上集成技术[5]

a）激光加热再结晶　b）硅外延生长　c）固相结晶

空化学气相沉积（UHV-CVD）的低温工艺，从而解决高温的不利影响[17]。

#### 1.2.1.3 固相结晶

这是一种温度相对较低的三维器件制造技术，技术示意图如图 1.12c[3,18] 所示。首先，采用低温工艺将无定形硅（即 α 硅，α-Si）沉积在有源器件的第一层上，器件的第二个有源层制备在无定形硅层上，无定形硅结晶后形成多晶硅。结晶采用镍种子层诱导，并在低于 500℃的温度下置入到小的图形窗口中，不断重复该工艺可制备出多个有源层。最新研究表明，可利用该技术在较低温度下制备出具有较高性能的器件。然而，这些器件的电学性能比单晶硅上制备的器件性能要差。

三维片上集成技术目前仍处于研究阶段。由于其构建三维电路的工艺难度，以及只能集成有限数量的器件，使该技术只适用于一些很特别的应用。

### 1.2.2 含硅穿孔的三维 IC 堆栈结构

含硅穿孔的三维 IC 堆栈技术（见图 1.3）提供了一种十分可行的三维集成方案，该技术解决了很多与三维片上集成有关的问题。在三维 IC 堆栈结构中，由于首先单独制造每块 IC 然后堆叠在一起，因此可实现不同技术间的低成本集成。堆栈结构中的每一层可以包含不同电压、性能和制造工艺要求的电路。由于三维硅层采用上述非常短的垂直互连实现连接，IC 堆栈结构的性能也得到改进。

#### 1.2.2.1 典型工艺步骤

三维 IC 堆栈是一种“从上到下”的方法。IC 堆栈工艺可以在圆片到圆片[19]（圆片级）、芯片到圆片[20,21]、芯片到芯片（芯片级）层次上实现[22,23]，如图 1.13 所示。圆片级工艺具有最大的成本优势，而芯片到芯片工艺由于采用优质芯片（Known Good Device，KGD），成品率很高。由于具有降低成本的潜力，圆片级工艺目前已成为世界范围内的研发热点。

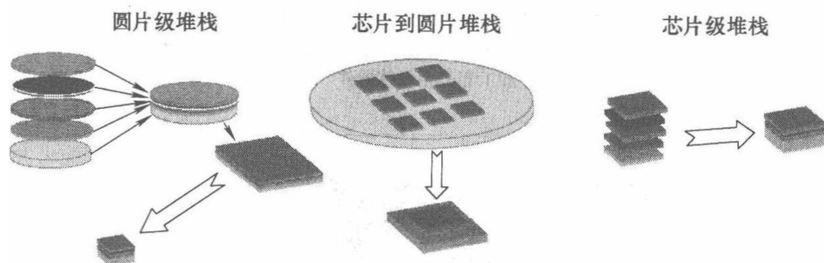



图 1.13 不同 IC 堆栈方案示意图

工艺顺序主要取决于制造通孔的方法——“先通孔”或“后通孔”。“先通孔”工艺涉及在 IC 键合前制造通孔，而“后通孔”工艺指在圆片/IC 键合后制造通孔。“先通孔”和“后通孔”方法涉及的典型工艺步骤分别如图 1.14[24] 和图 1.15[13] 所示。两种工艺的主要共同点是制备上下圆片、圆片减薄、制造硅穿孔、对准和

键合。

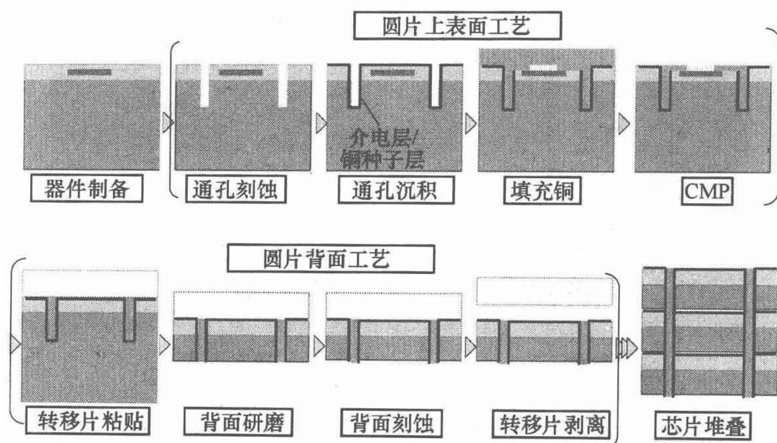



图 1.14 采用“先通孔”工艺步骤的三维 IC 堆栈

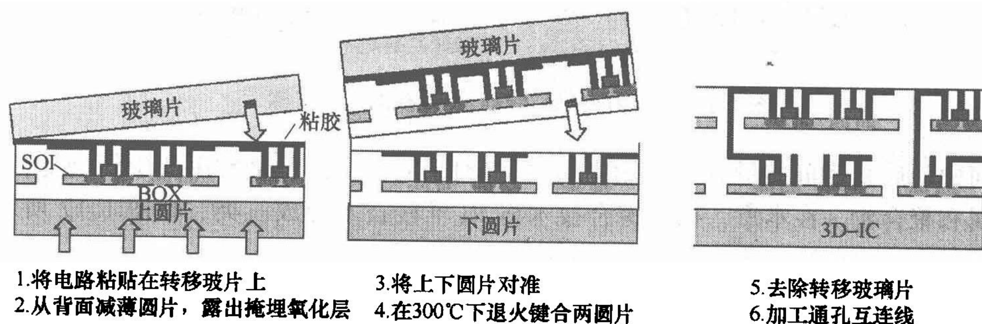



图 1.15 采用“后通孔”工艺步骤的三维 IC 堆栈

IC 可以进行面对背或面对面堆叠[20,25]，图 1.16 给出了这两种堆叠方法的实例[20]。对于面对背堆叠，是说下部圆片的正面与上部圆片的背面实现键合。首先在上部硅圆片上制作通孔，然后将硅片正面粘贴在另一块支撑圆片上，从硅片背面进行减薄。在与上部硅片键合前，在下部硅圆片的上表面沉积适当的介质和金属层。对于面对面堆叠，首先在上部硅片的正面制作通孔和金属焊盘，然后将上、下部硅圆片进行面对面键合。这种情况下，由于键合后上部硅片被下部硅片支撑，其减薄过程不需要支撑圆片。在这些实例中，硅穿孔都是在圆片键合前完成的，也有其他方法，通孔是在键合后制备的[13]。

#### 1.2.2.2 三维 IC 堆栈技术

国际上各研究小组开发了多种不同的 IC 堆栈技术，这些技术的主要不同点在于圆片/IC 如何键合。其他重要的工艺步骤如圆片减薄、制作硅穿孔、精密对准等，不同技术间的差异变化不大。常用的圆片键合技术有两类，即直接键合（无

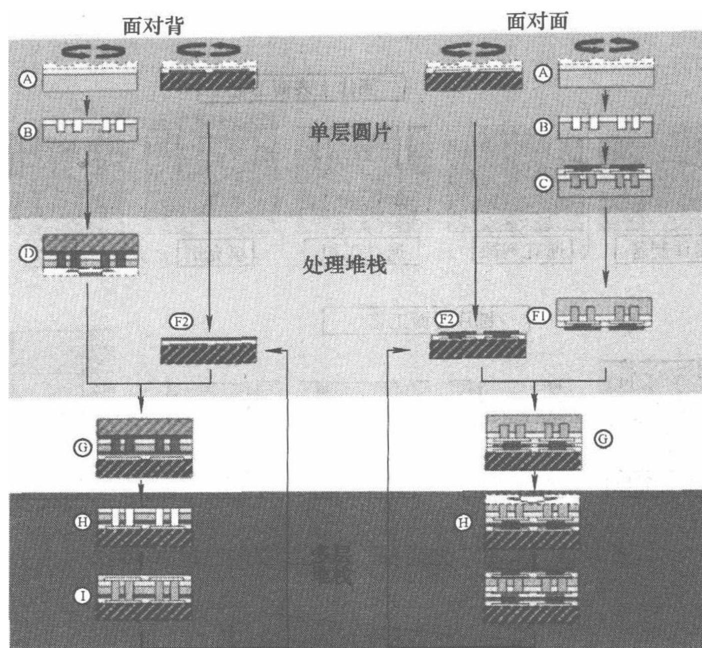



图 1.16　面对背和面对面圆片堆栈的工艺步骤[20]

任何中间层）和间接键合（采用中间层）。对于后者，两种最常用的中间层材料是金属和聚合物。在本章，根据键合技术将 IC 堆栈技术分成三类，如图 1.17 所示，分别是直接氧化物（$SiO_2$）键合、金属-金属键合和粘胶键合。

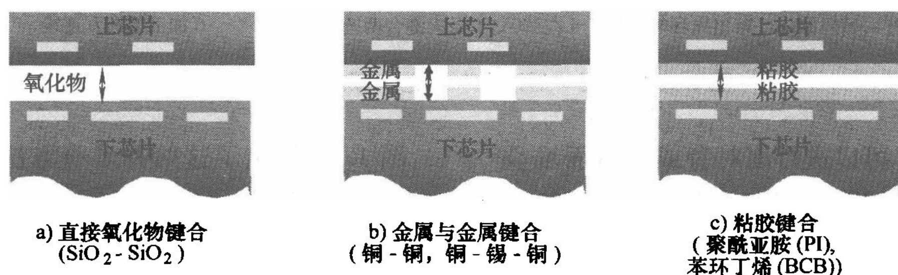



图 1.17　基于不同键合机理的三维 IC 堆栈技术分类

**基于直接（熔化）键合的集成技术**

在直接（熔化）键合中，两块非常光滑的圆片表面紧密接触，分子间范德华吸引力和表面 OH 键在圆片间产生一个弱键合[19,26-29]。这种键合可在室温下产生，并且不用施加外力作用。随后在较高温度下退火，形成共价键从而强化和保障了键合作用。熔化键合发生在许多硅基材料间，如 $SiO_2$-Si、$Si_3N_4$-Si、$Si_3N_4$-$SiO_2$ 和 $SiO_2$-$SiO_2$。其中，最常用的是 $SiO_2$-$SiO_2$ 表面圆片键合，原因在于：①最后的键合可采用标准半导体材料制备，如图 1.18 所示；②对于圆片减薄工艺中的湿法和干

法刻蚀而言，$SiO_2$ 都是一种很好的刻蚀停止层材料。

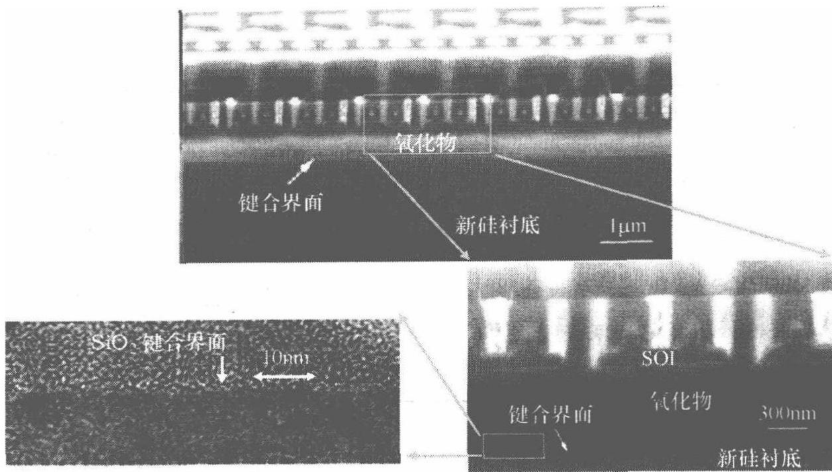



图 1.18　$SiO_2$-$SiO_2$ 键合线的扫描电子显微镜（Scanning Electronic Microscopy，SEM）照片[13]

为了获得好的键合，键合片的匹配表面必须很好地制备。表面应该无孔（较高的氧化物密度）、光滑、平整、清洁并具有表面活性[27,28]。为了避免有源器件的高温退化作用，氧化层通常采用低温（<420℃）沉积工艺制备，如低压或等离子体增强化学气相沉积（LPCVD 或 PECVD㊀）[27-29]。低温技术沉积的氧化物孔隙较小，并包含了捕获气体分子，还可以吸收 OH 离子。键合后的退火过程中，气体和水分子变化会在键合线上产生气孔和缺陷。为了避免产生这些缺陷，键合前氧化层必须在 350℃的氮气环境中退火 5h 进行致密化。

由于直接键合主要基于短程分子间力，采用光滑的表面非常关键。为了获得高的键合质量，表面粗糙度的方均根必须小于 1nm。表 1.2 总结了不同方法制备的圆片表面采用原子力显微镜（Atomic Force Microscopy，AFM）测量的平均表面粗糙度和方均根表面粗糙度。总体而言，如果厚度为 5000Å㊁的热氧化层的方均根表面粗糙度为 0.273nm，对于键合是可行的。采用 PECVD（进行低温氧化物沉积）工艺刚沉积的氧化层方均根表面粗糙度为 9.757nm。当硅片上的 PECVD 氧化物层在 350℃氮气中退火 16h 致密化后，表面粗糙度变为 8.501nm，氧化层中的孔隙率也降低了。紧接着化学机械抛光（CMP）3min 后，方均根表面粗糙度大幅降低为 0.394nm，这是一个键合可接受的平整度。综合运用退火进行致密化和化学机械抛

㊀ LPCVD：Low Pressure Chemical Vapor deposition。
PECVD：Plasma-Enhanced Chemical Vapor deposition。

㊁ Å：埃，非法定计量单位，$1Å = 10^{-10}m$。

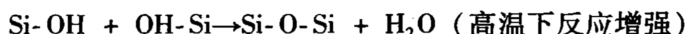
光是得到光滑表面的一种有效方法。

**表 1.2　采用不同表面制备工艺的硅片表面平均和方均根表面粗糙度**
**（表面粗糙度采用原子力显微镜测量）[27]**

| 圆片描述 | 平均表面粗糙度/nm | 方均根表面粗糙度/nm |
|---|---|---|
| 裸硅片 | 0.097 | 0.143 |
| 5000Å $SiO_2$/Si | 0.202 | 0.273 |
| 4μm PECVD $SiO_2$/SOI（刚制备好） | 7.929 | 9.757 |
| 4μm PECVD $SiO_2$/SOI（在 350℃ 下退火 16h） | 6.877 | 8.501 |
| 4μm PECVD $SiO_2$/SOI（在 350℃ 下退火 16h + 3min 化学机械抛光） | 0.312 | 0.394 |

在 6in⊖圆片表面，平整度小于 25μm 的偏差也会对键合造成不利影响。除了由材料沉积和半导体工艺引起的翘曲外，为了圆片键合进行的氧化物沉积也产生了另外 10μm 的翘曲[27]。键合过程中和退火后的任何作用力都有助于降低翘曲，通常 1kN 的力就足够了。

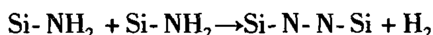
键合片表面必须非常清洁。研究发现，先采用氧等离子体干法清洗，接着采用 Piranha 溶液（$H_2O_2$: $H_2SO_4$）湿法清洗，最后采用去离子水漂洗，这对获得良好键合是十分有效的[26]。清洗不仅去除了外来污染物，而且活化了键合表面。室温下的初始键合是基于范德华吸引力和氢键的弱键合作用，随后的高温退火增强了键合作用。高退火温度下的反应使较弱的 Si-OH-Si 键转化成较强的 Si-O-Si 键。



$$\text{Si-OH} + \text{OH-Si} \rightarrow \text{Si-O-Si} + H_2O \text{（高温下反应增强）}$$

图 1.19 给出了退火温度、时间和键合强度间的相互关系[27]。室温下的键合强度为 $170mJ/m^2$，在 300℃ 下退火 6h 后，键合强度增加到 $432mJ/m^2$。如果想进一步降低键合温度到接近室温，并提高键合质量，必须对氧化物表面进行化学改性。

这方面的一个成功尝试是专利技术 ZiBond[30,31]。硅圆片在键合前浸泡在氨水中，使表面化学结构变化成 $Si\text{-}NH_2$。室温下发生的反应为



$$\text{Si-}NH_2 + \text{Si-}NH_2 \rightarrow \text{Si-N-N-Si} + H_2$$

取代副产品水蒸气的副产品氢气可在室温下从键合界面去除，采用该技术已经实现了良好的室温键合[30,32]。

接下来要讨论采用直接氧化物键合的 IC 堆栈技术的一些关键实例。美国 IBM 公司的研究人员已经报道了采用氧化物键合的三维 IC 堆栈[19,28,33,34]，所使用的器件是采用 0.13μm 铜/低 *K* SOI CMOS 技术制备的本征器件、环振荡器电路和互连结构。所采用的 IC 堆栈工艺如图 1.14 所示，工艺采用"后通孔"和面对背键合技

⊖ 1in = 25.4mm，后同。

术。键合圆片的 SEM 照片如图 1.18 所示，研究发现工艺步骤不会对器件性能造成不利影响。美国 MIT 林肯实验室开发了采用直接氧化物键合的三维 IC 堆栈技术，用于制备激光雷达图形器。图 1.20 所示为三块圆片堆栈结构的横截面及使用的低温键合工艺参数。与美国 IBM 和美国 MIT 林肯实验室采用的“后通孔”技术不同，美国 Ziptronix 公司采用“先通孔”技术，拥有直接键合互连（Direct Bond Interconnect，DBI）的专利技术，以及实现氧化物与金属键合互连的 ZiBond 技术[30-32,36]，详细工艺和横截面 SEM 照片如图 1.21 所示。

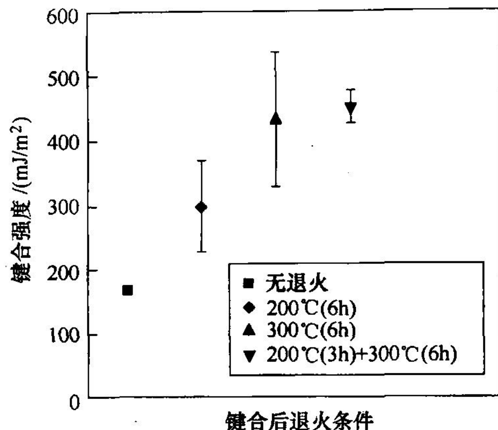
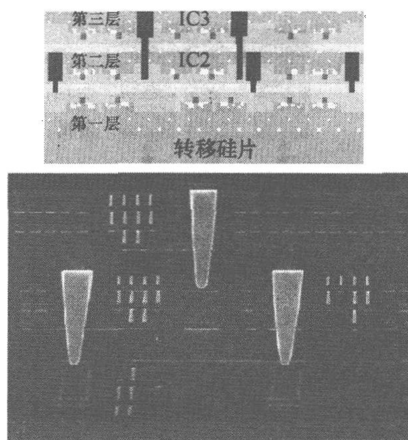



图 1.19　采用不同退火工艺后的键合强度比较[27]

| 参数 | 工艺 |
| --- | --- |
| 薄膜类型 | 采用 LPCVD 进行低温氧化物沉积 |
| 表面预处理 | 化学机械抛光 (CMP) 与兆频超声波清洗 |
| 表面活化与清洁 | 双氧水，80℃，10min |
| 键合温度 | 275℃ |
| 键合时间 | 10h |
| 圆片翘曲 | 小于 30μm |

a)

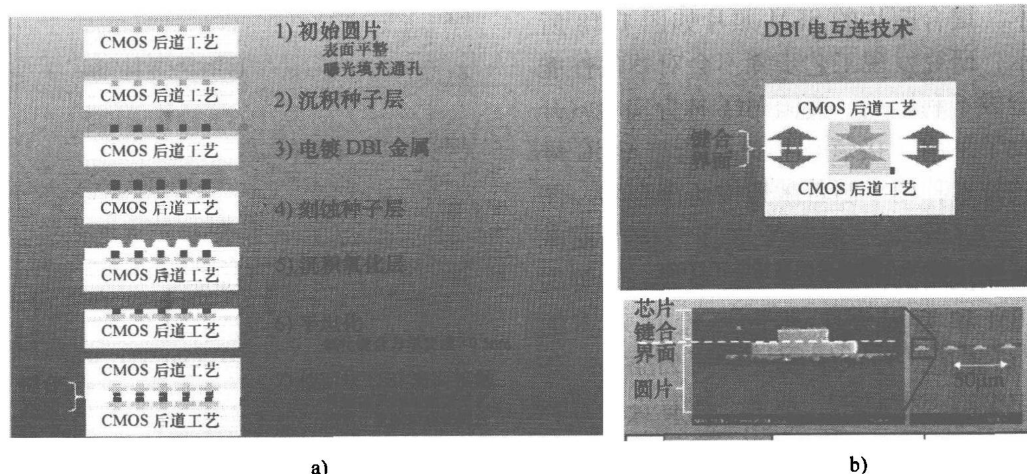



b)

图 1.20　美国 MIT 林肯实验室采用直接氧化物键合技术制备的三圆片 IC 堆栈[35]
a）键合工艺参数　b）三圆片堆栈结构横截面图

### 金属-金属键合集成技术

如图 1.22 所示的金属-金属键合是最常用的 IC 堆栈键合方法。采用金属-金属键合的好处有：①金属键合层导热性好，热量很容易传导到芯片的另一侧或者沿垂直通孔传输；②金属键合即可以作为 IC 间的机械支撑，也可以作为电互连线。许多不同的金属被用于金属键合，成功的例子包括：铜-铜[22,23,26,37-42]，铜-锡-铜[20,21,25,43-41,43-48]，金-金[49]，钛-硅[50]和铟[51,52]。广泛应用的金属键合材料为铜-




a)　　　　b)

图 1.21　美国 Ziptronix 公司采用直接键合互连（DBI）的圆片键合技术[32]

a）详细工艺　b）横截面 SEM 照片

铜和铜-锡-铜，下面将进行讨论。

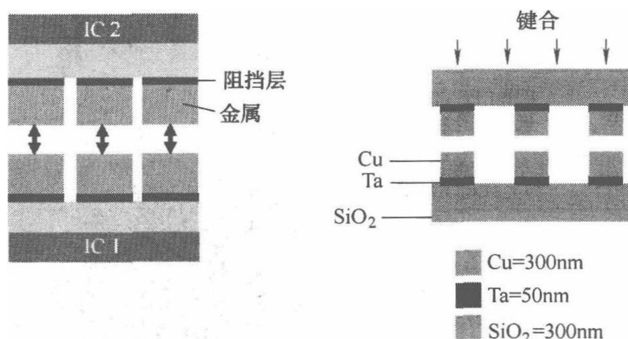
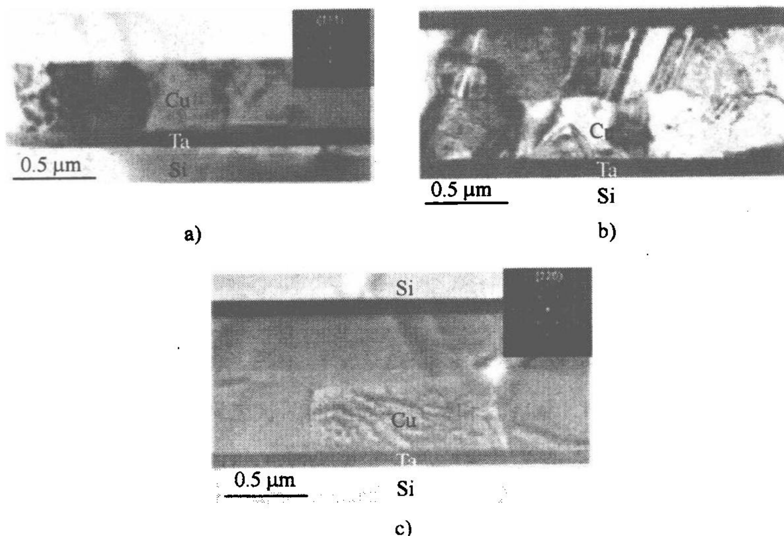



图 1.22　采用金属-金属键合的三维 IC 堆栈结构

**铜-铜键合**　在键合前，两个铜键合面应该沉积超过 50nm 的钽层。钽作为扩散阻挡层防止铜扩散进器件层。铜-铜键合采用热压工艺，要求温度低于 400℃、压力约 4kN 和真空。为了使铜间相互扩散晶粒长大，从而提高键合强度，必须在氮气环境下退火 1h，退火温度为 300 ~ 400℃[26]。图 1.23 给出了铜-铜键合的键合线横截面透射电镜（Transmission Electronic Microscopy，TEM）照片，以及键合前、键合后和退火后的铜晶粒情况[53-55]。键合后，晶粒尺寸范围为 300 ~ 700nm，并存在一条明显的键合线。然而，退火后晶体结构良好，晶粒尺寸为 800nm，键合线完全消失。表 1.3 给出了键合温度对键合强度的影响，强度采用划片时的应力失效来评判[56,57]。400℃和 350℃下的键合片没有失效，而 200℃以下（含）键合的失效率很高。进一步研究表明，键合温度与时间为 350℃和 30min，随后的退火温度与

时间为 350℃和 60min 时，键合质量良好。




a)　b)　c)

图 1.23　铜-铜键合过程中的晶粒形态变化[53]

a）蒸发铜膜的 TEM 照片（晶粒平均尺寸为 300nm）　b）键合后的铜-铜键合区 TEM 照片（清晰的键合界面）　c）退火后铜-铜键合区 TEM 照片（键合界面消失）

**表 1.3　不同退火时间下划片切割失效的百分率[56]**

| 键合温度/℃ | 键合过程 | | |
|---|---|---|---|
| | 键合 30min | 键合 30min + 30min 退火 | 键合 30min + 退火 600min |
| 400 | 0% 失效 | 0% 失效 | 0% 失效 |
| 350 | 0% 失效 | 0% 失效 | 0% 失效 |
| 300 | 0% 失效 | 5% 失效 | 4% 失效 |
| 250 | 1% 失效 | 21% 失效 | 22% 失效 |
| 200 | 18% 失效 | 86% 失效 | 75% 失效 |
| 150 | 37% 失效 | 90% 失效 | 96% 失效 |

研究表明，提高键合表面铜的图形密度可以提高键合成品率[37]。电互连必须采用适当绝缘的焊盘-焊盘键合。此外，为了保证键合线的强度和稳定性，机械焊盘应当填充电焊盘间的区域。为了实现良好接触，铜焊盘周围的 $SiO_2$ 应该凹进去。为了使铜焊盘高度超过 $SiO_2$ 表面，对各种表面制备方法进行了测试[37]。结果表明，$SiO_2$ 化学机械抛光（CMP）加上 HF 溶液中腐蚀 3min 可得到最好的结果——铜焊盘高度超出 $SiO_2$ 表面 100nm。表面处理可以形成“圆屋顶”状铜焊盘，使键合从中心向边沿扩散，有助于键合过程。最好在芯片外沿或硅圆片外沿制作一层封闭的铜环，形成“机械墙”避免后续工艺的损伤。所有这些，可保证获得良好的铜焊盘设计与制造特性，具体实例如图 1.24 所示。

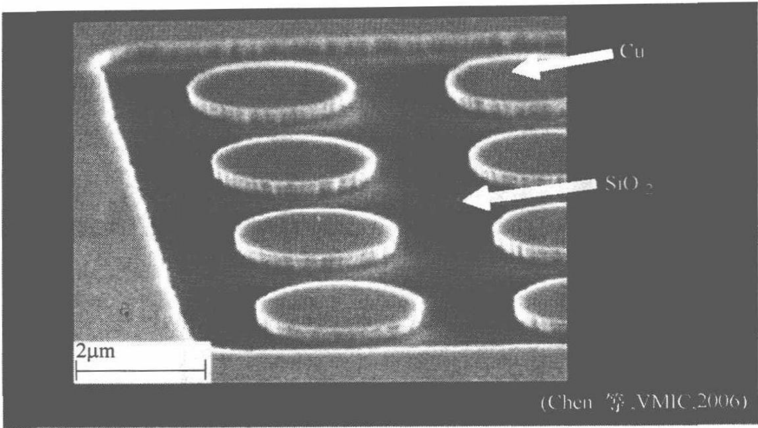



图 1.24 铜焊盘和密封环周围的凹状二氧化硅层

键合前的表面清洗十分重要，一般要求表面的方均根表面粗糙度小于 1.1nm。去除铜表面的氧化物也很关键。沉积后不久，在大气中铜表面就被氧化了。一般采用 HCl 溶液去除氧化物层，HCl 处理和键合过程间产生的少量氧化物不会影响键合质量。包括上述讨论的最优键合参数见表 1.4。

基于铜-铜键合的 IC 堆栈技术的一些重要实例将在下面讨论。采用“先通孔”技术的工艺步骤如图 1.12 所示，日本组织——超级电子技术联盟（Association of Super-Advanced Electronic Technology，ASET）已经研发出基于铜-铜键合的三维 IC 技术。图 1.25 给出了 4 层堆栈的图片。在该工艺过程中，铜焊盘间的间隙采用底部填充料进行填充[24]。图 1.26 给出了美国三角洲研究院（Research Triangle Institute，RTI）㊀的铜-铜键合技术[59]。

表 1.4 实现铜-铜键合的最优工艺参数[58]

| 键合参数 | 条件 |
|---|---|
| $N_2$ 退火 | 当温度超过 300℃ |
| 键合温度 | 超过 300℃ |
| 键合时间 | 30min |
| 键合压力 | 4000mbar① |
| 腔体压力 | $10^{-3}$Torr② |
| 表面粗糙度 | 1.1nm |
| 表面清洗 | HCl 清洗 30s |



① 1bar = $10^5$Pa。

② 1Torr = 133.322Pa = 1mmHg。

㊀ 全称为 RTI-International，美国北卡三角洲国际研究院。

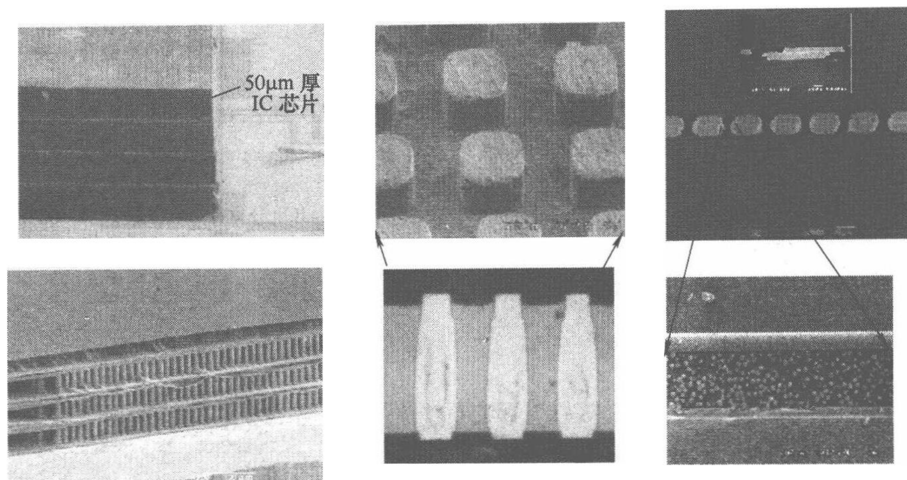



图 1.25 日本超级电子技术联盟（ASET）采用铜-铜键合的 4 层堆栈

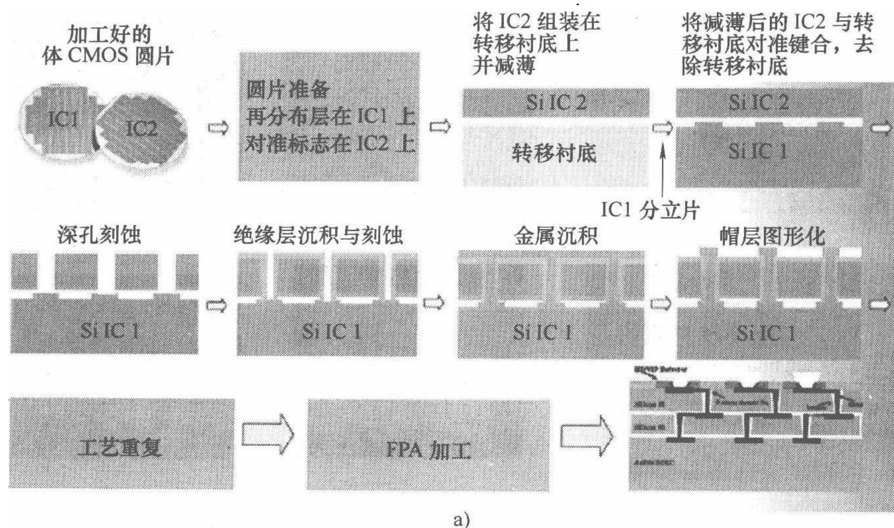
**铜-锡-铜键合** 如图 1.27 所示。该技术与铜-铜键合类似，只是铜焊盘表面沉积了一薄层锡[20,21,25,43-46]，锡可以沉积在一个或两个待键合面。当键合压力为 5bar，温度为 300℃时，锡层熔化形成合金 $Cu_3Sn$，该合金熔点为 600℃。因此，该技术的键合温度可以低于 300℃，但获得的键合层可以承受 600℃高温。该技术最早由位于德国慕尼黑的弗劳恩霍夫（Fraunhofer，亦译为夫琅和费）可靠性和微集成（Institut für Zuverlässigkeit und Mikrointegration，IZM）研究所开发，技术名称为 ICV-SLID[20,25,46]。采用该技术的 3 层堆栈如图 1.28 所示。

近年来，铜-锡-铜键合技术受到广泛关注。韩国三星和美国英特尔两大公司已经公布了采用该技术的 IC 堆栈原型。图 1.29 所示为韩国三星公司采用铜-锡-铜键合技术制备的 8 层堆栈结构的 16GB 存储器[47]。图 1.30 所示为美国英特尔公司采用该技术的 7 层堆栈结构[39,48]。日本 Oki、NEC⊖和东芝公司采用成分稍微变化的 $Sn_{2.5}$ Ag 取代纯锡，制备的 9 层堆栈结构如图 1.31 所示[41,44]。

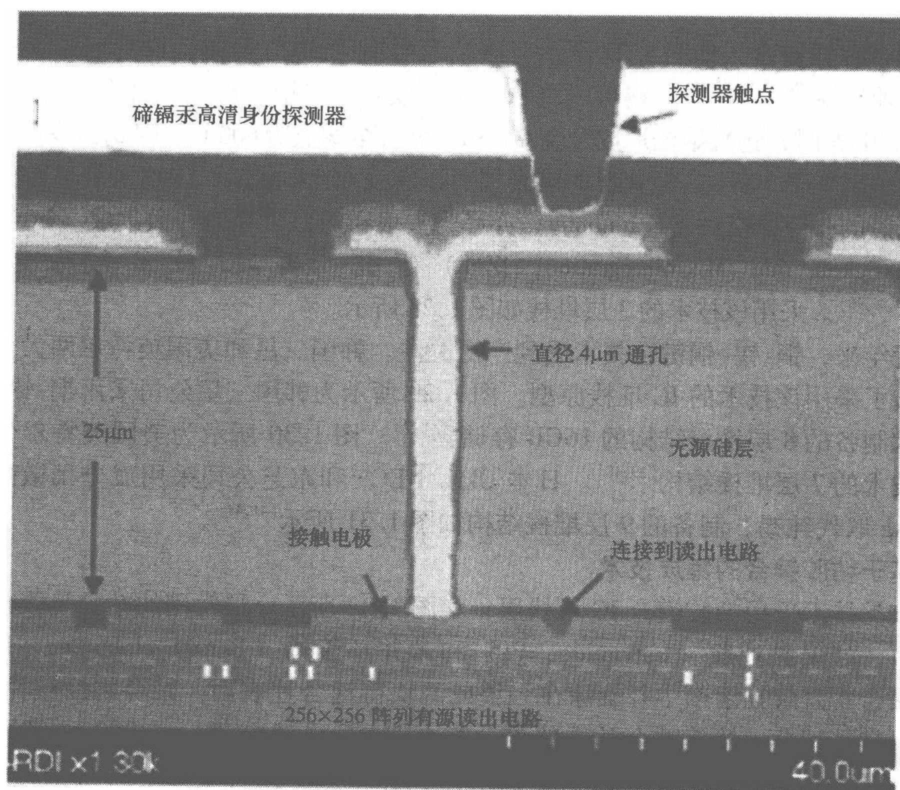
**基于粘胶键合的集成技术**

该类技术采用粘胶键合 IC 堆栈层，如图 1.32 所示。最常用的粘胶是聚合物介电材料，如聚酰亚胺（Polyimide，PI）和苯并环丁烯（Benzocyclobutene，BCB）。液体聚合物溶解在溶剂中并旋涂在一块或两块待键合片表面。聚合物涂覆完成后，圆片对准并键合，接着键合片中的聚合物在 250℃（对 BCB）或 300～400℃（对 PI）的氮气中固化。由于涂覆粘胶可以降低表面的微观不平整度，并且粘胶键合并不像直接氧化物键合和铜-铜键合那样需要超光滑的表面。如果键合工艺完成不好，粘胶键合就会产生内部气孔[60,61]，气孔来源于内部的污染物、脱气剂和空气。因此圆片的表面清洗和干燥必须十分小心，采用粘胶促进剂、预固化聚合物去除脱气

⊖ Oki：日本冲电气工业株式会社。NEC：日本电气株式会社。




a)




b)

图 1.26 RTI 铜-铜键合三层堆栈[59]

a）工艺流程图 b）横截面 SEM 照片

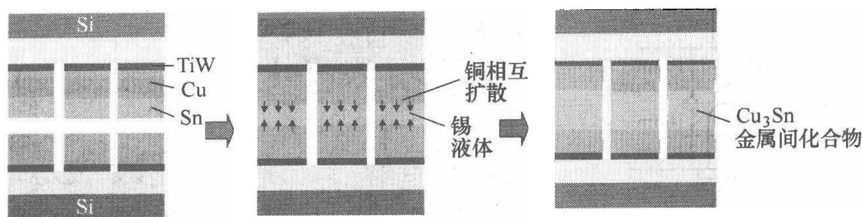



图 1.27 铜-锡-铜键合工艺步骤[20]

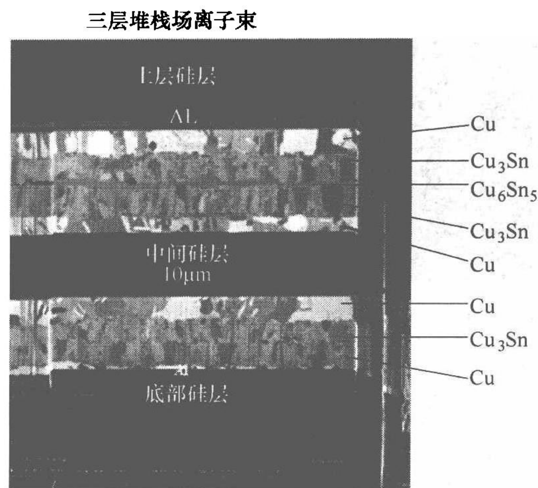



图 1.28 采用铜-锡-铜键合技术的 3 层堆栈结构场离子束（Field Ion Beam，FIB）横截面[20]

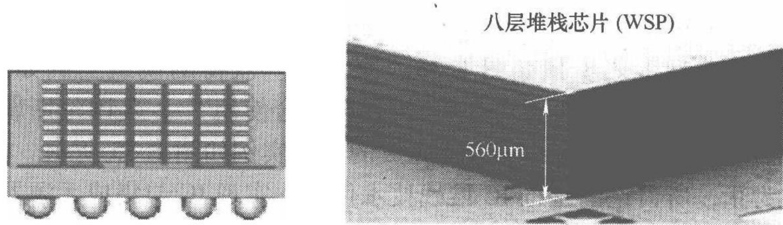



图 1.29 韩国三星公司采用铜-锡-铜键合技术制备的 8 层堆栈结构 16GB 存储器[47]

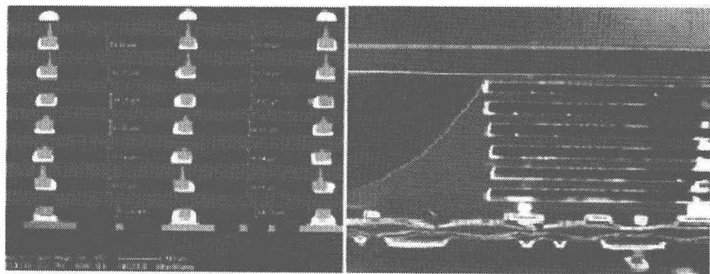


图 1.30 美国英特尔公司采用铜-锡-铜键合技术制备的 7 层堆栈结构原型[39]

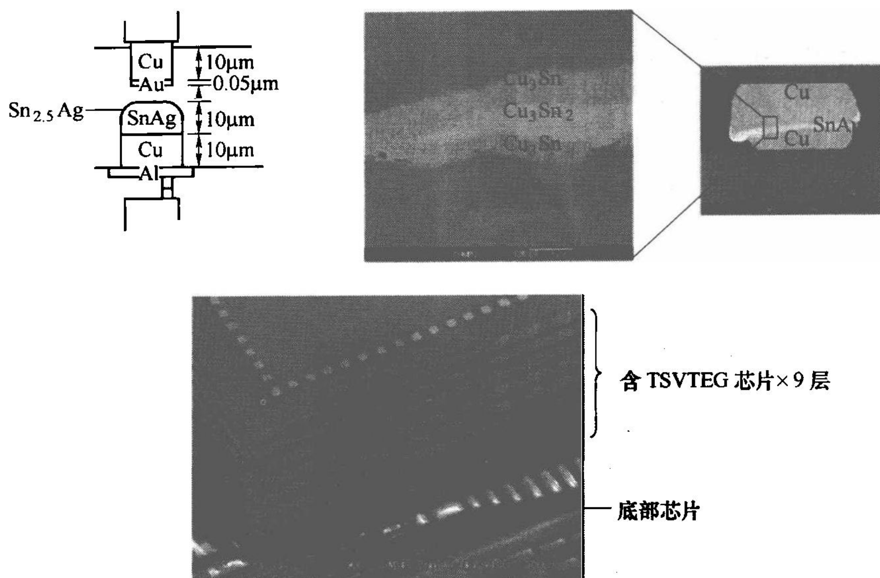



图 1.31 日本 Oki 采用 Cu-$Sn_{2.5}$Ag-Cu 键合技术制备的 9 层堆栈[41]

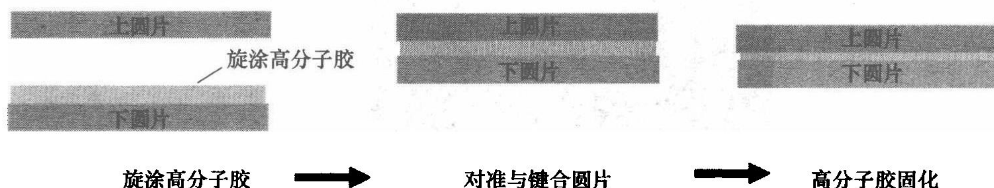



图 1.32 采用粘胶实现圆片/IC 键合示意图

剂、真空下键合的措施，以及使键合从中心向外扩展的方法都可以降低气孔率。

粘胶键合的典型工艺步骤如图 1.33[20,62] 所示。获得的模组实例如图 1.34 所示[14,20,63]。近年来，粘胶键合也可与铜-铜键合联合使用[64]，美国伦斯勒理工学院(Rensselaer Polytechnic Institute，RPI) 完成的一个实例如图 1.35 所示。

到目前为止，所讨论的三维 IC 堆栈技术仍无法实现 IC 与集成无源器件间的再分配互连。最近，一项授权的美国专利提出了一个新想法，如图 1.36 所示。在该方法中，堆栈中 IC 间的胶层含有 BCB/Cu 互连层，该互连层可以重新分配互连线，并埋入无源器件，一项早期的研究对此设想进行了验证[66]。

#### 1.2.2.3 三维 IC 堆栈的关键使能技术

三维 IC 堆栈需要采用如下常用的关键使能技术：

圆片减薄

硅穿孔：
- 刻蚀
- 通孔绝缘
- 金属化

圆片对准

图 1.33　采用粘胶键合制备三维 IC 堆栈的典型工艺步骤[20]

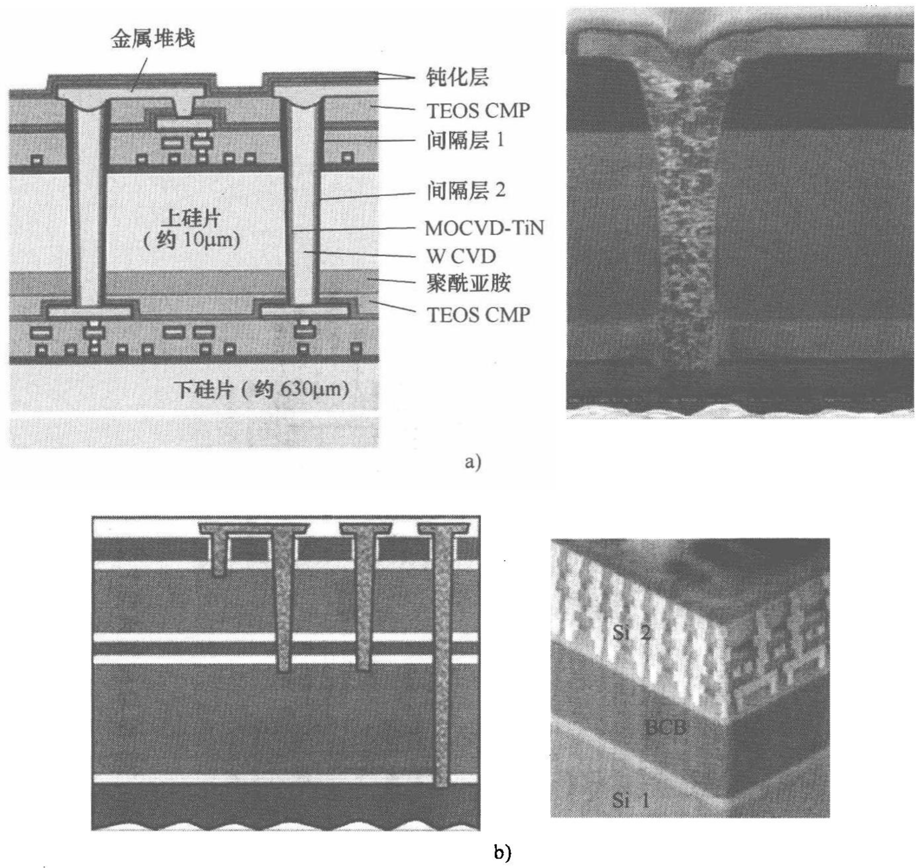



图 1.34 应用粘胶键合制备三维堆栈
a）IZM 使用聚酰亚胺[20] b）PRI 使用 BCB[14]

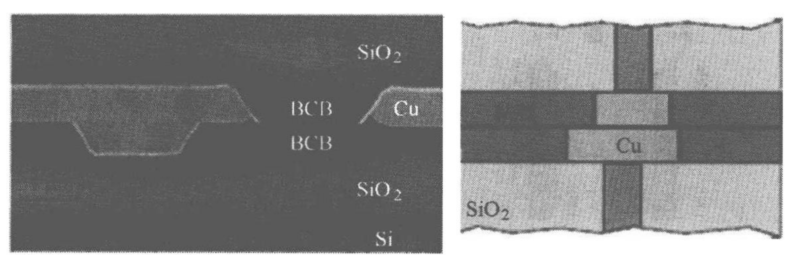



图 1.35 RPI 联合应用铜-铜键合和粘胶键合制备的堆栈结构[14]

**圆片减薄**

由于硅通孔尺寸（直径）与通孔成品率取决于 IC 的厚度，因此圆片减薄是一项非常关键的使能技术。薄的 IC 可以降低通孔的直径和深度，也可以降低堆栈厚度。当圆片厚度低于 50μm 时，硅圆片可以弯曲，如图 1.37[67] 所示。图 1.38 所示

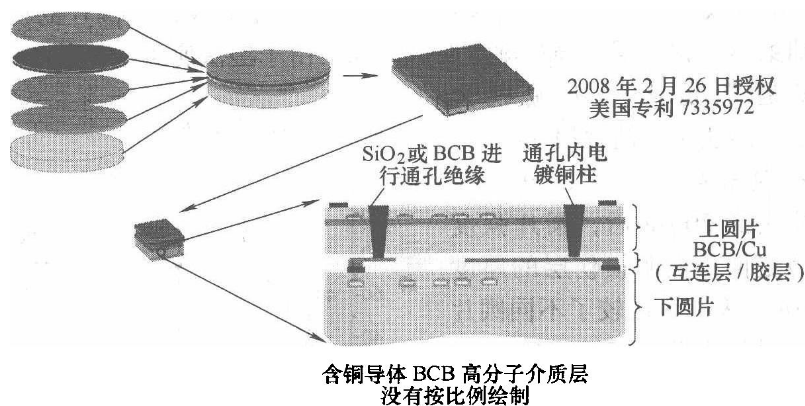



图 1.36　胶层中嵌入 BCB/Cu 互连层的三维 IC 堆栈技术[65,66]

为一种典型的圆片减薄工艺。由于薄圆片非常脆、很难夹持，因此圆片的上表面要首先粘附在夹持或传递圆片上，然后从背面对圆片减薄，如图 1.38a 所示。粘附的夹持圆片应当能够承受减薄工艺。减薄工艺完成后，薄圆片一层层堆叠，夹持圆片必须彻底分离和清除。减薄涉及很多工艺步骤，如图 1.38b 所示。最初的几步，如粗磨和精磨，可帮助快速去除硅材料，成本较低。研磨应力会在硅片表面留下了一

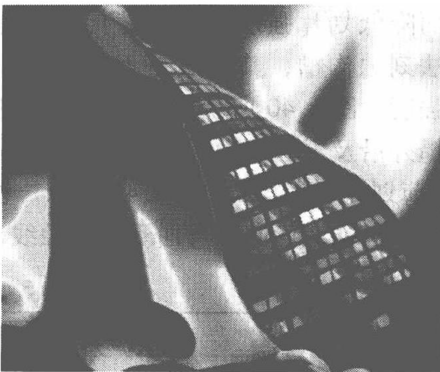


图 1.37　减薄后的硅圆片弯曲照片[67]

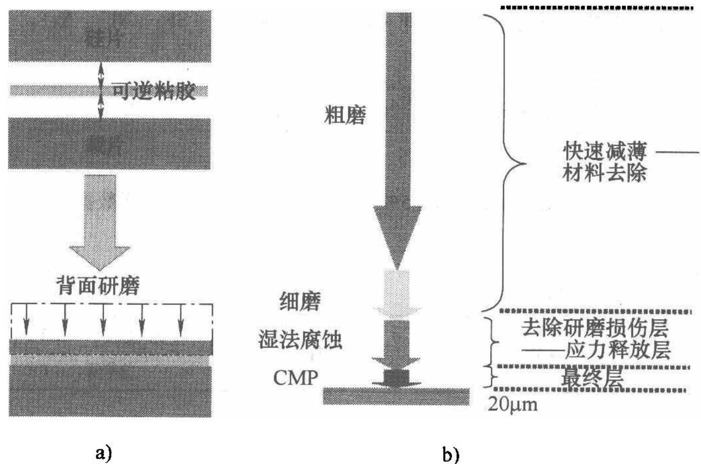



图 1.38　圆片减薄典型工艺

a）圆片减薄过程中使用传递片处理硅片　b）减薄工艺顺序

个损伤层，深度大约为10～20μm。损伤层内含有微小裂纹，使圆片的机械性能变差[67,68]。研磨后，损伤层可通过湿法腐蚀消除。由于湿法腐蚀会使表面变得粗糙，最后一步通常是化学机械抛光(CMP)。采用湿法腐蚀消除损伤层后，圆片强度得到提高，如图1.39[69]所示。当腐蚀去除20μm后，圆片强度达到一个稳定值，表明损伤层的厚度大约为20μm。表1.5比较了不同圆片减薄技术的材料去除速率、总厚度偏差、工艺温度和应用情况[68]。

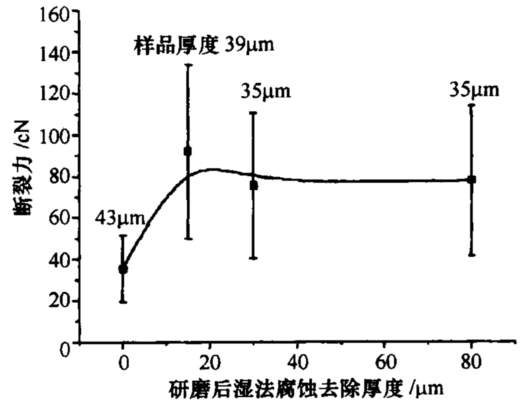



图1.39 减薄后采用湿法腐蚀去除硅材料量与硅片强度间的关系[69]

圆片切割成划片并不可取，因为切割会导致划片边沿粗糙产生高应力，从而降低划片强度。一种替代方法是干法刻蚀沟槽，其优点是不会影响划片强度。图1.40所示为硅片切割后的粗糙外沿及干法刻蚀后的光滑外沿的上视图和侧视图。首选的薄圆片划片方法是“减薄划片”[69,70]，如图1.41所示。首先，在圆片上刻蚀一定深度的沟槽，键合工艺完成后从背面向下弯曲干法刻蚀线，划片就自然分开了。

表1.5 减薄工艺比较[68]

| | 研　磨 | 湿法腐蚀 | 干法刻蚀 | 抛　光 |
|---|---|---|---|---|
| 工艺类型 | 机械磨损 | 湿化学腐蚀 | 等离子体，活性离子 | 化学、机械 |
| 工艺介质 | 陶瓷砂轮中的金刚石 | $HF + HNO_3$ + 添加剂 | $SF_6$、$NF_3$、$XeF_2$ | 泥浆：软刻蚀剂中的 $SiO_2$ 颗粒 |
| 去除速率 | 300μm/min | 10～40μm/min | 3～30μm/min | <2μm/min |
| 总厚度变化（Total Thickness Variation，TTV） | 0.5～3μm/min | 5%～10%去除量 | 无数据 | <1μm |
| 工艺温度 | 低 | 30～40℃ | 50～300℃ | 30～40℃ |
| 应用 | 减薄 | 应力释放 | 应力释放，MEMS减薄 | 表面平坦化 |

**硅穿孔制造**

硅穿孔制造分两步：①通孔刻蚀；②通孔金属化或填孔。

**通孔刻蚀** 有两种刻蚀通孔的方法，也就是湿法腐蚀和干法刻蚀。湿法腐蚀是一种快速、低成本腐蚀技术；然而由于腐蚀仅仅发生在某个晶轴方向上，湿法腐蚀

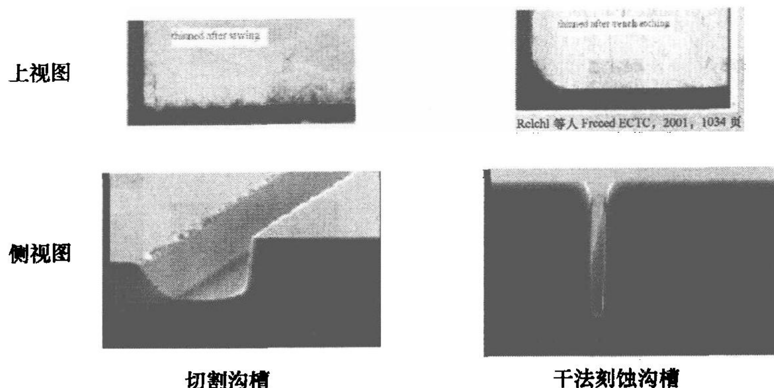



图 1.40　硅片切割和干法刻蚀后的沟槽边沿的上视图和侧视图

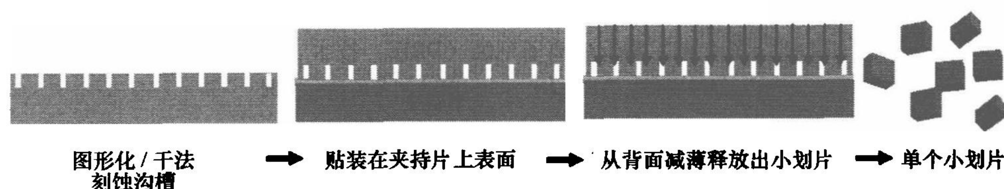
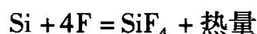



图 1.41　采用减薄工艺进行划片

应用受到一定限制。因此，最常用的通孔刻蚀技术是深反应离子刻蚀（Deep Reactive Ion Etching，DRIE）。对于 DRIE，由于使用了具有高反应活性的 $SF_6$，刻蚀速率很高。刻蚀反应为



$$Si + 4F = SiF_4 + 热量$$

制备各向异性的高深宽比通孔，可以通过短时间应用 $SF_6$ 各向同性刻蚀，然后在通孔侧壁上沉积聚合物 $C_4F_8$，刻蚀原理如图 1.42a[71] 所示。通常，采用该技术可以在侧壁上看到扇形效应。这种扇形效应对通孔金属化有不利影响，如图 1.42b 所示。随着可控 DRIE 技术的最新发展，这种扇形效应大大降低或消除。DRIE 技术可以制造很多不同形状、直径和深宽比的通孔，如图 1.43 所示。深宽比为 30 ~ 40 的通孔也可以采用该技术制作。

**通孔金属化**　IC 堆栈中硅穿孔的金属化是制造工艺中最关键的一步。最常用的通孔填充材料是金属钨和铜。金属填充的通孔必须相互绝缘，并且与电路的其他部分绝缘。如果通孔是穿过二氧化硅层的，金属与氧化物间的绝缘层就不需要了。但是如果通孔是穿过硅材料，则必须先在孔壁上沉积一层保形绝缘层。两种最常用的绝缘层材料是二氧化硅和类似 BCB 或 PI 的聚合物。图 1.14 所示为在硅穿孔中采用低温氧化物硅酸乙酯沉积工艺制备的保形绝缘层[24]。另一方面，图 1.26 所示为美国 RTI 的聚合物绝缘层工艺。

对于将钨作为填充材料，最常用的粘接层是 Ti 或 Ti-W，阻挡层是 TiN。图

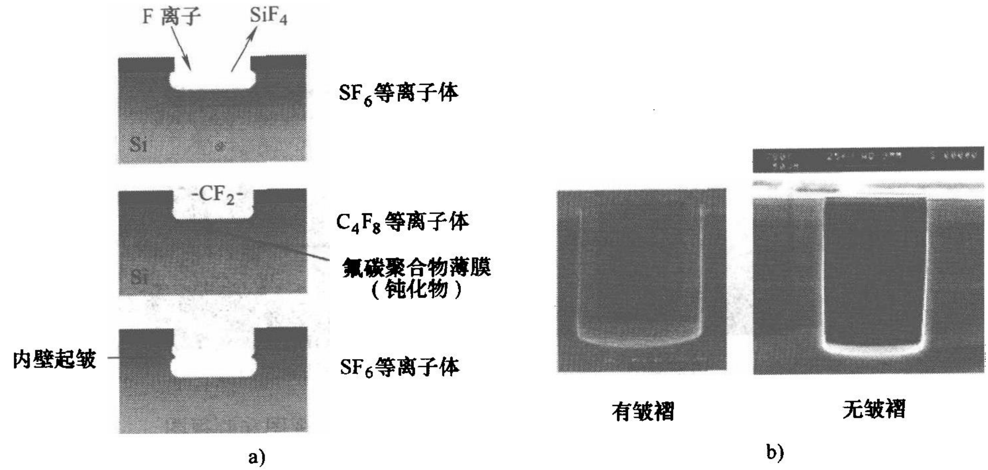



图 1.42 深反应离子刻蚀（DRIE）技术[71]
a）刻蚀原理示意图 b）采用 DRIE 制备的深孔实例

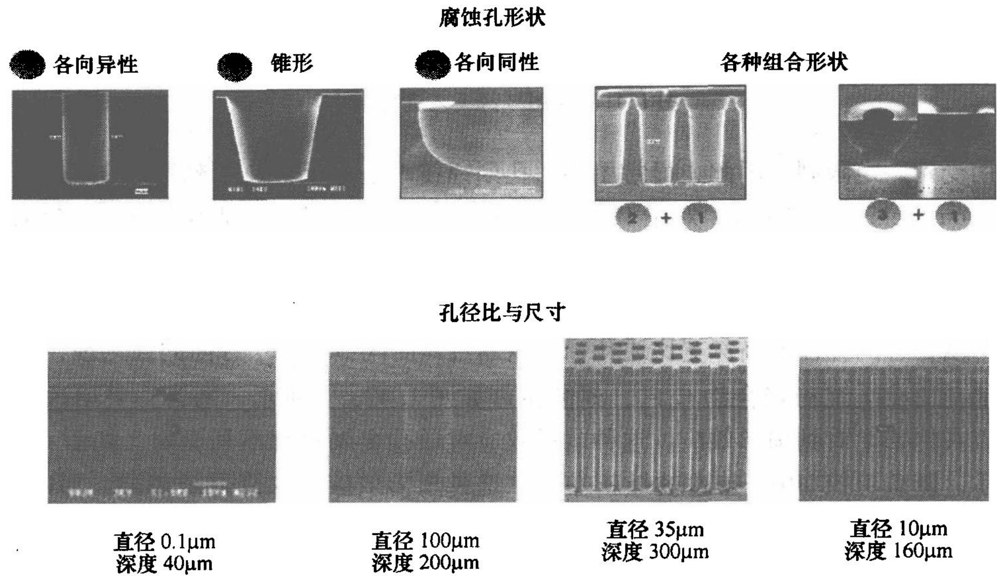



图 1.43 采用 DRIE 技术制作的不同形状、直径和深宽比的直孔[71]

1.44a 和 b 分别给出了在二氧化硅和硅中通孔的金属化工艺步骤。两种工艺的惟一不同就是硅穿孔中额外沉积了绝缘层。Ti 和 TiN 沉积采用溅射或蒸发工艺，W 填充采用化学气相沉积（CVD），最后必须采用化学机械抛光（CMP）去除上表面多余金属层[72,73]。

图 1.45 所示为用于沉积铜进行通孔填充的大马士革工艺[10,74-81]。图 1.45a 给出了在氧化物通孔中的工艺步骤。首先在氧化层中刻蚀通孔，然后沉积阻挡层，接

着沉积铜填孔，上表面多余的铜和阻挡层采用 CMP 去除。图 1.45b 给出了在硅中通孔的工艺步骤。该工艺增加了一个步骤，保形沉积氧化物进行绝缘。填铜最关键

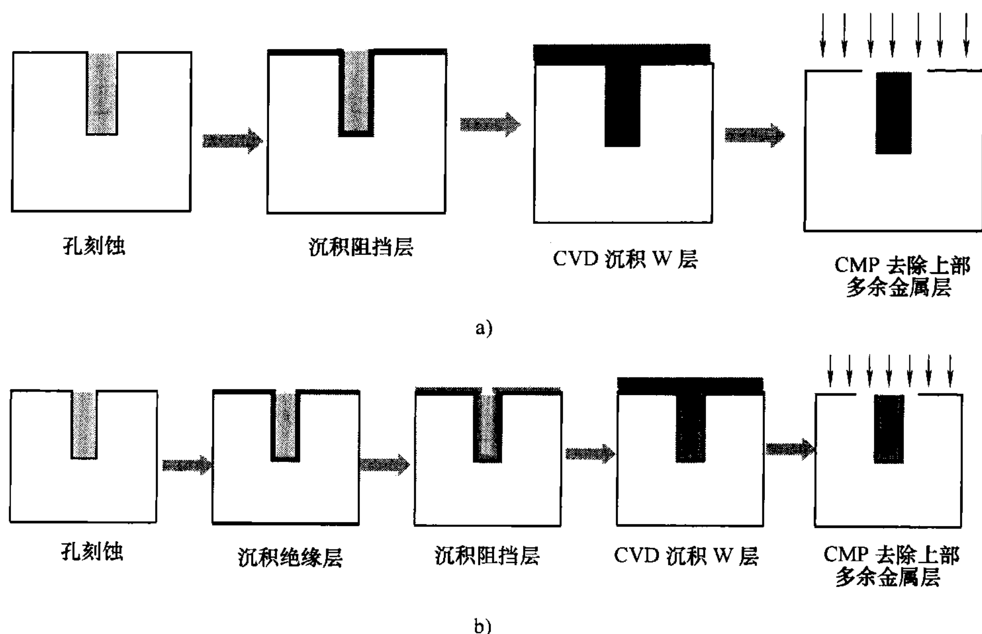



图 1.44 二氧化硅和硅中填充金属 W 的工艺步骤
a) 二氧化硅 b) 硅

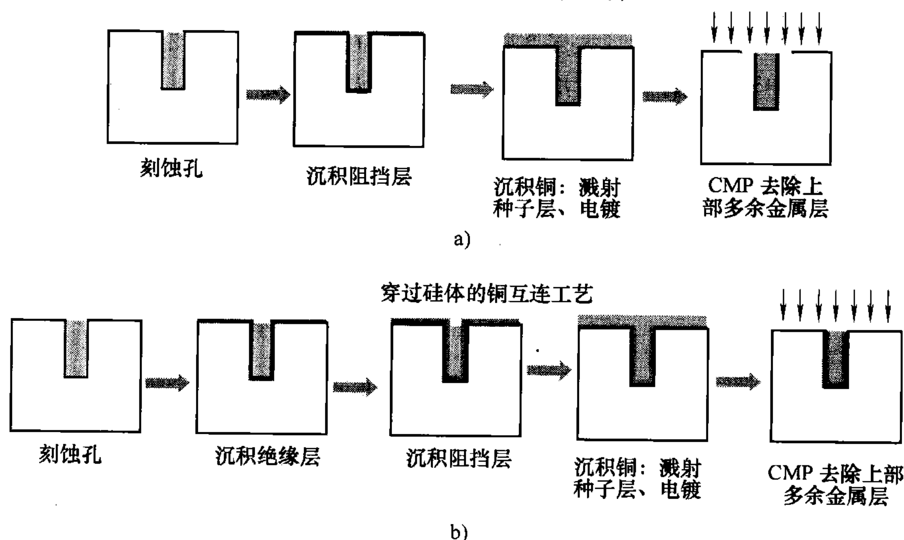



图 1.45 用于沉积铜填孔的大马士革工艺步骤
a) 在氧化物通孔中的工艺步骤 b) 在硅中通孔的工艺步骤

的技术是选择阻挡层，对阻挡层的要求是与氧化物粘接良好、应力较低的金属[78,79]。阻挡层的内部结构和粗糙度决定了填充铜的微结构特性。在评价了 Ti、W、Ta 及其氮化物之后，发现 Ti、Ta 或 TaN 是应用最广泛的阻挡层。通过在铜种子层上电镀铜来填孔，铜种子层采用溅射工艺沉积。图 1.46 所示为电镀槽电镀铜原理示意图。在电镀过程中，铜种子层是阴极，铜板是阳极，硫酸铜溶液是电镀液。在电化学过程中，当铜离子沉积在种子层上，阳极氧化从而补充失去的铜离子。为了更好地制备无孔隙、高深宽比的通孔，必须优化脉冲电流的波形和电镀液成分。在脉冲电镀的过程中，电流振幅与方向可调[10]。

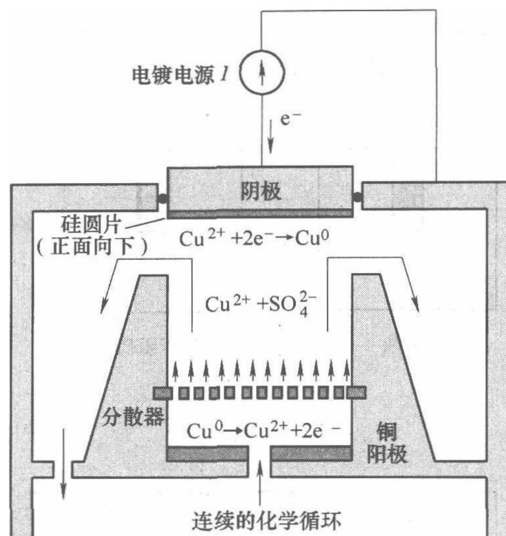



图 1.46 电镀铜原理示意图

**精密对准**

在三维 IC 堆栈中，芯片的精密对准十分重要。对准精度要求取决于对准结构的特征尺寸。在高密度电路中，要求的对准误差是 ±1μm。存在直接和间接两种对准技术[82,83]。直接对准过程中，可以同时看到两块待键合圆片上的对准标志。这种情况只有当一块圆片是透明的（见图 1.47a）或采用红外显微镜才有可能。该技术只适用于有限的几种情况。大多数情况下采用间接对准，如图 1.47b 所示。先读取并数字存储圆片上的第一个对准标志，然后将圆片移走，可以看到第二块圆片上

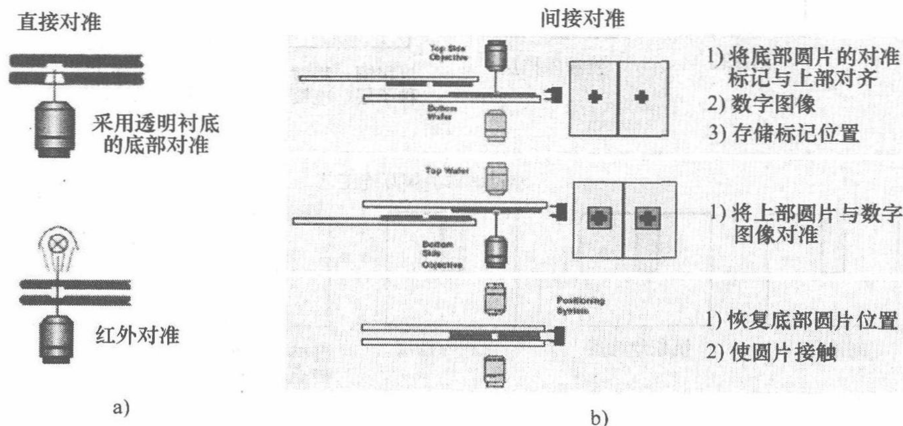



图 1.47 精密对准技术[82]

a）直接对准法 b）间接对准法

的对准标志，于是可将第二块圆片与第一块圆片的数字图像进行对准。采用精密定位系统，第一块圆片重新回到它的原始位置，此时可实现两块圆片间的精密对准。在最新的对准/键合设备中，对准精度可达到 ±1.3μm[82]。

### 1.2.3　三维封装

作为技术最成熟的一类集成技术，三维封装包括许多不同的技术。其中大部分是将已有的单芯片封装技术延伸到三维。三维封装可以使用优质芯片，因此不存在成品率和可靠性问题。从系统和制造的观点来看，三维封装可以大大降低电路板上要组装的分立器件数量。由于这些原因，三维封装应用较早、成本较低、成品率较高，因此广泛应用于很多最新的消费类电子产品，如智能手机、数码相机、MP3播放器、笔记本电脑等。三维封装技术满足目前这一代产品的要求，然而该技术无法充分满足将来很多系统所需的高性能、小型化要求。

不同的三维封装技术可进一步细分为四个主要类型，分别是引线键合堆栈、BGA 堆栈、采用芯片弯曲布线的折叠堆栈和超薄封装堆栈，如图 1.48 所示。前面两种类型，引线键合堆栈和 BGA 堆栈，是目前应用最广泛的三维封装技术。

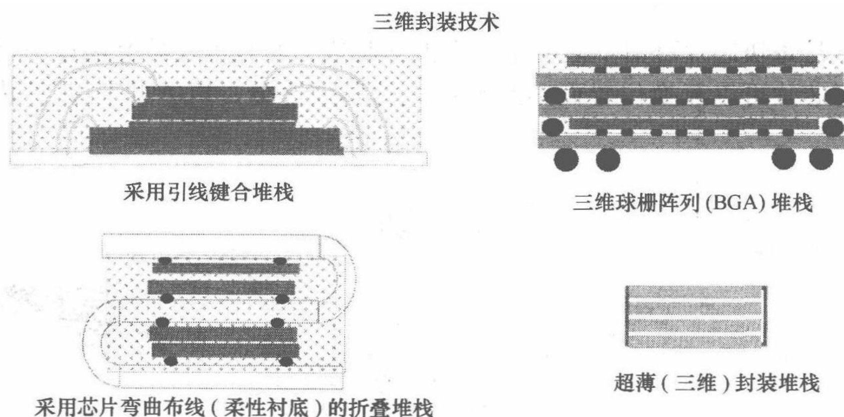



图 1.48　不同三维封装技术示意图

图 1.49 给出了一些先进的引线键合芯片堆栈结构[47,84,85]。芯片首先采用贴片胶堆叠，然后压紧[47]，最后通过引线键合到管壳上。这种芯片堆栈技术要求使用一些特殊的核心技术，如更高间距的引线键合，低环线高度的引线键合（小于75μm），芯片厚度为 50～75μm 的薄芯片操作等[86]，此外，还必须开发小间隔引线技术，以维持相同尺寸芯片间引线键合的间隔空间（见图 1.49c）。

图 1.50 所示为美国 Tessera 公司 BGA 堆栈实例[87]。对于 BGA 堆栈技术，在 BGA 堆叠前必须首先检测每个芯片。表 1.6 比较了引线键合堆栈与 BGA 堆栈的优、缺点[86]。引线键合堆栈的优点是成本更低、封装尺寸较小，而 BGA 堆栈的

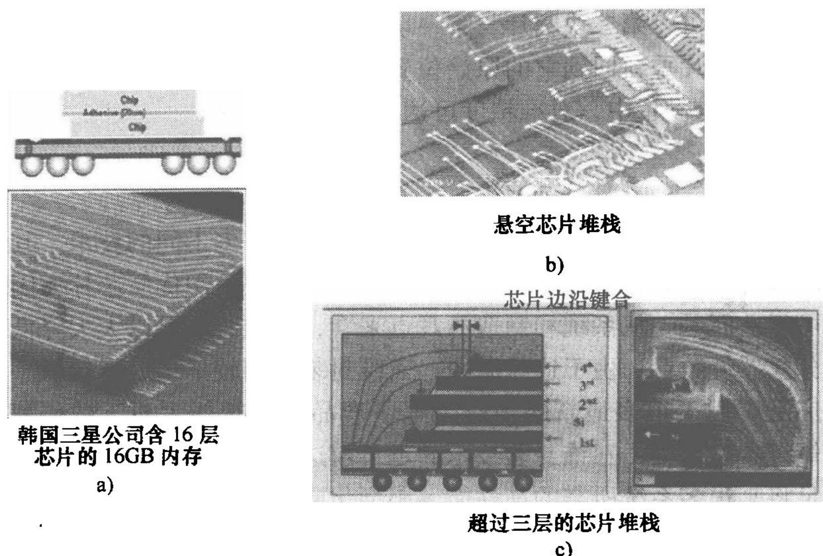



图 1.49　引线键合芯片堆栈的实施[85]

a）采用芯片交错堆栈的 8 芯片堆栈　b）芯片间应用间隔器的 4 芯片堆栈

c）采用非常薄、多层悬空的 4 芯片堆栈

主要优点是每块芯片可由不同的生产商独立制造，并且可在堆叠前逐一进行预测试。由于芯片可以互换位置而不影响设计的其他部分，BGA 堆栈更容易适应设计变化。

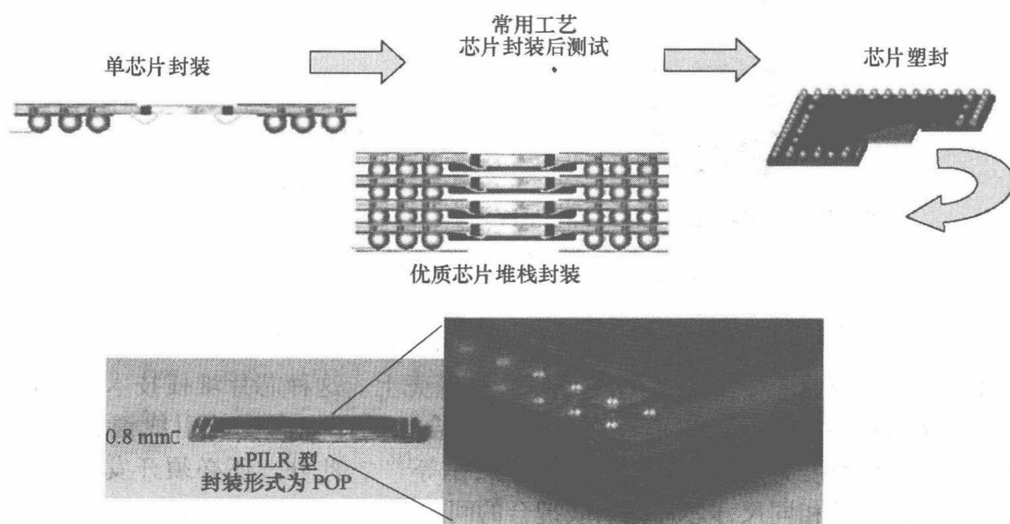



图 1.50　美国 Tessera 公司采用微 PILR 技术的 BGA 堆栈实例[87]

**表 1.6　引线键合与 BGA 堆栈技术比较[86]**

| 引线键合芯片对准 | 球栅阵列（BGA）堆栈 |
| --- | --- |
| 优点：<br>采用低成本衬底的低成本封装<br>通过圆片减薄技术可获得小的封装外型尺寸 | 优点：<br>采用常用逻辑电路，多种不同封装形式的堆栈<br>堆栈前进行优质芯片测试<br>容易在合格封装体实现器件交换 |
| 缺点：<br>单一来源“组装”产品<br>优质器件对提高产率非常重要<br>设计/开发要求改变堆栈器件 | 缺点：<br>由于堆栈内采用多种封装形式，封装体积大<br>封装成本 |

图 1.51 给出了一种三维折叠堆栈，它采用柔性印制线路板（如聚酰亚胺，Kapton）作为互连基板。在上面组装器件后，电路被折叠成三维结构，该技术仅适合于一些很特别的应用。

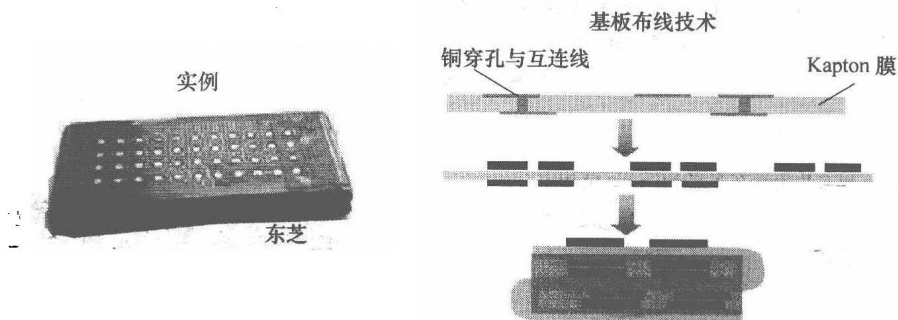



图 1.51　三维折叠封装技术

最后一种三维封装是先进的超薄三维封装，存在很多不同的实施方式。图 1.52 给出了美国 Irvine Sensors、美国 Vertical Circuits、法国 3D Plus 公司的三个实例。典型工艺包括首先在单一芯片组装体上制备薄膜互连线，使所用的互连线都与芯片边界相连，然后将带互连线的单个芯片进行堆叠，芯片与芯片的连接制作在堆栈侧面[88-90]。其他需要强调的技术是比利时 IMEC 研发的嵌入式 IC 技术，如图

1.53 所示。它采用非常薄的芯片（10μm 厚）嵌入到多层 BCB 中，互连线也布置在 BCB 层内[91]。

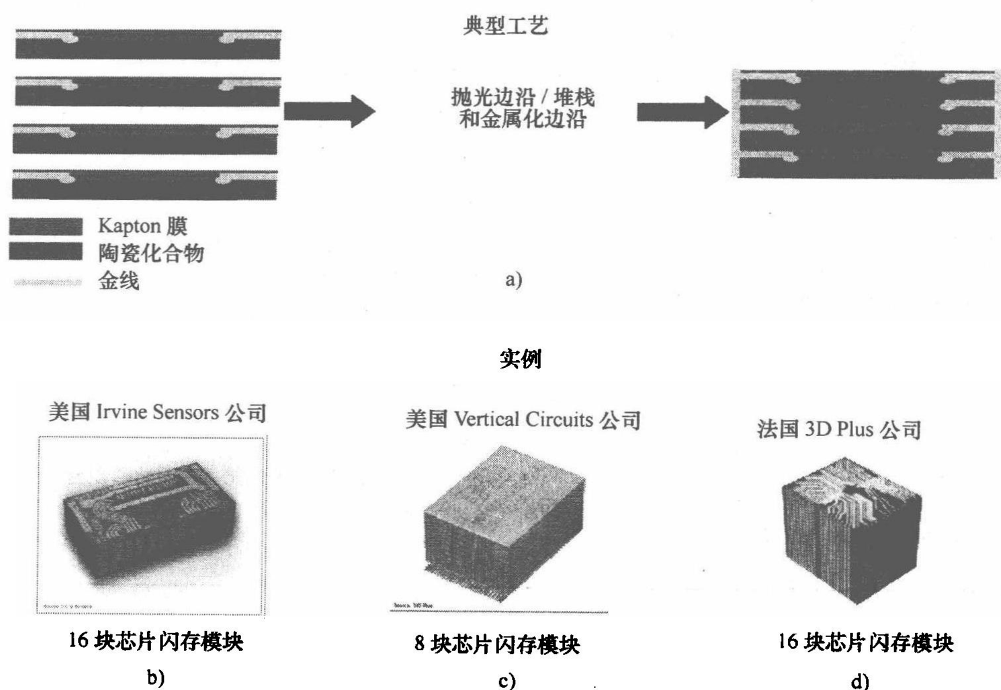



图 1.52　超薄三维封装实例

a）美国 Irvine Sensors 公司 Neo 堆栈技术的典型工艺[88]　b）美国 Irvine Sensors 公司 16 层堆栈存储模块[88]　c）美国 Vertical Circuits 公司 8 层堆栈闪存[89]　d）法国 3D Plus 公司 16 层堆栈存储模块[90]

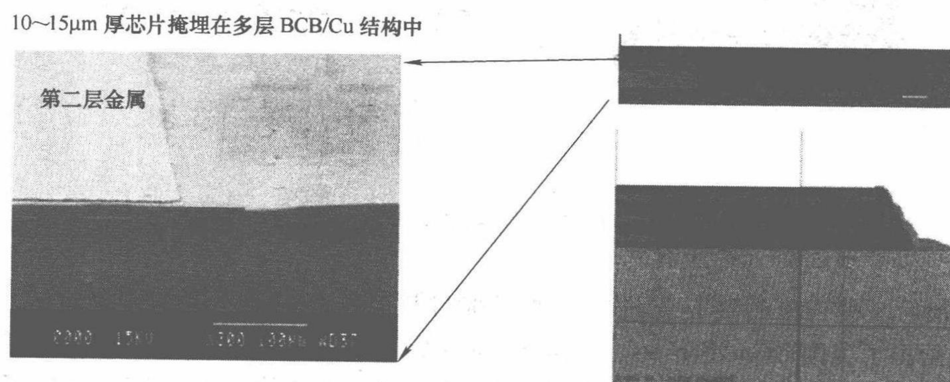



图 1.53　嵌入式芯片堆栈技术[91]

# 1.3　三维集成技术的主要问题

## 1.3.1　三维 IC 堆栈问题

在三维 IC 堆栈技术完全商业化之前，存在很多需要解决的问题。这些问题及其解决方案完全依赖于具体应用及其所采用的技术。因此，为了理解应用问题的特殊性，必须对每一种应用进行单独评估。一些经常出现的问题是热管理问题、IC-堆栈成品率问题、异型尺寸芯片问题，以及设计、装备和工艺基础设施的不足等问题。

### 1.3.1.1　热管理

三维 IC 堆栈的最初应用对象是微系统，其功耗很低，如图 1.29 所示的存储模块[40]、逻辑存储堆栈[32]和图像传感器读出模块[59]等。针对下一代 IC 产品的热管理技术还不是很清楚，有待评估[3,5,14,41,92-95]。一些初步想法和实例如下。

1）很多产品可能要求使用更有效的先进冷却方法，如图 1.54 所示的日本东芝公司微间距（micro-gap）冷却技术[41]。

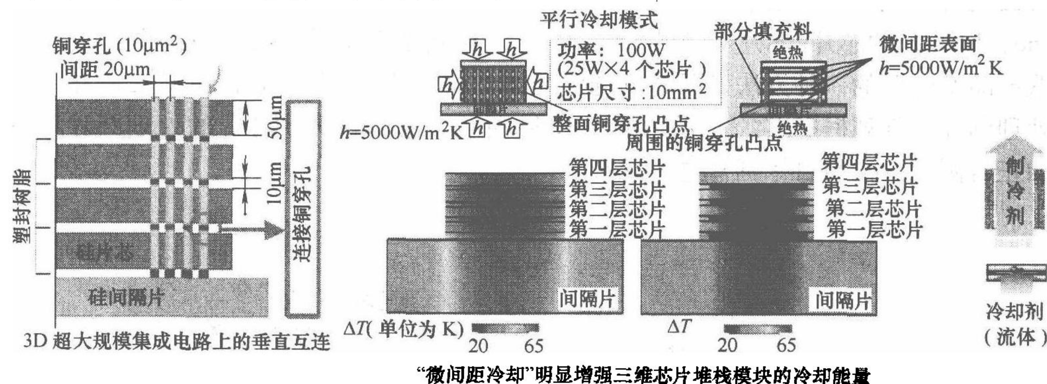



图 1.54　日本东芝公司三维 IC 堆栈的微间距冷却技术[41]

2）功能模块版图布置和设计显著影响着三维 IC 堆栈的最高温度，如图 1.55 所示的逻辑存储模块堆栈结构[5]。优化版图设计包括避免将两个发热功能模块紧靠在一起。

3）通孔的设计布置也对降低 IC 堆栈温度有影响[93]。采用更小的通孔间距和额外的热通孔可以提高散热效果。

4）减少堆栈中低热导材料的使用，增加高热导材料使用。这就是采用铜-铜、铜-锡-铜类金属-金属键合的额外好处，这样可提高散热能力。

### 1.3.1.2　IC 堆栈成品率

圆片级 IC 堆栈的成品率 $Y_{stack}$ 可表示为 $Y_{die}{}^{n}$。其中，$Y_{die}$ 代表单个芯片在圆片上

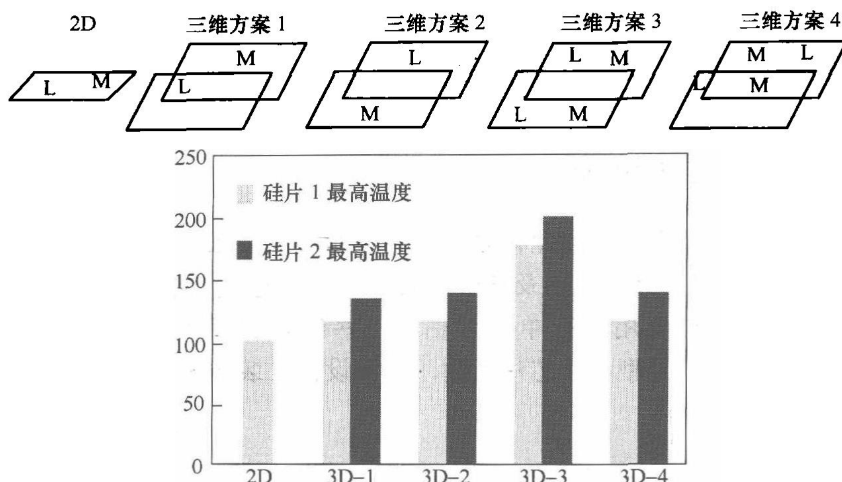



图 1.55 流程图显示了逻辑存储堆栈中功能模块版图设计对最高温度的影响[5]

的成品率，$n$ 是堆栈中的芯片数。如果芯片成品率是 80%，则三层芯片堆栈的成品率是 51%。如果芯片成品率是 99%，三层芯片堆栈的成品率将达到 97%，因此只有提高芯片成品率才能获得高的堆栈成品率。对于只采用优质芯片（Known Good Die，KGD）的芯片-芯片和芯片-圆片堆栈，其成品率不受影响。解决圆片级工艺低成品率问题的一种方法是预先挑选优质芯片（KGD），并将它们重新安放在一块处理圆片的阵列框中[20,25]，示意如图 1.56 所示。这个含优质芯片的处理圆片可以像正常圆片一样与目标圆片进行堆叠。

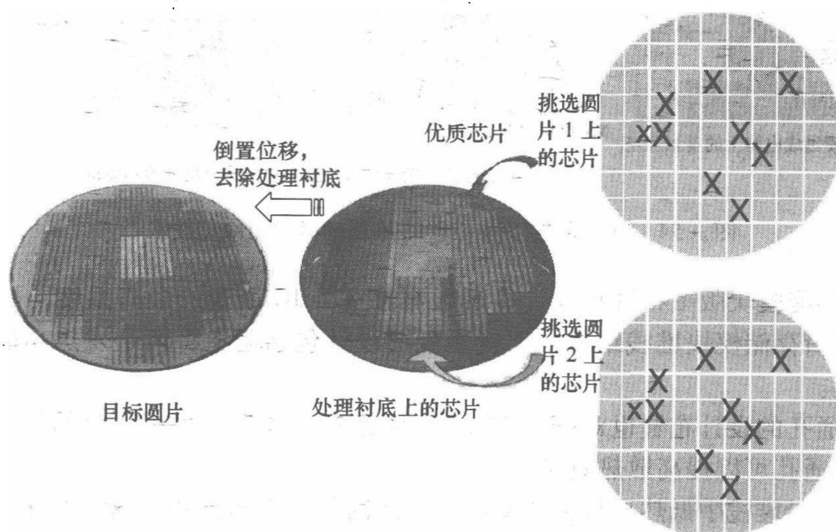



图 1.56 将优质芯片（KGD）从原始圆片取出重新安放在处理圆片上，随后将重新安放的处理圆片与目标圆片上的优质芯片进行堆叠[20]

#### 1.3.1.3　异型尺寸芯片

如果堆栈中的芯片尺寸不同，就不能采用圆片级 IC 堆栈工艺。这种情况下，堆栈技术只适用于 2 层或 3 层的类金字塔结构，芯片-圆片堆栈工艺如图 1.57[20] 所示。

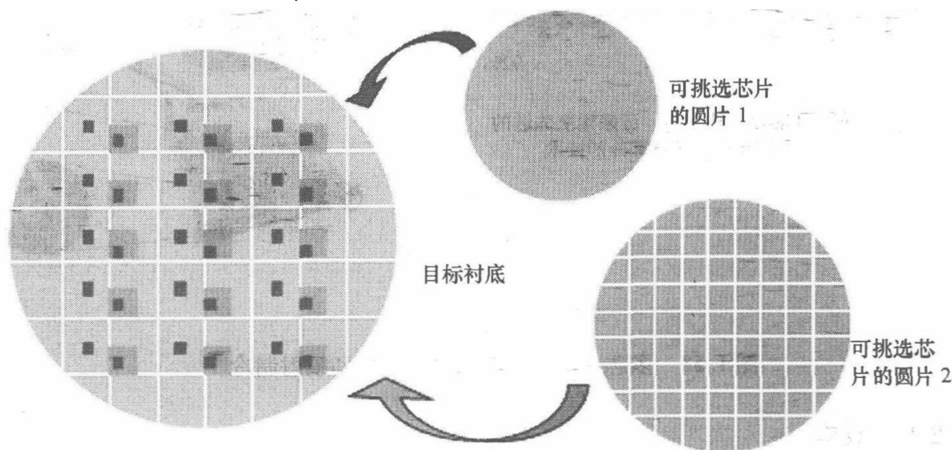



图 1.57　采用芯片-圆片工艺的异常芯片尺寸的 IC 堆栈[20]

#### 1.3.1.4　基础设施不足

在 IC 堆栈工艺商业化之前，必须建立设计、装备和工艺的基础设施。基础设施装备厂家如奥地利 EVG 公司、德国 Karl-Suss 公司和美国 Cadence 公司正逐步增加投入，提高三维 IC 堆栈的研发能力。一些大公司，如美国 IBM 公司、美国英特尔公司、德国英飞凌公司、日本东芝公司和日本 NEC 公司等也对研发表现出极大兴趣，进一步激发了装备厂家的研发热情。

#### 1.3.1.5　成本

由于投资成本高及直接生产成本高，采用硅穿孔技术的三维 IC 堆栈是一项昂贵的技术。然后，像过去很多其他技术一样，随着技术的不断成熟和产量的不断提高，单位成本将会下降，采用高成品率 IC 和圆片级工艺将进一步降低成本。

### 1.3.2　三维封装问题

虽然三维封装已经应用到很多产品中，很多问题也得到了解决，但还存在两个主要问题——热管理和成本。

#### 1.3.2.1　热管理

为了解决散热问题，必须对每种特殊的三维封装技术进行独立评价。在一些例子中，可以在均热板和热沉中制作三维结构，有些系统甚至要求采用外置的散热部件，如图 1.58 所示。

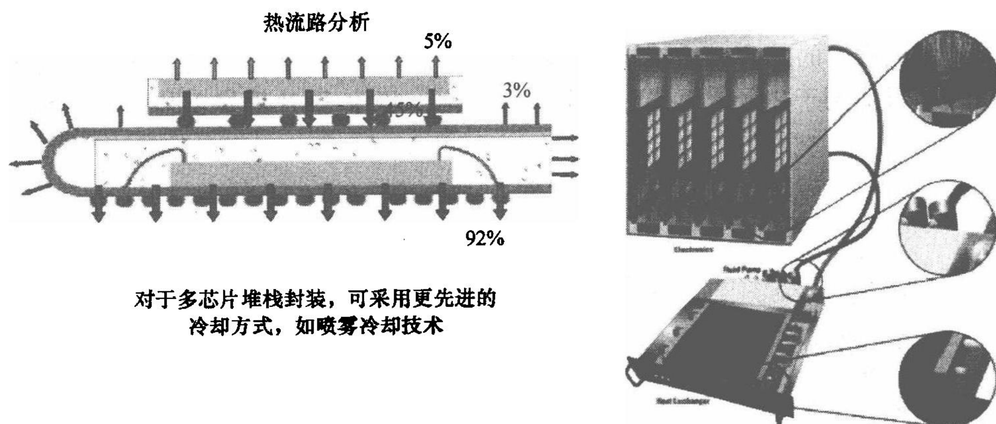



图 1.58 多芯片堆栈中的热路径分析和喷射制冷[96]

1.3.2.2 **成本**

虽然三维封装是成本最低的一种三维集成技术，在消费类产品市场仍存在要进一步降低成本的压力。一些分析表明，三维封装甚至可以比传统封装方式成本更低。成本分析表明，三维封装结构的高成本可以通过下面的成本优势得到弥补：

1）电路板上需要组装的分立元器件变少；

2）总封装成本降低，如引线键合堆栈；

3）由于印制线路板组装面积降低导致的成本节省。

## 1.4 结论

只有采用三维结构，下一代集成微系统才能满足不断增长的功能和性能需求。三维集成的主要驱动力是微型化，以及在小尺寸上集成不同技术和性能。存在很多不同的三维集成技术，主要分为三类，即三维片上集成，三维 IC 堆栈和三维封装。

三维片上集成是一种真正制备系统芯片（SOC）的均质三维 IC 技术。该技术正处于研发的早期阶段，仍面临很多技术挑战。

第二类是三维 IC 堆栈。它首先制备单个圆片，然后采用圆片级或芯片级工艺集成三维结构。在这类技术中，首先制造单个的 IC 圆片，然后圆片或 IC 间键合并采用硅穿孔实现 IC 间的电互连。有很多种不同形式的三维 IC 堆栈技术，它们的主要区别是键合方法。三种主要的键合技术是直接氧化物键合、金属-金属键合和粘接键合。三维 IC 堆栈的其他使能技术包括圆片/芯片减薄、制造硅通孔和精密对准。世界上很多大公司，如美国 IBM 公司、美国英特尔公司、日本东芝公司和德国英飞凌公司，都采用了三维 IC 堆栈集成。

最后一类是三维封装，它是单芯片封装向三维结构的延伸。该技术已经成熟，目前被广泛应用于智能手机、数码相机、MP3 播放器和笔记本电脑之类的众多消费类产品。该技术也存在很多不同的形式，其中引线键合芯片堆栈和 BGA 堆栈是两种主要形式。

三维 IC 堆栈技术还存在很多未解决的问题，其中包括散热、模块成品率低、基础设施不足、成本高等。三维封装技术已经应用到很多产品中，未解决的问题相对较少，主要是散热与成本。未来三维集成技术将在消费、医疗、国防和安全等许多应用中发挥重要作用。

# 参考文献

1. Chanchani, Rajen, "An Overview of 3D Integration Technologies – Motivation, Options and Status," Workshop on 3D Integration of Semiconductor Devices, in conjunction with Advanced Metallization Conference, sponsored by University of California, Berkeley, San Diego, October 18, 2004
2. Chanchani, Rajen, "3D Integration Technologies – An Overview", Short course presented at Polytronics 2007 Conference, Tokyo, January16–18, 2007. 56th Electronic Component and Technology Conference, San Diego, CA, May 30–June 3, 2006
3. Saraswat, Krishna C. et al., Proceedings of The IEEE, Vol. 89, No. 5, May 2001, pp. 602–633
4. Davidson, E., Transactions IEEE-CPMT-B, Vol. 20, No. 4, 1967, pp. 361–374
5. Saraswat, Krishna C., "3-Dimensional ICs: Motivation, Performance Analysis and Technology," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, April 14–15, 2004
6. Franzon, Paul D. et al., Transactions IEEE-CPMT-B, Vol. 21, No. 1, February, 1998, pp. 2–14
7. Reif, Rafael et al., Transactions IEEE-VLSI Systems, Vol. 11, No. 1, February, 2003, pp. 44–54
8. Saraswat, Krishna C. et al., Transactions IEEE-Electron Devices, Vol. ED-29, No. 4, April, 1982, pp. 645–650
9. Bohr, Mark T., IEDM Tech. Dig.,1995, pp. 241–244
10. Loke, Alvin L. S., "Process Integration Issues of Low Permittivity Dielectric with Copper for High Performance Interconnects," Ph. D. Dissertation, Stanford University, March, 1999. www.ewh.ieee.org/r5/denver/sscs/Presentations/Loke_PhD_Thesis.pdf
11. Reif, Rafael et al., Transactions IEEE-VLSI Systems, Vol. 8, No. 6, December, 2000, pp. 671–678
12. Vitkavage, Susan C.,"3D Interconnects and the ITRS Roadmap," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, April 14–15, 2004
13. Guarini, K. W. et al., "3D IC Technology: Capabilities and Applications," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, April 14–15, 2004
14. Lu, James Q., "Wafer-level Hyper-Integration for 3D IC and packaging," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Tempe, AZ, June 13–15, 2005
15. Saraswat, Krishna C. et al., Transactions IEEE-Electron Devices, Vol. 47, 2000, pp. 1035–1043
16. Neudeck, G. W. et al., J. Vac. Sci. Technol. – B, Vol. 17, No. 3, 1999, pp 994–998
17. Lin, H-Y et al., Japanese J. App. Phys., Part 1, Vol. 36, July, 1997, pp. 4278–4282
18. Saraswat, Krishna C. et al., Proc. 196th Meeting Electro-chemical Soc., Honolulu, HI, 1999
19. Topol, A. W. et al., IBM J. Res. & Dev., Vol. 50, No. 4/5, July/September, 2006, pp. 491–506

20. Krupp, Armin et al., "3D Integration with ICV-Solid Technology," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Tempe, AZ, June 13–15, 2005
21. Weber, Werner, Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y03-01, 2007
22. Schaper, L. W, Proc. of 53rd Electronic Components and Technology Conference, 2003, pp. 631–633
23. Schaper, L. W. et al., Trans. IEEE Adv. Packaging, Vol. 28, No. 3, August 2005, pp. 356–366
24. Bonkhara, Manabu, "3D Stacked LSI Interconnection by Cu-Vias & 3D System Integration," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, April 14–15, 2004
25. Ramm, Peter, "Vertical Integration technologies," Workshop on 3D Integration of Semiconductor Devices, in conjunction with Advanced Metallization Conference, sponsored by University of California, Berkeley, San Diego, October 18, 2004
26. Tan, C. S. et al., Proc. Materials Res. Soc. Symposium, Vol. 970, 0970-Y04-01, 2007
27. C. S. Tan et al., Applied Phys. Letters, Vol. 82, No. 16, April, 2003, pp. 2649–2651
28. Topol, A. W. et al., Proc. of 54th Electronic components and Technology Conference, May, 2004, pp. 931–938
29. Young, Albert et al., "perspectives on 3D-IC Technology," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Tempe, AZ, June 13–15, 2005
30. Enquist, Paul, Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y01-04, 2007
31. US patent 6,902,987, June 7, 2005
32. Enquist, Paul, "Direct Bond Interconnect Technology for Scalable 3D SOCs," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, Oct. 31–Nov. 2, 2006
33. Topol, A. W. et al., IEDM Tech. Dig., 2005, pp. 363–366
34. Guarini, K. W. et al., IEDM tech. Dig. , 2002, pp. 943–944
35. Keast, Craig, "3D Integration Program at MIT LL," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Tempe, AZ, June 13–15, 2005
36. www.ziptronix.com
37. Chen, Kuan-Neng, "Science, Materials and Process Technology of Cu Bonding for 3D Integration," IMAPS International Conf. on Device Packaging, Scottsdale, AZ, March 2007
38. Chen, K. N. et al., Joun. Of Materials Science, Vol. 37, 2002, pp. 3441–3446
39. Morrow, Patrick et al., Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y03-02, 2007
40. Lee, Kangwook, "The Next generation Packaging Technology for Higher performance and Smaller System," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, Oct. 31–Nov. 2, 2006
41. Takahashi, Kenji, "3D Chip Stacking," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Tempe, AZ, June 13–15, 2005
42. Beyne, Eric et al., Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y01-02, 2007
43. Ramm, Peter et al., Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y02-04, 2007
44. Mitsuhashi, Toshiro et al., Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y03-06, 2007
45. Jang, Dong Min et al., Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y05-06, 2007
46. Ramm, Peter et al., Workshop on Thin Semiconductor Devices – Manufacturing and Applications, Munich, Germany, Nov. 25, 2003
47. Lee, Kangwook, "The Next Generation Package Technology for Higher Performance and Smaller Systems" Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, Oct. 31–Nov. 2, 2006
48. Newman, Michael et al., Proc. of 56th Electronic Components an Technology Conference, May, 2006, pp. 394–398
49. Naito, T. et al., Proc. of 55th Electronic Components and Technology Conference, 2005,

pp. 788
50. Yu, Jian et al., Proc. Mat. Res. Soc. Symp., Vol. 863, B10.7.1, 2005
51. Motoyoshi, Makoto et al., "3D LSI and its key Supporting technologies," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, Oct. 31–Nov. 2, 2006
52. Bonkohara, Manabu et al., Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y03-03, 2007
53. Chen, K. N. et al., Appl. Physics letters, Vol. 81, No. 20, Nov. 2002, pp. 3774–3776
54. Chen, K. N. et al., Journal of Elec. Materials, Vol. 30, No. 4, 2001, pp. 331–335
55. Chen, K. N. et al., Journal of Elec. Materials, Vol. 32, No. 12, 2003, pp. 1371–1374
56. Chen, K. N. et al., Electro-Chem. And Solid-State Letters, Vol. 7, No. 1, January, 2004, pp. G14–G16
57. Chen, K. N. et al., Journal of Elec. Materials, Vol. 34, No. 12, 2005, pp. 1464–1467
58. Chen, K. N., J of Elec. Materials, Vol. 35, No. 2, 2005, pp. 230–234
59. Williams, Ken, "Pixelated Architectures: Drives for 3D Integration Techniques", Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Tempe, AZ, June 13–15, 2005.
60. Niklaus, Frank et al., Journ. Micromech. Microeng. Vol. 11, 2001, pp. 100–107
61. Niklaus, Frank et al., Proc. Mat. Res. Soc. Symp., Vol. 863, B10.8.1, 2005.
62. Weiland et al., 2nd International Workshop on Thin semiconductor Devices – Manufacturing and Applications, Munich, Germany, Dec. 3–4, 2001
63. Lu, J-Q et al., " 3D Integration Using Wafer Bonding," Advanced Metallization Conference, Oct. 3–5, 2000, San Diego, CA
64. Lu, J-Q et al., Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y04-02, 2007
65. Chanchani, Rajen, US Patent 7,335,972 issued on Feb 26, 2008
66. Chanchani, Rajen, Transactions IEEE Components and Packaging Technologies, Vol. 30, No. 3, September 2007, pp. 478–485
67. Landesberger, Christof et al., 2nd International Workshop on Thin semiconductor Devices – Manufacturing and Applications, Munich, Germany, Dec. 3–4, 2001
68. Landesberger, Christof, Book – "Foldable Flex and Thinned Silicon Multichip Packaging technology," Chapter 5, edited by Jack balde, Kluwer Academic Publishers, ISBN 0-7923-7676-5, 2003
69. Landesberger, Christof, " New Dicing and Thinning Concept Improves Mechanical Reliability of Ultra-thin Silicon," Proc. of Advanced Packaging materials, processes, Properties and Interfaces, ISBN 0-930815-64-5, pp. 92–97
70. Reichel, H. et al., Proc. of 51st Electronic Components and Technology Conference, 2001, p 1034
71. Puech, Michel, "Fabrication of 3D Packaging TSV Using DRIE," IMAPS International Conf. on Device Packaging, Scottsdale, AZ, March 2007
72. Licata, T. J. et al., IBM Jorn. Of Res. & Dev., Vol. 39, No. 4, 1995, pp. 419–435
73. Mann, R. W. et al., IBM Jorn. Of Res. & Dev., Vol. 39, No. 4, 1995, pp. 403–416
74. Venkatraman, R. et al., Proc. of Mat. Res. Soc. Symp., Vol. 514, April, 1998, pp. 41–52
75. Ryun, C. et al., Symp. On VLSI Technology Tech. Dig. , June, 1988, pp. 156–157
76. Dubin, V. M. et al., Proc. of Mat. Res. Soc. Symp., Vol. 514, April, 1998, pp. 275–280
77. Taylor, T. et al., Solid State Technology, Vol. 41, No. 11, pp. 47–57, Nov. 1998
78. Wang, S. Q., MRS Bulletin, Vol. 19, No. 8, August 1994, pp. 30–40
79. Singer, P., Semiconductor International, Vol. 21, No. 6, June, 1998, pp. 90–98
80. Edelstein, D. et al., International Electron Device Meeting Digest, Dec. 1997, pp. 773–776
81. Kim, Bioh, Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y06-02, 2007
82. Mathias, Thorsten, "Processes and Equipment for Volume Manufacture of 3D Integrated Devices," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Tempe, AZ, June 13–15, 2005
83. Mathias, Thorsten, Proc. Mat. Res. Soc. Symp., Vol. 970, 0970-Y04-08, 2007
84. Walker, Jim, "3D Packaging: A Market Opportunity or Interim Solution?" Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, April 14–15, 2004

85. Val, Christian, Proc. of IMAPS Annual Conference, boston, Nov. 2003
86. St. Amand, Roger, "Advances in Assembly Technology for 3D CSP Packaging," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, April 14–15, 2004
87. Haba, Belgacom, "Wafer-level Stacking: Novel Approach to stacking Very thin dies," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, October 22–24, 2007
88. Gann, Keith, "Neo-Stacking Technology," HDI Magazine, December, 1999, Miller-Freeman, Inc.. www.irvine-sensors.com
89. Val Christian, "Very High Speed 3D 'System-in-Package," HDI, Vol. No. 5, pp. 22–29, May, 2001. www.3D-plus.com
90. Robinson, Marc, "A High-Performance CSP Die Stacking Technology," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, April 14–15, 2004
91. Beyne, Eric et al., Proc. of Electronic Components and technology Conference, May, 2001
92. Banerjee, Kaustav et al., IEDM Tech. Dig. 2000, pp. 727–730
93. Banerjee, Kaustav et al., IEDM Tech. Dig. 2000, pp. 261–264
94. Joshi, R. V., "Thermal Modeling of Bonded SOI/3D ICs," Workshop on 3D Integration of Semiconductor Devices, in conjunction with Advanced Metallization Conference, sponsored by University of California, Berkeley, San Diego, October 18, 2004
95. Joshi, R. V. et al., Proc. of International Conference on Semiconductor Processes and Devices (SISPAD), 2001 pp. 242–245
96. Tuckerman, David, "3D packaging of Electronic Systems: Current trends and Future Challenges," Conference on 3D Architecture for Semiconductors and Packaging (sponsored by Research Triangle Institute), Burlingame, CA, April 14–15, 2004

# 第2章　先进键合/连接技术

Chin C. Lee，Pin J. Wang，Jong S. Kim

**摘要**：本章主要介绍了三种先进的键合/连接技术：粘胶键合、直接键合及无铅焊接。对于每一种技术，首先评述其键合原理及在电子工业中的应用，接着介绍所涉及的一些新材料和工艺。

对于粘胶键合，主要分析了四种比较常用的粘合剂：环氧树脂、硅树脂、聚酰亚胺（Polymides，PI）和丙烯酸。此外，还涉及了两种新型粘合剂：液晶高分子聚合物（Liquid Crystal Polymer，LCP）和SU8。LCP具有高分子聚合物和液晶的双重特性，因此能用于硅、金属、玻璃及柔性电路板之间的键合。SU8是一种环氧基负性光敏胶，可用于低成本圆片级MEMS封装中的零级封装。

对于直接键合，主要讨论了三种常用的键合方法：阳极键合、扩散键合和表面活化键合。阳极键合广泛用于硅-玻璃键合和玻璃-玻璃键合。扩散键合利用键合面上两种不同原子间的相互扩散形成化学键而实现键合。因为工艺温度较低（通常是室温），表面活化键合对于热膨胀系数不匹配材料之间的键合非常有用。据报道，有一种新的Ag-Cu直接键合技术，可在250℃温度下实现键合。

对于无铅焊接，介绍了钎焊的基本原理。为了避免使用助焊剂，开发了一些不氧化、无助焊剂的钎焊技术，并将之用于Sn-Au、Sn-Cu、Sn-Ag、In-Au、In-Cu和In-Ag等焊料系统的工艺开发。本章主要介绍了两种无助焊剂工艺，一个是Si/Cr/Au/Sn/Ag和Si/Cr/Au间的键合；另一个是Si/Cr/Au/Ag和Cu/Ag/In/Ag间的键合。两种键合工艺都没有使用助焊剂，但是键合质量很高。无助焊剂工艺也在富Sn焊料的倒装焊中得到了验证。

**关键词**：键合，钎焊，无助焊剂焊接，直接键合，阳极键合，粘胶，环氧树脂。

## 2.1　粘胶键合技术

### 2.1.1　电子工业用胶

电子工业中使用的聚合物材料的化学性质与其他行业没有什么区别，经常使用并且比较重要的粘合剂都是环氧树脂、环氧-酚醛树脂、环氧-硅胶混合物、硅树脂、丙烯酸树脂和聚酰亚胺。本章，简单评述了环氧树脂、硅树脂、丙烯酸和聚酰亚胺四种最常用的粘合剂，并介绍了它们的应用。本章内容不包括导电胶和贴片

胶，它们将在另外的章节讨论。

2.1.1.1 **环氧树脂**

环氧树脂的组成对电子封装的许多应用都很重要[1]。但不管组成如何，这些环氧树脂都有一个共同的特征，就是包含有环氧乙烷的三元氧通过冷凝或者氧化反应合成到有机分子上。不同成分的环氧树脂在很多电子封装工艺中得到应用，包括导电胶、倒装芯片塑封、脱模剂、塑封、表面贴装、引线键合粘合剂。环氧树脂是一种非常好的绝缘体，能够防止电子元器件短路，防止灰尘及湿气影响。由于其良好的电性能、机械强度和工艺加工性，环氧树脂在电子行业中得到了广泛应用[2,3]。环氧树脂可以是芳香族或者脂肪族，单官能团或者多官能团，物理外观上可以是低黏度液体，也可以是高熔点固体[4]。商用环氧树脂基本上由环氧树脂和固化剂组成，具有液态、凝胶、膏状和薄膜等不同形态。

2.1.1.2 **硅树脂**

硅树脂是一种有机硅材料，由带有分枝的笼状低聚硅氧烷组成，基本化学式为$R_nSiX_mO_y$。此处，R代表非活性取代基，通常为金属元素；X代表官能团H、OH、Cl或者OR。在很多应用中，这些官能团进一步缩合，形成具有高交联性且不溶的聚硅氧烷网络。硅树脂应用范围很广，有一种热固化硅树脂被开发成波导材料，其双折射率低，传输损耗小并且环境稳定性好[5]。热固化硅树脂还可用于制作高速光学器件涂层，其特殊性在于可以调整涂层厚度[6]。

2.1.1.3 **聚酰亚胺**

聚酰亚胺是酰亚胺单体的聚合物。聚酰亚胺的玻璃化转变温度要比环氧树脂高200℉㊀[7]。因此，聚酰亚胺比环氧树脂或者酚醛树脂的耐高温性能更好，半导体工业中经常将聚酰亚胺作为一种高温胶来使用。在电子工业中，聚酰亚胺通常以薄膜形式应用在柔性电路或电缆上，或者通过薄膜沉积制作中间介质层、钝化层和缓冲涂层，或者作为多芯片模组的基板。膏状或者胶带状聚酰亚胺具有一些独特的性能，如介电常数低、热稳定性好及良好的机械性能[8]。应用聚酰亚胺的一个很好的例子就是笔记本电脑上连接主板和显示器的排线。它由外层的聚酰亚胺和内层的铜导线组成。使用聚酰亚胺时，可以通过缩合反应或加成反应原理来固化。三类最重要的聚酰亚胺分别是聚酰亚胺前驱体、聚酰亚胺自支撑膜及聚酰亚胺粘合剂[4]。

2.1.1.4 **丙烯酸树脂**

丙烯酸树脂（聚甲基丙烯酸甲酯）具有极好的光学透明性，以及低吸水性导致的良好耐候性、强度、电学性能和耐化学性能[7]。在电子工业中，作为粘合剂使用的丙烯酸树脂都是通过自由基或者活性阴离子聚合而成[9]。自由基聚合反应可以通过紫外线辐射和加热来实现。活性阴离子聚合时，首先是氰基丙烯酸酯的高速反应，随后导致活性阴离子聚合[10]。由于氰基丙烯酸酯具有非常高的极性，因

㊀ 华氏度。$1℉=\frac{5}{9}K$，$\frac{t}{℃}=\frac{5}{9}\left(\frac{\theta}{℉}-32\right)$。

此可以用水作为反应诱发剂。

## 2.1.2　粘合剂在电子产品中的应用

### 2.1.2.1　集成电路

聚酰亚胺通常被用于制造集成电路。特别是在用作电介质层、钝化层及保护层等方面，聚酰亚胺比其他有机材料具有更大的优势[11]。光敏聚酰亚胺可以直接利用光刻工艺来制作图形，不必使用一些有毒的化学物质。在典型的三层金属互连设计中，聚酰亚胺膜填充在第一、二层金属之间及第二、三层金属之间。在硅片上完成所有集成电路工艺后，最外层都要涂覆一层较厚的聚酰亚胺，在高压炉测试中，利用这层聚酰亚胺作为缓冲层来吸收界面应力，阻止钝化层开裂及电极位移[7]。最近，利用一种新型高分辨率光敏聚酰亚胺，开发了一种高效制造超导集成电路的工艺。这种聚酰亚胺采用脂肪族材料作为氟化氪（KrF）光敏胶[12,13]，在 180℃溶液中利用催化剂通过嵌段共聚合作用直接合成。因为光敏聚酰亚胺可通过普通的光刻显影工艺直接制作绝缘层图形无需刻蚀，整个制造过程非常简单。

### 2.1.2.2　柔性电路

柔性电路是通过在柔性基板上制作电子元件来构建电路的技术。传统的柔性电路就是利用聚酰亚胺或者聚酯薄膜来制作的。许多工艺中通过采用柔性电路来克服多层刚性印制电路板的局限性[14]。柔性电路市场上使用的胶片基本上都是两层或三层的结构。对于两层胶片，通常是在铜箔上涂覆聚酰亚胺前驱体溶液或在聚酰亚胺薄膜上电镀铜来制备。对于三层胶片，首先在聚酰亚胺薄膜上涂覆一层有机粘合剂，然后层压到 35μm 厚的铜箔上[4]。整个电路板可以制作在柔性基板上，然后通过折叠，堆叠成所需要的形式，使其结构更加紧凑。柔性电路的应用包括数码照相机、手机、电脑主板、打印机及医疗电子产品等。

### 2.1.2.3　液晶显示器

由于具有能耗低、体积小、平面型、重量轻，以及大规模集成电路的高度兼容性，液晶显示器（Liquid Crystal Display，LCD）现在越来越流行[15]。在显示器产品的选择上，不仅高分辨率和大容量非常重要，而且降低成本也非常关键。在连接驱动器芯片和 LCD 时，使用了多种不同的粘合剂，包括热塑性和热固性的[4,16]。粘合剂的固化主要有两种机理：热固化和紫外固化。其中，热固化是比较常用的方法。另一方面，对于在 LCD 中使用透明玻璃基板的情况，紫外固化是一种比较好的选择。因为这样可以利用紫外线照射在室温下实现快速键合。低温固化对 LCD 非常重要，因为液晶对温度特别敏感，难以承受一般的钎焊温度[17,18]。

## 2.1.3　新型粘合剂

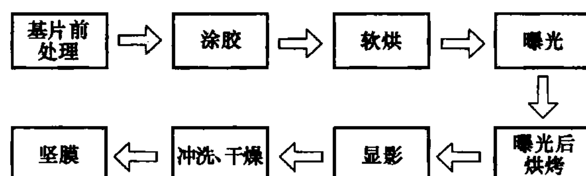
### 2.1.3.1　液晶聚合物

液晶聚合物（Liquid Crystal Polymer，LCP）在整个热塑性芳香族聚酯物里面是

很特殊的一类。它拥有其他材料所不具有的高性能。LCP 综合了液晶和聚合物的特性，既有普通液晶的中间相特征，又保留了聚合物的许多优良性能。LCP 的合成是通过将带有柔性间隔的棒状或盘状液晶侧基团链接到高分子主链上[19]，液晶基团必须链接到主链上，柔性聚合物才能表现出液晶效果。LCP 具有机械柔性，不溶于有机溶液和酸，并具有介电常数低、损耗因子低、吸水率低及成本低等优良特性，因此在微波产品及商用高性能柔性基板中得到广泛应用[20,21]。LCP 不仅可作为高频微波产品的基板，还能用于射频 MEMS 封装。LCP 的键合温度在 280 ~ 310℃之间，对大多数射频 MEMS 开关是可以接受的。LCP 可以通过微加工或者激光切割来制作图形，能在不使用粘合剂的情况下与金属、硅及玻璃直接键合，因此可以算是一种无粘合剂的键合技术[22]。LCP 的热膨胀系数可以通过热处理来调节，有利于 SOP 模组中集成电路的集成。由于具有柔性，LCP 能够引导天线在空间中展开[23]，基于这种特性，包含有天线阵列的 LCP 大薄片能够弯曲、卷曲，并且易于展开。

### 2.1.3.2 SU8 粘胶键合

SU8 是一种环氧基高对比度的光刻胶，主要用于微加工及其他微电子行业，可以得到较厚的图形，并且具有较好的化学性能和热稳定性。SU8 是一种典型的负性胶，即曝光区相互耦合，而非曝光区溶于显影液中。一般工艺流程如下：




从工艺准则可知，软烘和曝光后烘烤的时间取决于光刻胶的厚度及 SU8 胶的种类。SU8 胶主要有以下优点：胶层厚度可变，可以达几百微米；化学稳定性及热稳定性高，机械性能良好[24]。SU8 胶在完成图形制作、固化后，能满足长期应用的要求。应用 SU8 胶作为中间层开发了一种圆片级粘胶键合方法[25]。粘胶键合非常适合硅或玻璃间的低温圆片键合（通常低于 200℃），并且这种键合技术对键合基板材料、键合表面颗粒及表面粗糙度要求不高。在这种方法中，胶层通过接触压印法选择性涂覆在某个键合片表面。当无法使用传统的涂胶工艺时，这种压印法是一个较好的选择。压力传感器的帽层就是采用 SU8 胶键合上去的。已开发的一种零级封装（Zero Level Packaging，ZLP）技术，它采用 SU8 胶来选择性键合具有高深宽比的微结构[26]。在此过程中，基本的零级封装工艺由三个步骤组成：①旋涂 SU8 胶及制作图形；②MEMS 与盖板圆片间粘胶键合；③采用深反应离子刻蚀（DRIE）技术刻蚀键合后的堆叠圆片。这种封装技术在低成本 MEMS 圆片封装及微电子单片集成方面具有很好的应用前景。

## 2.2　直接键合方法

直接键合就是不采用任何粘合剂或者焊料，将物体 A 和物体 B 键合起来的工艺过程，键合后只有一个键合界面，利用的原理是两个平整和光滑表面间的吸引力。对于常规的直接键合工艺，初始键合依靠两个绝对平整和清洁表面间的范德华吸引力。从原理上讲，如果两个接触表面上的原子间距足够小并相互接触，则几乎任何两种材料在界面都会产生很强的范德华力，甚至在室温下也能形成牢固的键合。但实际上，根本不可能在大面积范围内使两个表面的间距小到几个原子尺寸。因此，在室温下使两个物体直接键合几乎是不可能的。在过去的几十年里，技术的发展已经能够实现两物体之间的直接亲密接触。它们可以分为三类：阳极键合、扩散键合和表面活化键合。接下来评述了这三种键合方法，并介绍了一种新颖的 Ag-Cu直接键合技术。

### 2.2.1　阳极键合

阳极键合最早由 Wallis 和 Pommerants 在 1969 年开发，用于实现金属与玻璃间的键合[27]，随后应用扩展到硅-玻璃及玻璃-玻璃键合。典型的阳极键合发生在含钠的玻璃片与硅片间，键合电压为 200～1000V，温度范围在 300～400℃之间[28]。与玻璃的软化温度相比，阳极键合温度是相对较低的。

阳极键合工艺可以在真空或大气环境中实现。图 2.1 所示是阳极键合装置示意图[28]。玻璃片作为阴极，硅片作为阳极。试片经过清洗后，呈镜面的一块试片叠放在另一块的上面，两块试片间只有局部区域实现了直接接触，如图 2.2[27] 所示。随着温度升高并施加高电压，玻璃中的可动 $Na^+$ 通过局部接触区向硅片迁移，在玻璃内留下负电荷（即耗尽层），由此在垂直键合界面方向建立起一个电场。由于试片间隙非常小，因此电场强度非常大，能产生很强的静电力，使硅和玻璃表面紧紧贴合在一起。在接触区域形成了 Si-O 或者 Si-Si 共价键，然后键合作用从接触区域向整个圆片扩展。在适当的条件下，阳极键合强度可以达到 10～25MPa，键合效率（即实际键合面积与整个圆片面积的比值）在 94%～99.9%[29]。从上述介绍可以看出，要实现有效的阳极键合，需要两块试片中有一块的柔性较大，这样才能在静电力作用下将两块试片拉近并紧紧贴合在一起。这也意味着两块试片中需要有一块的厚度较薄。

阳极键合在包括气密封装、塑封在内的电子封装及器件制作等领域有很多应用。在 MEMS、激光二极管、光子与光纤模块及医疗器件封装中，阳极键合都能获得良好的气密性。气密封装也可采用环氧树脂，其特点是低温、低成本，但是环氧会有除气效应，使气密封装失效。另一方面，钎焊工艺需要采用助焊剂去除氧化物，助焊剂及其残渣容易残留在封装体内，产生脱气问题。因此，相比而言阳极键

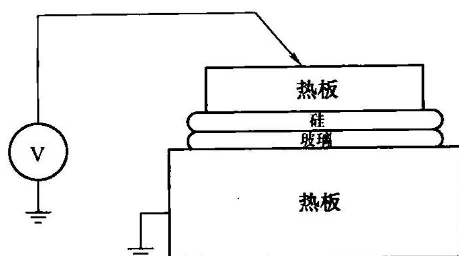



图 2.1 阳极键合装置示意图

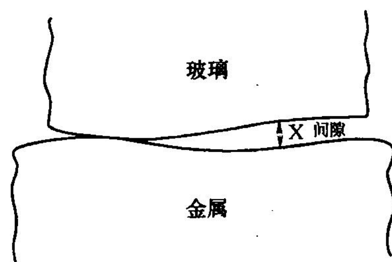



图 2.2 阳极键合前接触示意图

合是一种最好的气密封装方法[30-32]。阳极键合已被用于硅芯片和三维微流体结构的键合[33-35]，如图 2.3[33] 所示。不使用任何粘胶，可获得良好的流体互连效果。在光波长范围内，玻璃的透明性使玻璃与硅片间的对准简单、精确。阳极键合技术与圆片级封装工艺是兼容的。

## 2.2.2 扩散键合

扩散键合工艺涉及物体 A 和物体 B 的原子在界面上的扩散，通常也称为压力焊接、热压焊接或固态焊接。该技术可用于不同材料间的焊接，如不同金属间，金属与玻璃，金属与陶瓷等[36-38]。整个键合过程中都需要高温来激发原子间的扩散。对于难以键合的材料，

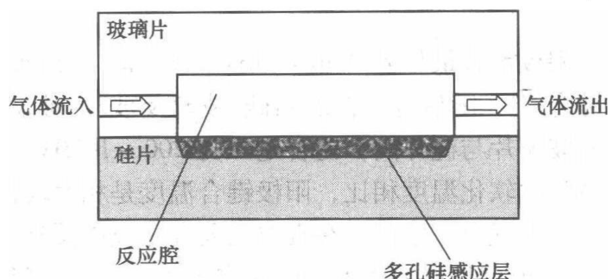



图 2.3 采用阳极键合制作的混合器件

键合过程可以在真空或惰性气体环境下进行，以抑制有害的表面氧化物生成。一般认为，只要存在相互扩散就能产生键合，即使专家也认可这一点。但从根本上讲，这只对了一部分，因为如果物体 A 和物体 B 的原子间相互扩散后没有相互吸引，键合也不可能实现。

为了成功实现扩散键合，必须保持两物体间亲密接触，时间从几分钟到几个小时，以确保有足够的原子扩散。图 2.4 所示为扩散键合机理[39]。当两物体贴紧时，由于表面粗糙不平只有少量区域存在物理接触，而且表面上很薄的一层氧化物也会阻止原子间的扩散。当施加压力达到材料的屈服强度时，粗糙表面发生塑性变形，随着压力增加，塑性变形增加，这有助于减少界面气孔，破坏氧化层。当脆性氧化层被破坏后，暴露出的新鲜表面实现了原子级的相互接触。与此同时，接触区的原子相互扩散和移动，实现了键的联合。最后，当所有的气孔消失后，在整个界面上就能获得牢固的键合。

扩散键合通常存在三个关键的影响参数：温度、压力和停留时间。键合温度大

约为其中某种键合材料熔点的50%～80%，温度升高将促进原子间的扩散，有助于塑性变形。施加压力是为了确保两材料间的亲密接触，同时有助于表面形变，提高键合效率。停留时间也是影响键合质量的一个重要参数。停留时间的长短必须能保证原子间的充分扩散，但过长的停留时间容易产生金属间化合物，影响键合质量。

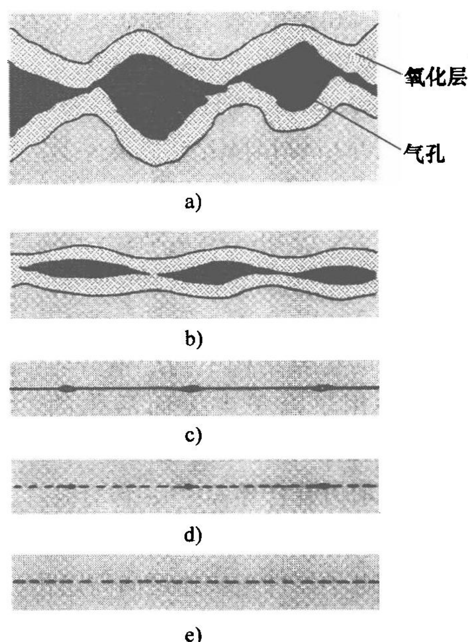



图 2.4　扩散键合机理
a）开始接触　b）部分表面粗糙处发生塑性变形
c）扩散与移动　d）原子继续扩散，破坏氧化层
e）完成键合

虽然扩散键合是电子封装中发展较早的一种技术，但现在只应用于一些特定的领域。早些年，引线键合完全利用扩散键合[40]，为了降低键合温度，开发了热声或超声引线键合法，利用声波能量破坏表面氧化层。在陶瓷封装中，通常需要将金属框架（引脚）与内置电极实现电互连，除了铜焊和钎焊技术，也可以利用扩散键合[41]。扩散键合也可以用于倒装芯片组装，即所谓的点上芯片技术。它在300℃时将柔性基板上的金凸点直接键合到测试芯片的铝焊盘上，最终的键合质量能够满足大多数低成本消费类电子和电信产品的可靠性要求。该技术最重要的突破在于省略了测试芯片上的植球及焊球下的金属化工艺，从而使组装工艺变得更加容易、快捷、便宜。

## 2.2.3　表面活化键合

为了降低键合对表面平整度的要求，一种方法是表面活化键合（Surface Activated Bonding，SAB）。表面活化键合不仅可以清洁表面，还能产生不完全化学键。这种化学键具有活性，很容易与其他原子反应形成强键。由于是在活化表面形成键合，降低了键合时对表面粗糙度的要求，表面活化通常采用高速粒子束或等离子体冲击。活化过程会引入键合缺陷，导致化学活性增加。因此，活化表面的表面能明显增加，甚至在室温下就能与其他材料形成键合。活化处理后到键合前这段时间，表面必须保持活化状态和清洁，因此活化过程和键合过程都必须在高真空系统下进行。但高真空系统非常昂贵，也限制了器件的尺寸。

表面活化键合应用范围很广，且能用于键合各种不同的材料，包括硅-硅、硅-陶瓷、金属-金属、金属-陶瓷[43-45]。该技术的一个主要优点是能在室温或低温下进行键合。采用表面活化键合制作高频光电器件也很有吸引力，可将铌酸锂

($LiNbO_3$) 和钽酸锂 ($LiTaO_3$) 这样的压电材料键合到硅片上。但这些压电材料的热膨胀系数 (Coefficients of Thermal Expansion, CTE) 与硅相差很大。$LiNbO_3$ 和 $LITaO_3$ 热膨胀系数分别为 14.4 (沿 *a* 轴) ~7.5 (沿 *c* 轴) $\times 10^{-6}$/℃和 16 (沿 *a* 轴) ~4 $\times$ (沿 *c* 轴) $\times 10^{-6}$/℃, 而硅的热膨胀系数只有 $3 \times 10^{-6}$/℃。因此, 当冷却到室温时键合结构中会产生剪切应力。采用氩离子束表面活化的 $LiNbO_3$ 可与硅实现室温键合[45,46], 图 2.5 所示为键合界面[46], 键合强度与体材料抗拉强度相当。

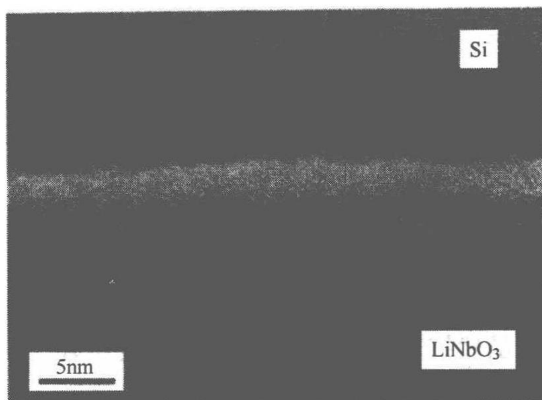



图 2.5 $LiNbO_3$-Si 键合界面高分辨率 TEM 图

随着电子器件正快速迈向高速化、小型化, 倒装芯片技术的互连密度也在持续增加。在传统钎焊工艺中, 由于芯片与基板间的 CTE 不匹配, 很难实现高可靠性的细间距芯片互连[47,48]。对准精度也是细间距键合的一个关键问题[49]。已有一些研究工作是利用表面活化键合来开发高密度封装[50-52]的, 如有的已获得了间距为 10μm、直径为 3μm 的无凸点互连[51]。采用表面活化键合, 倒装芯片焊点处不会产生金属间化合物, 从而可以提高可靠性和器件性能。

### 2.2.4 新型 Ag-Cu 直接键合

最近成功地开发了一种新型的厚银箔 (280μm) 与铜基板键合技术, 可以制作出 Ag-Cu 双层基板结构[53]。在金属和非金属基板材料中, 由于铜的电导率和热导率高、强度高、刚性适当、成本低, 被广泛地应用于几乎所有的电子封装[54]。但是, 因为热膨胀系数严重不匹配 (硅的热膨胀系数为 $3 \times 10^{-6}$/℃, 而铜为 $17 \times 10^{-6}$/℃), 半导体芯片与铜间的键合一直是个挑战。为了消除由于热膨胀系数不匹配引起的剪切应力, 该研究采用厚银箔作为缓冲层。选择银是因为银的屈服强度仅为 $Sn_{3.5}Ag$ 焊料的 28%, 铜的 10%。而与 $Sn_{3.5}Ag$ 相比, 银的电导率高 7.7 倍, 热导率高 5 倍, 因此银是最佳选择。接下来的问题是如何在与电子封装兼容的条件下, 不采用任何中间层就实现 Ag-Cu 间的键合。在此研究中, 镜面抛光的银箔在 250℃下直接键合到铜基板上, 键合真空度为 50mTorr㊀, 键合压力为 1000lbf/in$^2$㊀以确保亲密接触。相比于其他直接键合技术, 该键合工艺相对简单。图 2.6 给出了

---

㊀ mTorr (毫托), 1Torr = 133.322Pa。

㊀ lbf/in$^2$, 磅力每平方英寸 (原书单位为 psi, 相等)。1lbf/in$^2$ = 6.895kPa。

Ag-Cu 键合界面，为了与铜表面匹配实际上银箔发生了变形。键合强度很高时，键合面很难破坏，该键合技术的基本机理仍在研究中。

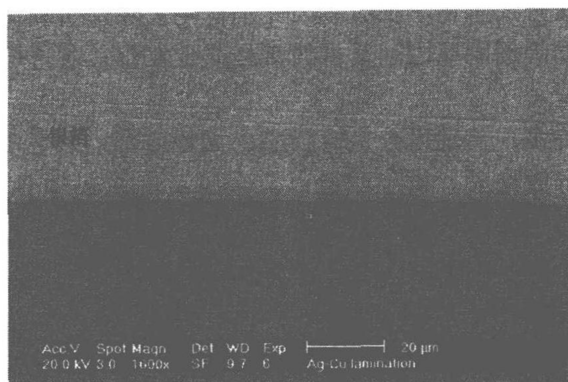



图 2.6　Ag-Cu 键合界面 SEM

## 2.3　无铅焊接与键合工艺

### 2.3.1　基本钎焊工艺

在这里，我们简要评述一下已经在工业界使用了几十年的基本钎焊工艺。到达钎焊温度时，焊料转变成熔融相。为了降低钎焊温度，必须采用低熔点焊料，一般钎焊合金都含有低熔点元素，如锡（Sn）、铟（In）、铅（Pb）和铋（Bi）。在钎焊过程中，焊料熔化与基体金属反应产生键合。键合作用开始于金属间化合物的形成，这是一种化学反应。以铜基板上的锡基无铅焊料为例，在焊接过程中焊料熔化与铜接触，界面上熔融焊料中的锡与铜反应生成 $Cu_6Sn_5$ 金属间化合物（Intermetallic Compound，IMC）。即通常所说的润湿反应，如图 2.7 所示。$Cu_6Sn_5$ 可以耐受 415℃的高温，在典型的钎焊温度 250℃下，$Cu_6Sn_5$ 还是固态，但就是这个界面层（本例中为 $Cu_6Sn_5$）将焊料和铜连接在一起了。这种金属间化合物的形成在所有的钎焊系统中都存在，没有它焊接就不可能成功。但是自 1986 年来，我们开发了许多无助焊剂的钎焊工艺，这些工艺不以金属间化合物的形成为键合机制。这种无助焊剂键合技术将在下一节介绍。

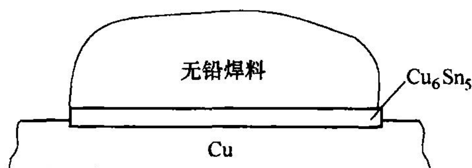
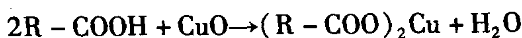



图 2.7　形成金属间化合物的传统钎焊工艺

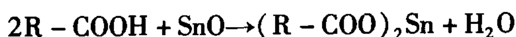
由于焊料键合的基本要求是通过化学反应形成金属间化合物（IMC），因此焊接环境必须能提供有助于这种化学反应的条件。但是焊料和基体金属表面都有氧化

物，氧化层熔点很高在钎焊温度时难以熔化[55]，如 SnO 和 $SnO_2$ 的熔点分别是1080℃和1630℃。氧化物也比焊料轻，所以会在焊料表面形成障碍，阻止熔融焊料与基体金属亲密接触产生化学反应。因此不首先去除这些氧化物，就不可能实现键合，这也是使用助焊剂的原因。其目的就是减少氧化，防止焊料和基体金属进一步氧化。

助焊剂的成分许多，关键组分是树脂酸，如松香酸、新松香酸、脱氢松香酸、棕榈酸、海松酸和异海松酸。树脂酸可以与金属氧化物如 CuO 和 SnO 反应，反应式如下：



$$2R-COOH+CuO \rightarrow (R-COO)_2Cu+H_2O$$



$$2R-COOH+SnO \rightarrow (R-COO)_2Sn+H_2O$$

式中，R 代表羧基，对于松香酸 R 为 $C_{19}H_{29}$。上述反应式中，铜盐为绿色，锡盐为棕黄色，都能溶于熔化后的助焊剂中。室温下，两种盐都呈肥皂泡状，通常都能渗入助焊剂并与之混合，如图2.8所示。通过反应去除氧化物，熔融焊料与基体金属的新鲜表面露出来，熔融焊料在基体金属上流动，很容易与之发生反应形成金属间化合物。当该反应发生后，从本质上讲键合已经形成。焊料表面覆盖着一层熔化的助焊剂，阻止了焊料进一步氧化。从此可以看出，在整个钎焊过程中，助焊剂必须保持熔融状态并能自由移动，因此必须严格控制助焊剂成分的物理特性。此外，钎焊温度也是需要考虑的最重要因素。

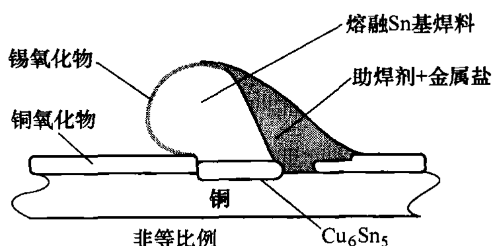
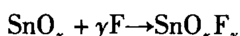



图2.8 助焊剂熔化后将氧化物转变成盐类，露出新鲜表面防止再氧化

## 2.3.2 去除锡氧化物的无助焊剂工艺

成功钎焊的关键是去除或转化氧化物，最常用的技术是采用上一节介绍的助焊剂。不用助焊剂而成功实现焊接的工艺就是所谓的无助焊剂工艺。为了便于读者理解，我们简单评述一下现有的去除氧化物的无助焊剂技术，并试图评述所有报道过的无助焊剂工艺。在1980年前，贴片工艺通常采用擦洗操作来去除氧化物。一些研究小组尝试用一些化学物质（如 $H_2$、蚁酸蒸气、CO 和硅烷）将 SnO 还原成 Sn，但是很少成功。在1990年，开发了一种氟处理工艺，称为等离子体辅助干法钎焊工艺（Plasma Assisted Dry Soldering，PADS）[57,58]。在该技术中，射频（Radio Frequency，RF）源产生的等离子体分解出无毒的含氟气体如 $CF_4$、$SF_6$，产生一种活性很强的原子氟。当焊料用原子氟处理时，会发生如下反应：



$$SnO_x+yF \rightarrow SnO_xF_y$$

生成的化合物 $SnO_xF_y$ 很容易溶解于熔融焊料，因此可以去除氧化物。该工艺

适合各种组成不同的 Pb-Sn 焊料。焊料经原子氟处理后，一般能在空气中保存几天而不失效。潜在的问题是：①氟会腐蚀 $SiO_2$ 和 SiN[59]；②射频源可能损伤芯片。最近，采用 100 ~ 500W 射频源产生的 Ar + 10% $H_2$ 等离子体作为干法清洁剂，腐蚀 $Sn_{3.5}Ag$ 和 $Sn_{3.7}Pb$ 焊料的氧化层。该工艺看起来是成功的，值得注意的一点就是高 RF 能量可能损伤 IC 芯片或敏感器件。除了使用助焊剂，采用化学物质也能去除氧化层，最引人注目的就是蚁酸蒸气[61,62]。从根本上讲，该工艺与通常使用的助焊剂工艺是相似的，只是采用的是化学物质而不是助焊剂。其中，应用最成功的就是蚁酸[61]，但这种酸与氧化物的化学反应还没有得到试验论证，反应残留物的影响也不清楚。最近还成功地开发了一种电子吸附技术，能在 200 ~ 300℃ 温度范围内的低浓度 $H_2$ 环境中产生原子态的氢离子。回流过程中，焊球上的 SnO 和 $In_2O_3$ 氧化层被原子态的氢离子还原（去氧化），可以在不使用助焊剂的情况下制作出良好的焊料凸点，实现与铜基板的键合[63]。

为了本节的完整性，这里还要介绍一种报道过的采用 $Au_{80}Sn_{20}$ 共晶合金作为键合介质的无助焊剂工艺[64-66]。在普通焊料中，这是惟一没有氧化问题的焊料，这也是要在这里介绍的原因之一。在热平衡状态，该合金是 AuSn 和 $Au_5Sn$ 两种金属间化合物的混合物[67,68]。如果键合过程在惰性环境中进行，就不存在氧化。只要 AuSn 共晶焊料处于热平衡状态，就能实现无助焊剂键合。但是商用的 AuSn 共晶焊料片表面可能存在大量的锡氧化物[64]，因此焊料片质量对获得无助焊剂能力十分关键。早在 1970 年，在激光二极管行业中就开始采用 AuSn 共晶焊料进行激光二极管芯片的无助焊剂贴片封装。一种有趣的无助焊剂工艺是将 Au 凸点键合到 Sn 焊盘（90μm × 90μm）或 SnPb 焊料焊盘上（100μm × 100μm）[65]。键合采用德国 KarlSuss 公司的 950 型倒装芯片键合机，键合温度为 300℃，键合压力为 7 ~ 10cN/焊盘。但相关文献没有介绍如何去除 Sn 和 SnPb 表面的氧化层。

### 2.3.3 无氧化无助焊剂钎焊技术

从根本上来说，该技术提供了一个从始至终的无氧环境，无论是最开始的焊料制备还是最后的焊点形成。该技术有四项基本的要求：①制备焊料时的防氧化措施；②覆盖一层物质阻止后续的氧化深入焊料；③覆盖层熔于焊料并成为焊点的一部分；④能抑制键合过程中氧化的合适环境。自从我们在 1991 年报道该项技术以来[55]，它已被用于各种无助焊剂工艺开发，包括基于 Sn-Au、Sn-Cu、Sn-Ag、Sn-Bi、Sn-In、In-Au、In-Ag、In-Cu 的二元系统和 In-Pb-Au 三元系统[69-77]。

现在，通过分别介绍我们最新开发的 Sn-Ag 和 In-Ag 系统的键合工艺，阐明键合的一些基本要求[77,78]。选择 Sn-Ag 系统作为一个代表性例子是因为富含 Sn 的 Sn-Ag 合金很容易氧化，所以要实现无助焊剂焊接特别困难。In-Ag 系统令人感兴趣是因为它具有瞬时液相键合效果，即由于固液反应熔融相甚至在键合温度时就能固化。

首先，在高真空（$2\times10^{-6}$Torr）下，采用电子束蒸镀在Si圆片上淀积薄Cr层（0.03μm）和Au层（0.1μm）。其中，Cr作为粘接层，Au能阻止Cr氧化，Cr/Au二元层可作为电镀种子层和凸点下金属化层。然后，在锡电镀槽中电镀一层10μm厚的Sn层，电镀电流为21.5mA/cm$^2$，电镀时间为25min，电镀液温度为46℃，pH值为1。随后，在Sn层上再电镀1min Ag，预计厚度为0.2μm。在电镀Ag之前，样品要进行化学处理以减少Sn层上可能的氧化物。Ag电镀槽中为无氰化物的弱碱性电镀液，pH值为10.5，电流密度为4mA/cm$^2$，温度为室温。希望获得的焊料组成为96.9%Sn和3.1%Ag，与Sn-Ag系统的共晶相接近。Sn表面的Ag层可以阻止内部的Sn层氧化。将具有Cr/Au/Sn/Ag结构的Si圆片切割成4.5mm×4.5mm的划片。另一块Si圆片再经过一次真空淀积0.03μm厚的Cr和0.1μm厚的Au，然后切割成6.5mm×6.5mm的划片。将两块划片用石墨夹具固定，施加50lbf/in$^2$（0.35MPa）的静压力以确保表面亲密接触，然后将整个装置一起置于一个小型真空腔内的石墨加热台上，再抽真空到100mTorr。石墨台通过温度控制器/驱动器加热。夹具温度用热电偶进行测量，由温控器进行控制。最佳的键合温度大约为240℃，在峰值温度的停留时间为1min，回流时间约为6min。关闭加热平台，整个装置在相同真空环境下自然冷却到室温。

图2.9所示为此键合原理的示意图。如前所述，将电镀后的硅芯片（具有Cr/Au/Sn/Ag结构）和淀积有Cr/Au的硅基片夹紧后置于真空度为100mTorr的真空腔内的加热台上。在硅芯片的焊料结构中，薄Ag层覆盖在内层的Sn上，如图2.9a所示。设计组分（96.9%Sn，3.1%Ag）的熔点温度略高于Sn-Ag的共晶点温度（221℃）。随着温度朝着240℃的键合温度上升，厚Sn层在232℃时融化。熔融后的Sn开始与覆盖在上面的Ag层反应，生成金属间化合物$Ag_3Sn$，随后Ag层被融化转变成富Sn的液相。熔融相也会润湿基片上的Au层，生成$AuSn_4$金属间化合物，如图2.9b所示。当温度达到240℃的键合温度，液相完全溶解$Ag_3Sn$和$AuSn_4$金属间化合物，如图2.9c所示，此时就达到了实现焊接的基本条件。冷却到室温，焊点固化，其成分包括富Sn母体和包含在母体中的$AuSn_4$与$Ag_3Sn$金属间化合物小颗粒，如图2.9d所示。

键合后的样品采用反射模式声扫描显微镜（Ctype-Scanning Acoustic Microscope，C-SAM）检测，以评估无助焊剂Sn-Ag的焊接质量。图2.10所示为两个样品的声扫描显微镜图。在反射模式声扫描显微镜下，如果有气孔，则可以在灰色背景下观察到亮斑，但从图上可以看出焊接良好完全没有气孔。为了进一步研究焊点的微结构，截取几个样品的断面并抛光，采用SEM和EDX对这些样品的断面进行了分析。图2.11所示为焊接断面的二次电子（Secondary Electron，SE）图，键合层相当均匀，厚度为2.5μm，比期望值要薄。其原因在于大量的熔融Sn在键合时被挤压出来。该部分熔融Sn呈粘状，起反应，并且保留在没有被芯片覆盖的带有Cr/Au层的基板区域。断面并不如期望中的光滑，这是由于抛光过程造成的，还需

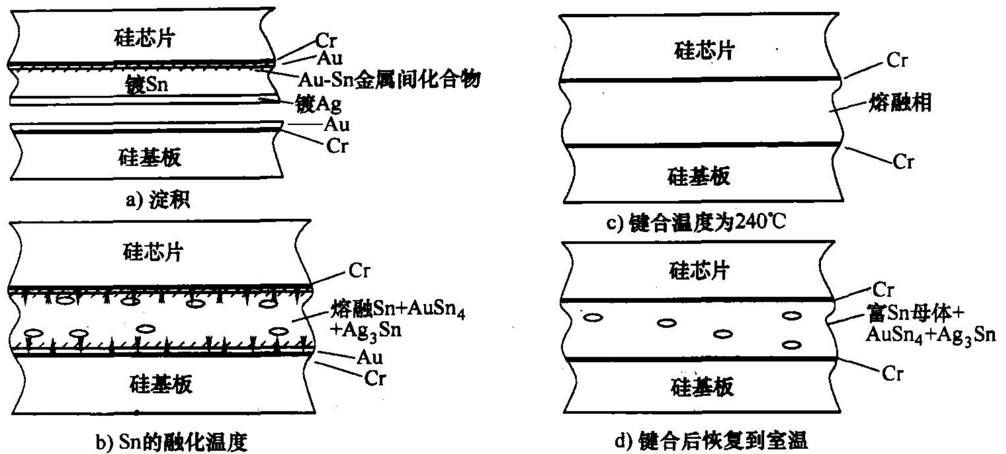



图2.9 采用Sn-Ag多层结构的无助焊剂键合原理示意图[77]

要更加精细地抛光。SEM图显示了Sn组成为97%的均匀相。令人惊讶的是没有观察到$Ag_3Sn$和$Au_4Sn$金属间化合物颗粒。一个可能是，在充分接触下SEM无法捕捉到非常小的$Ag_3Sn$或$Au_4Sn$颗粒。另一种可能是，在Sn母体中Au和Ag量太少，不足以实现金属间化合物的成核。如是后一种情况，Au原子和Ag原子仅仅是溶解在Sn中形成固溶体，这种焊点的强度非常高，如果用手持工具破坏焊点，总是Si芯片先被破坏。对几个焊接样品进行剥离键合试验，以测量熔化温度。结果在219~226℃范围内，其与预期的固相线温度很接近。

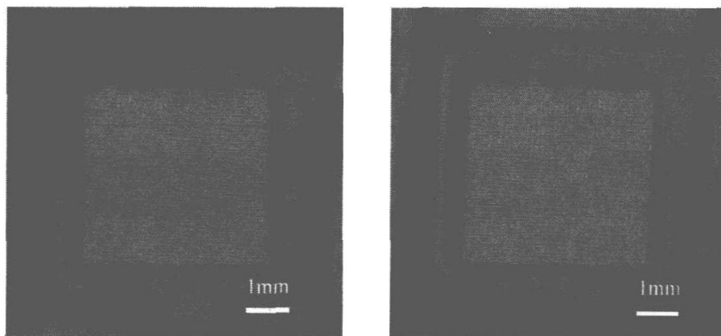



图2.10 使用无助焊剂Sn-Ag焊接的两个键合样品C-SAM图，界面无气孔[77]

接下来介绍In-Ag键合工艺[78]，图2.12给出了该键合设计。在硅芯片上电镀一层Ag，基板选用层压有280μm厚Ag箔的铜，采用最新开发的直接键合工艺制作。在Ag箔上电镀In，接着再覆盖一层Ag。研究发现，Ag箔上电镀的In并不是以纯In的形式存在，而是在电镀过程中与Ag原子发生反应生成了金属间化合物$AgIn_2$。$AgIn_2$有个有趣的特性：在160℃时它会转变成富含In的熔融相和$Ag_2In$固态颗粒的混合物，这种状况一直持续到温度上升至205℃。当温度等于和高于

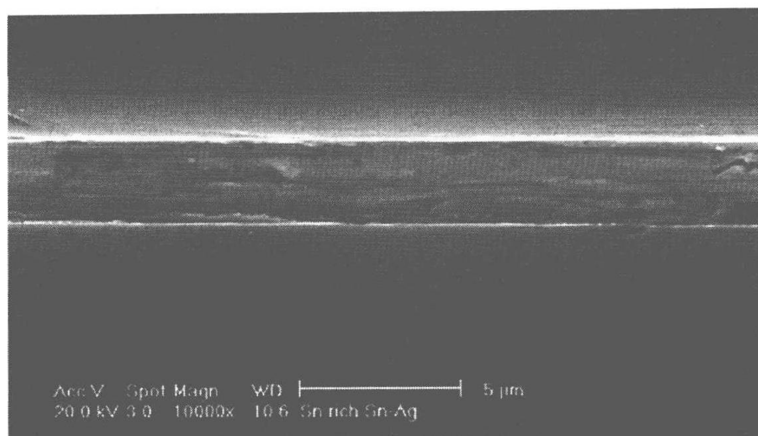



图 2.11 Sn-Ag 共晶焊接放大 10000 倍时的 SEM 图[77]

205℃时，$Ag_2In$ 转变成 γ 相颗粒。所以在 166～205℃时，存在液相并且能与硅芯片上的 Ag 层发生反应。实验中，硅芯片置于层压有 Ag 箔的 Cu 基板上，施加压力以确保亲密接触，在 205℃下进行键合，时间为 3min，真空度为 50mTorr。制作了多组键合样品，当我们试图用手持工具破坏键合样品时，总是硅芯片先被破坏，表明焊点键合强度很高。为了研究微结构，截取几个样品的断面并抛光，采用 SEM 和 EDX 对这些截面进行了分析。图 2.13a 和 b 所示为是焊点横截面的二次电子图，可以分辨出 $Ag/Ag_2In/Ag$ 三个截然不同的层。虽然 6μm 厚的 Ag 仍然在硅芯片一边跟硅相连，但 Ag 与熔融相间的快速固液反应导致 $Ag_2In$ 层增加到 18μm。基于以上观察，我们得到的键合机制：随着温度朝 205℃的键合温度上升，$AgIn_2$ 层在 166℃时开始熔化，并转变成熔融相与 $Ag_2In$ 颗粒的混合物，此时熔融相与上、下层的 Ag 反应并溶解一些 Ag 层，形成焊接点。冷却到室温后，得到的焊接层应该由 Ag、$Ag_2In$ 和 $AgIn_2$ 层组成。而图 2.13 所示的 SEM 图显示焊接层仅由 Ag 和 $Ag_2In$ 组成，没有 $AgIn_2$ 相。$AgIn_2$ 的缺失表明，在键合过程中熔融相溶解了足够多的 Ag，$AgIn_2$ 完全转化成了 $Ag_2In$。$Ag_2In$ 这种化合物在键合温度时为固相，所以焊点在键合过程中和冷却到室温前就已经固化了，这通常称为瞬时液相键合。等于和高于 300℃时，$Ag_2In$ 转变成 γ 相，这种相在 630℃以前都是固态，所以即使是在 205℃下实现的焊接，焊点也具有很高的

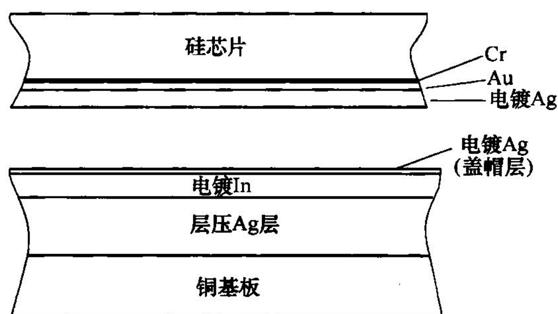
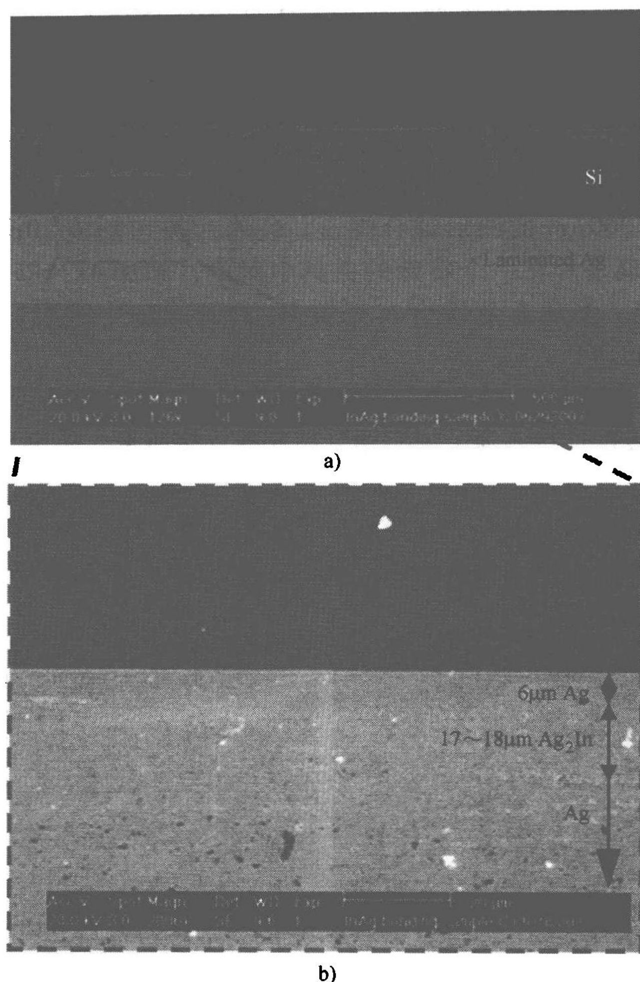



图 2.12 Si/Cr/Au/Ag 和 Cu/Ag/In/Ag 间的键合结构设计[78]

熔点。




a)

b)

图 2.13 焊接断面二次电子图，焊接由 Ag、$Ag_2In$ 和 Ag 三个区域组成[78]

a）低放大倍数 b）高放大倍数

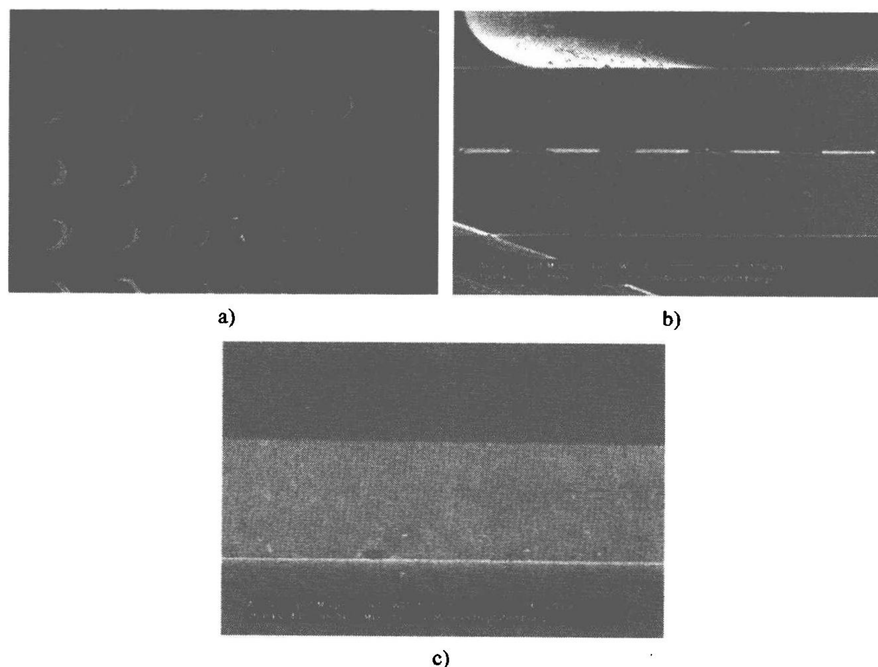
## 2.3.4 无助焊剂倒装芯片互连技术

在倒装芯片互连中，随着焊点尺寸缩小，硅芯片与封装基板之间的间隙也在减小。最终由于间隙变得很小，以至于很难清除残留在间隙中的助焊剂，所以需要开发无助焊剂的倒装芯片焊接工艺。根据报道，最初的技术是采用电镀富 Sn 的 Sn-Au凸点[79]。

为了制作 Sn-Au 焊料凸点，电镀是在具有厚的负性光刻胶（美国 Electrochem 公司 SU8）图形的 Si 圆片上进行。第一步，在真空腔中淀积一层 0.03μm 的 Cr 和 0.1μm 的 Au，作为凸点下金属化层和电镀种子层。为了制备焊料凸点，

在圆片上涂覆 SU8 光刻胶，采用光刻技术制作带有几乎是垂直侧边的空腔图形，图形为10×10 的圆柱形腔体阵列，每个腔体直径为 250μm，间距为 500μm。在腔体中电镀 Sn，紧接着再电镀一层薄 Au 层。电镀 Au 层和 Sn 层都是圆盘形，化学组成为 Sn 的重量百分比为 98%，Au 为 2%。Si 圆片被精确切割成 7mm×7mm 的小划片。采用硼硅玻璃作为基板，因为玻璃是透明的，所以方便对准。在玻璃片上沉积 0.03μm Cr 和 0.1μm Au 薄膜，采用丝网印制和刻蚀工艺制作阵列为 10×10，直径为 200μm 的圆形键合焊盘。玻璃片被切割成 10mm×10mm 的基片，硅划片和玻璃基片在一个特殊的夹具中对准，施加 413kPa（60lbf/in²）压力使两试片固定。倒装芯片键合在充填 $H_2$ 的管式炉中进行，将炉子升温到 250℃，保温 3min。

图 2.14a 所示为透过玻璃片看到的光学显微照片，所有的凸点都与 Cr/Au 焊盘实现了高对准精度的连接。为了证实倒装芯片的焊接质量，采用 SEM 观察键合样品断面，如图 2.14b 所示。断面上的焊点厚度均匀，基本上是接近垂直的鼓状，表明焊料凸点与玻璃基板上的 Cr/Au 焊盘对准良好。图 2.14c 所示为典型焊料焊点断面的背散射电子图像。EDX 数据表明，Sn 层的平均原子比为 98%，图中的小亮斑被认为是 $AuSn_4$ 颗粒。



a) b) c)

图 2.14 无助焊剂 Sn2% Au 倒装芯片焊接[79]

a）从玻璃片上观察到的焊接 b）具有几乎是垂直侧墙的样品焊接断面

c）Sn 质量分数为 98% 的单个焊点背散射电子图

# 参考文献


1. Luo S, Wong C (2001) Fundamental study on moisture absorption in epoxy for electronic application. Int Symp Adv Packag Mater, pp 293–298
2. Teh P, Mariatti M, Beh K et al (2007) The properties of epoxy resin coated silica fillers composites. Mater Lett 61:2156–2158
3. Chiu C, Lin J, Hsu K et al (2003) Thermally cleavable epoxy resins for electronic and optoelectronic applications. IEEE Electron Packag Technol Conf, pp 425–428
4. Cognard P, editor (2005) Adhesives and Sealants: Basic concepts and high tech bonding. Elsevier Ltd, Oxford
5. Watanabe T, Ooba N, Imamura S et al (1998) Polymeric optical waveguide circuits formed using silicone resin. J Lightwave Technol 16:1049–1055
6. Chida K, Sakaguchi S, Kimura T et al (1982) High speed coating of optical fibres with thermally curable silicone resin using a pressurized die. Electro Lett 18:713–715
7. Petrie E (2000) Handbook of Adhesives and Sealants. McGraw Hill, New York
8. Hoontrakul P, Sperling L, Pearson R (2003) Understanding the strength of epoxy-polyimide interfaces for flip-chip packages. IEEE Trans Devices and Mater Reliab 3:159–166
9. Kinloch A (1986) Structural Adhesives. Elsevier, London
10. Pizzi A, Mittal K (ed) (2003) Handbook of Adhesive technology. Marcel Dekker, New York
11. Sashida N, Hirano T, Tokoh A (1989) Photosensitive polyimides with excellent adhesive property for integrated circuit devices. IEEE Electron Compon Conf, pp 167–170
12. Itatani T, Gorwadkar S, Matsumoto S et al (2000) Positive photosensitive polyimide systhtesized by block-copolymerization for KrF lithography. Proc SPIE, pp 552–558
13. Kikuchi K, Goto M, Aoyagi M et al (2005) Efficient fabrication process for superconducting integrated circuits using photosensitive polyimide insulation layers. IEEE Trans Appl Supercond 15:94–97
14. Jain J, Samant S (2005) Novel multilayering technique using folded flexible circuits. IEEE Trans Electron Packag Manuf 28:259–264
15. Kristiansen H, Liu J (1998) Overview of conductive adhesive interconnection technologies for LCD's. IEEE Int Symp on Polym Electron Packag, pp 223–232
16. Kristiansen H, Liu J (1998) Overview of conductive adhesive interconnection technologies for LCDs. IEEE Trans Compon Packag Manuf Technol 21:208–214
17. Lau J (1995) Flip chip technologies. McGraw-Hill, New York
18. Kubo K, Touma S, Ross D (1986) Chip-on-glass LCD for automotive application. SAE Spec Publ, pp 115–119
19. Lawrence L (ed) (1985) Recent advances in liquid crystalline polymers. Ėlservier Applied Science Publishers, London and Newyork
20. Thompson D, Tantot O, Papapolymerou J et al (2004) Characterization of liquid crystal polymer (LCP) material and transmission lines on LCP substrates from 30–110 GHz. IEEE Trans Microw Theory Technol 52:1343–1352
21. Tentzeris M, Laskar J, Lee J-H (2004) 3D Integrated RF and millimeter-wave functions and modules using liquid crstal polymer (LCP) system-on-package technology. IEEE. Trans Adv Packag 27:332–340
22. Wang G, Thompson D, Papapolymerou J (2004) Low cost RF MEMS switches using LCP substrate. IEEE Trans Adv Packag 3:1441–1444
23. DeJean G, Bairavasubramanian R, Papapolymerou J et al (2005) Liquid Crystal Polymer (LCP): A new organic material for the development of multilayer dual-frequency/dual polarization flexible antenna arrays. IEEE Antennas and Wireless Propag Lett 4:22–26
24. Yu L, Tay F, Iliescu C et al (2006) Adhesive bonding with SU8 at wafer level for microfluidic devices. J Phys 114:189–192

25. Yu L, Iliescu C, Chen B et al (2006) SU8 adhesive bonding using contact imprinting. Int Semicond Conf, pp 189–192
26. Reuter D, Bertz A, Gessner T (2005) Selective adhesive bonding with SU-8 for zero-level-packaging. Micro- and Nanotechnology: Mater Processes, Packag, and Syst II, pp 163–171
27. Wallis G and Pomerants D (1969) Field Assisted Glass-Metal Sealing. J Appl Phys 40:3946–3949
28. Schmidt M (1998) Wafer-to-Wafer Bonding for Microstructure Formation. Proc of the IEEE 86:1575–1585
29. Wei J, Nai S, Wong C et al (2004) Glass-to-glass anodic bonding process and electrostatic force. Thin Solid Films 462–463:487–491
30. Lin C, Yang H, Wang W et al (2007) Implementation of three-dimensional SOI-MEMS wafer-level packaging using through-wafer interconnections. J Micromech Microeng 17:1200–1205
31. Guanl R, Gan Z, Fulong Z et al (2006) Anodic Bonding Study on Vacuum Micro Sealing Cavity. IEEE Elcetro Packag Technol Conf, pp 1–4
32. Jin Y, Wang Z, Lim P et al (2003) MEMS vacuum packaging technology and applications. IEEE Electron Packag Technol Conf, pp 301–306
33. Stefano L, Malecki K, Rossi A et al (2006) Integrated silicon-glass opto-chemical sensors for lab-on-chip applications. Sens and Actuators B 114: 625–630
34. Briand D, Weber P, Rooij N (2004) Silicon liquid flow sensor encapsulation using metal to glass anodic bonding. IEEE Int Micro Electro Mech Syst Conf, pp 649–652
35. Akselsen O (1992) Review Diffusion Bonding of Ceramics. J Mater Sci 27: 569–579
36. Qin C-D and Derby B (1992) Diffusion bonding of nickel and zirconia: Mechanical properties and interfacial microstructures. J Mater Res 7: 1480–1488
37. Chen S, Ke F, Zhou M, and Bai Y (2007) Atomistic investigation of the effects of temperature and surface roughness on diffusion bonding between Cu and Al. Acta Mater 55:3169–3175
38. Li H, Zheng Y, Akin D et al (2005) Characterization and modeling of microfluidic dielectrophoresis filter for biological species. J Microlelectromech Syst 14:103–112
39. Bartle P, Houldcroft P, Needham J et al (1979) Diffusion bonding as a production process. The Welding Institute, UK
40. Tummala R, Rymaszewski E, Klopfenstein A (1997) Microelectronics packaging handbook. Chapman & Hall, USA
41. Bolcar V (1968) Thermocompression bonding of external package leads on integrated circuit substrates. IEEE Trans Electron Devices 15:651–655
42. Wang Z, Tan Y, Schreiber C (2000) Development of chip-on-dot flip chip technique utilizing gold dot™ flexible circuitry. IEEE Electro Compon Technol Conf, pp 1470–1474
43. Takagi H, Kikuchi K, Maeda R et al (1996) Surface activated bonding of silicon wafers at room temperature. Appl Phys Lett 68:2222–2224
44. Suga T, Takahashi Y, Takagi H et al (1992) Structure of Al-Al and Al-$Si_3Ni_4$ interfaces bonded at room temperature by means of the surface activation method. Acta Metall Mater 40:S133–S137
45. Takagi H, Maeda R (2006) Direct bonding of two crystal substrates at room temperature by Ar-beam surface activation. J Cryst Growth 292:429–432
46. Takagi H, Maeda R, Hosoda N (1999) Room-twmperature bonding of lithium niobate and silicon wafers by argon-beam surface activation. Appl Phys Lett 74: 2387–2389
47. Davoine C, Fendler M, Louis C et al (2006) Impact of pitch reduction over residual strain of flip chip solder bump after refow. IEEE Int. Conf. on Therm Mech and Multiphysics Simul and Exp in Micro-Electron and Micro-Syst, pp 1–5
48. Peng C-T, Liu C-M, Lin J-C et al (2004) Reliability analysis an ddesign for the fine-pitch flip chip BGA packgeing. IEEE Trans. Compon Packag Technol 24:684–693
49. Xiao G, Chan P, Teng A et al (2001) Reliability study and failure analysis of fine pitch

solder bumped flip chip on low-cost printed circuit board substrate. IEEE Electon Compon Technol Conf, pp 598–605
50. Xu Z, Suga T. (2005) Surface activated bonding – high density packaging solution for advanced microelectronic system. IEEE Int Electron Packag Technol Conf, pp 398–403
51. Shigetou A, Itoh T, Matsuo M et al (2006) Bumpless interconnect through ultrafine Cu electrodes by means of surface-activated bonding (SAB) method. IEEE Trans Adv Packag 29:218–226
52. Wang Q, Hosoda N, Itoh T et al (2003) Reliability of Au bump-Cu direct interconnections fabricated by means of surface activated bonding method. Microelectron Reliab 43:751–756
53. Wang P, Kim J, Lee C (2007) A Novel Ag-Cu Lamination Process. IEEE Adv Packag Mater Symp, pp 200–202
54. Yamada Y, Takaku Y, Yagi Y et al (2006) Pb-free high temperature solders for power device packaging. Microelectron and Reliab 46:1932–1937
55. Lee C, Wang C, Matijasevic G (1991) A new bonding technology using gold and tin multilayer composite structures. IEEE Trans Compon Hybrids and Manuf Tech 14:407–412
56. Bernier (1998) The nature of white residue on printed circuit assemblies. Kester Solder, Des Plaines, IL
57. Koopman N, Bobbio S, Nangalia S et al (1993) Fluxless soldering in air and nitrogen. Proc IEEE Electron Compon and Technol Conf, pp 595–605
58. Beranek et al (1997) Fluxless, no clean assembly of optoelectronic devices with PADS. Proc IEEE Electron Compon and Technol Conf, pp 755–762
59. Hong S, Kang C, Jung J (2004) Plama reflow bumping of Sn3.5%Ag solder for flux-free flip chip package application. IEEE Trans Adv Packag 27:90–96
60. Park C, Hong S, Jung J et al (2001) A study on the fluxless soldering of Si wafer/glass substrate using Sn3.5Ag and Sn37 Pb solder. Mater Trans 42:820–824
61. Lin W, Lee Y (1999) Study of fluxless soldering using formic acid vapor. IEEE Trans Adv Packag 22:592–601
62. Matsuki H, Matsui H, Watanabe E (2001) Fluxless bump reflow using carboxylic acid. Int Symp on Adv Packag Mater, pp 135–139
63. Dong C, Patrick R, Karwacki E (2007) Electron attachment: a new approach to $H_2$ fluxless solder reflow for wafer bumping. IEEE Trans Adv Packag 30:485–490
64. Matijavesic G, Lee C (1989) Void-free Au-Sn eutectic bonding of GaAs dice and its characterization using scanning acoustic microscopy. J Electron Mater 18:327–337
65. Zakel E, Gwiasda J, Kloesser J et al (1994) Fluxless flip chip assembly on rigid and flexible polymer substrates using the Au-Sn metallurgy. Proc. IEEE/CMPT Electron Manuf Tech Symp, pp 177–184
66. Kallmayer C, Opperman H, Engelmann G et al (1996) Self-aligning flip-chip assembly using eutectic gold/tin solder in different atmospheres. Proc. IEEE/CMPT Electron Manuf Tech Symp, pp 18–25
67. Okamoto H, Massalski T (eds) (1987) Phase Diagram of Binary Gold Alloys, ASM International, Metals Park, OH
68. Ishikawa M, Sasaki H, Ogawa S et al (2005) Application of gold-tin solder paste for fine parts and devices. Proc IEEE Electron Compon Technol Conf, pp 701–709
69. Matijasevic G, Lee C, Wang C (1993) Gold-tin alloy phase diagram and properties related to its use as a bond medium. Thin Solid Films 223:276–287
70. Lee C, Wang C, Matijasevic G (1993) Gold-indium alloy bonding below the eutectic temperature. IEEE Trans Compon Hybrids and Manuf Tech 16:311–316
71. Matijasevic G, Chen Y, Lee C (1994) Copper-tin multilayer composite solder for fluxless processing. Int J Microcircuits and Electron Packag 17:108–117
72. Lee C, Chen Y (1995) Indium-copper multilayer composite solder for fluxless Bonding. Mater Res Soc Spring Meet, MRS Symp Proc Electron Packag Mater Sci VIII

390:225–230

73. Chen Y, So W, Lee C (1997) A fluxless bonding technology using indium-silver multilayer composites. IEEE Trans Compon Packag and Manuf Technol 20:46–51
74. So W, Lee C (2000) A fluxless process of fabricating In-Au joints on copper substrates. IEEE Trans Compon and Packag Technol 23:377–382
75. Lee C, Chuang R (2003) Fluxless non-eutectic joints fabricated using gold-tin multilayer composite. IEEE Trans Compon and Packag Technol 26:416–422
76. Chuang R, Kim D, Park J et al (2004) A fluxless process of producing tin-rich gold-tin joints in air. IEEE Trans Compon and Packag Technol 27:177–181
77. Kim J, Lee C (2007) Fluxless Sn-Ag bonding in vacuum using electroplated layers. Mater Sci and Eng A 448:345–350
78. Kim J, Wang P, Lee C (2007) Fluxless bonding of Si Chips to Ag-copper using Electroplated Indium and Silver Structures. Proc IEEE Adv Packag Mater Symp, pp 194–199
79. Kim J, Kim D, Lee C (2006) Fluxless flip-chip solder joint fabrication using electroplated Sn-Rich Sn-Au structures. IEEE Trans Adv Packag 29:473–482

# 第3章　先进的芯片与基板连接技术

Paul A. Kohl，Tyler Osborn；Ate He

**摘要：** 随着晶体管尺寸降低，其特征尺寸不断缩小，系统性能和成本不断提高。晶体管密度的提高和芯片尺寸的增加对芯片与基板连接技术提出了新的挑战。由于芯片以外的问题成为越来越限制产品性能和成本的因素，所以封装技术及芯片与基板连接技术发展变化的步伐也加快了。芯片与基板连接面临着多方面的挑战，包括信号输入/输出（I/O）连接数量、高速运行 I/O、功率与接地 I/O 及降低成本等。

为了应对上述挑战，本章评述了各种设计技术和结构。对于某种应用，为了确定互连的几何结构、材料及必要的工艺，对互连结构的机械柔性和电学性能进行模拟是十分重要的。为了满足 I/O 连接的机械和电学要求，采用了各种办法。传统的焊料键合连接的机械柔性结构可以极大地改善热力学可靠性，但可能损害电学性能；在柱状结构上覆盖一层焊料可以改善焊球的柔性，不过仍需要底部填料的可靠性保护；本章还讨论了全铜互连技术，通过提高性能和持续改进来同时满足机械与电学要求。最后，基于芯片与基板互连，提出了未来解决国际半导体技术发展路线图（International Technology Roadmap for Semiconductors，ITRS）规划中超高芯片外频率和热管理需求的办法。

**关键词：** 输入/输出，柔性 I/O，铜互连，无焊料，电子封装，倒装芯片。

## 3.1　引言

随着晶体管尺寸的缩小，其特征尺寸不断缩小，系统性能和成本不断提高。晶体管密度提高和芯片尺寸增加对芯片与基板连接提出了新挑战。由于芯片以外的问题越来越成为限制产品性能和成本的因素，封装及芯片与基板连接技术变化的步伐也加快了。芯片与基板连接面临着多方面的挑战，包括信号输入/输出（I/O）连接数、高速运行 I/O、功率和接地 I/O 及低成本。

芯片与基板互连能提供电源、电学接触及芯片与基板间的机械连接。目前，两种最常用的芯片组装方式是引线键合和倒装芯片互连键合，如图 3.1a 和 b 所示[1-4]。面阵列倒装芯片结构可以提供更多数量的 I/O，并且由于它具有更低的电感和电容，电学特性优于引线键合。面阵列倒装芯片焊球的 I/O 数比垂直引线键合多，倒装芯片连接也可以通过 I/O 为芯片冷却提供额外的散热通道。

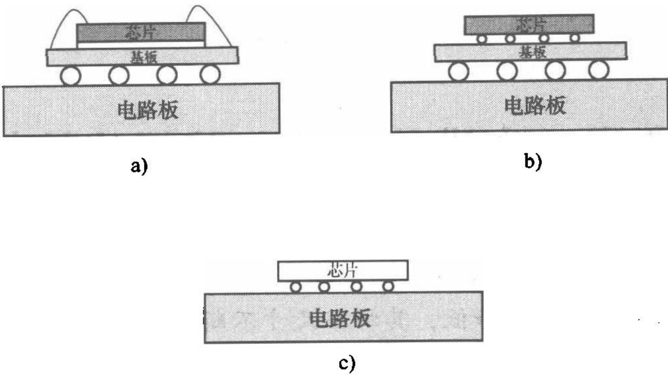



图 3.1 芯片键合与倒装互连键合

a）芯片-基板引线键合 b）芯片-基板倒装互连键合 c）板上芯片倒装互连

倒装芯片组装使用金属，通常是焊球来连接芯片与基板和/或基板与电路板，如图 3.1b 所示。芯片也可以以板上芯片（COB）的结构直接与电路板连接，如图 3.1c 所示。板上芯片是一种成本低、体积（总高度）小的技术。但是，采用基板有利于电学分布，允许提高 I/O 数。此外，采用基板有利于集成高功率芯片所需的热沉。

## 3.1.1 ITRS 中的倒装芯片连接

封装 I/O 数和密度的规划可以基于晶体管尺寸的缩小，芯片尺寸及性能的提高。表 3.1 列出了一些高性能芯片的 ITRS[5]，虽然高性能芯片的功率消耗一直保持在 198W，但是由于供电电压下降，直流电流（DC）会持续增长。如果在低电压下传输电流，就必须增加 I/O 数以避免发生电迁移，使功率通过芯片传输，虽然只使用了芯片的局部区域。

**表 3.1 ITRS 中的高性能芯片性能值（2006 年）**

| 年　　份 | 2005 | 2007 | 2010 | 2013 | 2016 | 2020 |
|---|---|---|---|---|---|---|
| MPU 电流/A | 172 | 172 | 198 | 220 | 248 | 283 |
| MPU 功率/W | 167 | 198 | 198 | 198 | 198 | 198 |
| 芯片到电路板速度/GHz | 3.1 | 4.9 | 9.5 | 18.6 | 34.9 | 72.4 |
| 焊盘间距，倒装芯片/μm | 150 | 130 | 120 | 110 | 95 | 85 |
| 管壳引脚数 | 3400 | 4000 | 4851 | 5616 | 6501 | 7902 |
| 单个引脚封装成本/美分 | 1.78 | 1.83 | 1.56 | 1.34 | 1.15 | 0.94 |

信号 I/O 将会是个特别的挑战，因为 I/O 数的增加会降低 I/O 间距，必须提高信号性能来满足芯片外的高速通信。对 I/O 设计的改进必须以降低成本为基础，如每个引脚的成本。

表 3.1 中没有列出未来 I/O 的机械要求。为了减小互连延迟，必须降低芯片上绝缘层的介电常数，而介电常数的降低会导致芯片上介质层的脆性增加，从而不能承受由 I/O 引入的高应力。未来的芯片与基板连接很可能需要机械柔性来抵消由于芯片与封装基板或电路板间热膨胀系数（Coefficient of Thermal Expansion，CTE）不匹配引起的机械应力。在正常情况下，一般认为随着焊球尺寸及芯片与基板间距的减小，I/O 引入的应力会增加。倒装芯片焊球尺寸的缩小反映在焊盘间距和引脚数上。

提高芯片到基板的速度至关重要，特别是对于处理器与存储器间的传输。而提高速度最具有挑战性，因为电学性能（电阻、电容、电感、阻抗）变差的话，信号会发生衰减和失真。最后，对于大多数电子元件，要想提高性能满足商用要求，只有使其成本结构有利于提高性能/成本比，因此高性能 I/O 的单位成本必须要低。

### 3.1.2　I/O 电学模拟

芯片与基板间的电学连接具有寄生电感、电容和电阻特性，这会使电学性能退化。这些特性的强度值及对 I/O 性能的最终影响与 I/O 形状、分布和材料有关。电学上，最希望采用空气作为芯片与基板间的介质层。这是因为空气引起的耦合作用最小，但是焊料结内部及焊料与平面连接点间的局部机械应力会很大。在焊料结点周围填充环氧树脂有助于分散应力，避免极限应力点，降低焊料疲劳。但是，底部填充料的高介电常数及损耗会使电学性能退化，增加 I/O 间的干扰。

总体上讲，寄生电感对电源完好性非常重要，寄生电容则影响信号的完整性，而寄生电阻则影响信号的 $RC$（电阻电容）延迟和传导损耗。下一节将重点评估 I/O的电学性能和机械性能。

#### 3.1.2.1　芯片到基板 I/O 的寄生电感

$IR$（电流电阻乘积）压降和同步开关噪声（Simultmeous Switching Noise，SSN）是涉及功率分配时遇到的两个 I/O 难题。SSN 是由于电流通过功率分配网络时发生改变引起，而电流变化主要由于 I/O 寄生电感[6-9]。SSN 会引起信号配时和完整性问题，导致开关逻辑电路错误[10,11]。由 SSN 引起的电压变化可表示为

$$\Delta V = L\frac{\mathrm{d}I}{\mathrm{d}t} \tag{3.1}$$

式中，$I$ 为电流；$t$ 为时间；$L$ 为芯片到基板 I/O 的寄生电感或回路电感。降低电源电压 $V_{dd}$ 可以降低对 SSN 的噪声差 $\Delta V$ 或偏差。因此，为了保持信号完整性，必须尽量降低电源/接地 I/O 的寄生电感 $L$。寄生电感与电源/接地互连的几何尺寸、回路距离（供电与回路间距离）及 I/O 周围绝缘层的介电特性有关。

图 3.2 给出了 I/O 的自感和互感，直流电流 $I$ 通过中心（电源）I/O 流入，再通过附近的四个 1/4 接地 I/O 返回，每个接地 I/O 的电流值为 $I/4$。由于每个接地 I/O 都要用于四个电源的 I/O，每个返回路径只使用了 1/4，因此 I/O 寄生电感可

通过中心 I/O 和周围的四个 I/O 得到。使用圆柱形（忽略球中心的凸起）有利于简化计算，并且更适合于其他柱状连接。

I/O 圆柱的自感和互感系数可以通过下式计算，即

$$L = 0.002H\left[\ln\left(\frac{4H}{D}\right) - \frac{3}{4}\right] \times 10^{-4}(\text{单位为 H}) \tag{3.2}$$

式中，$H$ 为圆柱高度；$D$ 为圆柱直径[12]。两个 I/O 间的互感系数可通过下式得到，即

$$M = 0.002H\left[\ln\left(\frac{H}{d} + \sqrt{1 + \frac{H^2}{d^2}}\right) - \sqrt{1 + \frac{d^2}{H^2}} + \frac{d}{H}\right] \times 10^{-4}(\text{单位为 H}) \tag{3.3}$$

式中，$d$ 为两个 I/O 间的中心距，如图 3.2 所示[12]。四根接地柱的高度与中心电源柱相同，但是截面积只有它的 1/4，因此接地柱的阻值是中心柱的 4 倍。整个电路（输入电路和回路）的压降可以分为两部分：电源 I/O 内的压降和接地 I/O 内的压降（见式（3.4）和图 3.3）。

$$V_{电路} = V_{电源} + V_{地} \tag{3.4}$$

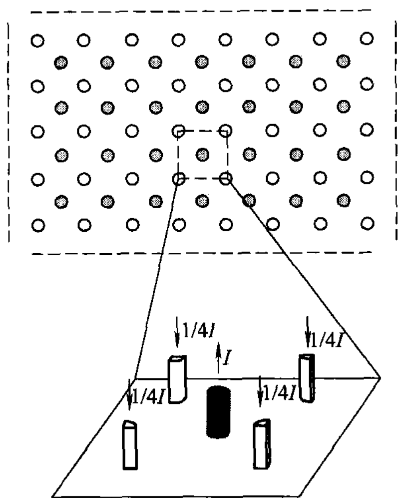



图 3.2 芯片到基板电源与接地 I/O 布局

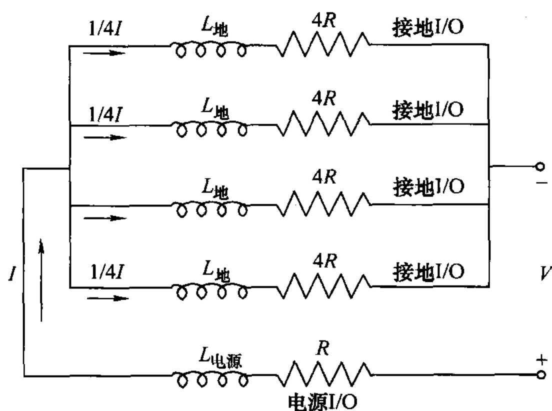



图 3.3 电源/接地 I/O 电路图

对于整个电路而言，压降等于电流与复阻抗 $Z_{电路}$ 的乘积（见式（3.5））。图 3.3所示的电路阻抗可以用式（3.6）表示。如果中心电源 I/O 的电阻是 $R$，则电路总电阻为 $2R$（见式（3-7））

$$V_{电路} = IZ_{电路} \tag{3.5}$$

$$Z_{电路} = R_{电路} + \mathrm{j}\omega L_{寄生} \tag{3.6}$$

$$V_{电路} = 2IR + \mathrm{j}\omega IL_{寄生} \tag{3.7}$$

式中，$V_{电路}$ 为电路压降（见图 3.3）；$Z_{电路}$ 为总复阻抗；$R_{电路}$ 为电阻；$\omega$ 为角频率，

j为虚数单位；$L_{寄生}$为寄生电感。

式（3.8）~式（3.11）是图3.2所示的中心电源I/O的电压和阻抗的表达式：

$$V_{电源}=IZ_{电源} \tag{3.8}$$

$$Z_{电源}=R_{电源}+\mathrm{j}\omega L_{电源_有效} \tag{3.9}$$

$$L_{电源_有效}=L_{电源}-4\times\frac{1}{4}M_1 \tag{3.10}$$

$$V_{电源}=IR+\mathrm{j}\omega\left(IL_{电源}-4\times\frac{1}{4}IM_1\right) \tag{3.11}$$

式中，$V_{电源}$为电源I/O压降；$Z_{电源}$为阻抗；$R_{电源}$为电阻；$L_{电源}$为自感；$M_1$为电源I/O和附近接地I/O间的互感系数；$L_{电源_有效}$为电源I/O总有效电感。对于每个接地I/O，也可以采用同样的步骤，得到

$$V_{地}=\frac{1}{4}I\times4R+\mathrm{j}\omega\left(\frac{1}{4}IL_{地}+\frac{1}{4}IM_3+2\times\frac{1}{4}IM_2-IM_1\right) \tag{3.12}$$

式中，$V_{地}$为一个接地I/O的压降；$L_{地}$是自感；$M_2$是两个临近的接地I/O间的互感系数；$M_3$是中心I/O周围两个对角上的接地I/O间的互感系数。将式（3.11）和（3.12）代入式（3.7），得到总寄生电感为

$$L_{寄生}=L_{电源}+\frac{1}{4}L_{地}-2M_1+\frac{1}{2}M_2+\frac{1}{4}M_3 \tag{3.13}$$

#### 3.1.2.2　I/O寄生电容

由于寄生电容会引起邻近I/O的干扰，以及由于*RC*乘积引起信号延迟，从而降低信号完整性。虽然，芯片到基板I/O的寄生电容和寄生电阻的绝对值比芯片上互连的要小，但是降低芯片外的*RC*延迟对改善整个系统性能有很大帮助[13]。在计算芯片到基板I/O的特征阻抗时也需要用到电容（见3.1.2.3节），因为芯片和基板间特征阻抗的不匹配会导致高频信号的反射损耗。

两个芯片到基板信号I/O圆柱间的寄生电容可以采用高频信号中的集总电路，通过下式可进行计算[14,15]，即

$$C=\frac{\pi\varepsilon_0\varepsilon_r}{\ln\left[\frac{d}{D}+\sqrt{\left(\frac{d}{D}\right)^2-1}\right]}H \tag{3.14}$$

式中，$d$为两个邻近I/O的中心距；$D$为I/O直径；$H$为高度。作为参考，一个直径为125μm的共晶焊料凸点的寄生电容测量值为8.8fF㊀[16]。

#### 3.1.2.3　特征阻抗

特征阻抗由下式定义[17]：

$$Z_0=\sqrt{\frac{R+\mathrm{j}\omega L}{G+\mathrm{j}\omega C}}\ （单位为\ \Omega） \tag{3.15}$$

㊀　1fF = 1×10⁻¹⁵F。

式中，$G$ 为介电损耗产生的旁路电导，其值由式（3.16）得到；$L$ 为两个铜柱的自感，其值由式（3.17）得到；$R$ 为电阻，其值由式（3.18）得到；$R_s$ 为铜柱的表面电阻。

$$G=\frac{\pi\omega\varepsilon''}{\ln\left[\frac{d}{D}+\sqrt{\left(\frac{d}{D}\right)^2-1}\right]}H\text{（单位为 S）} \tag{3.16}$$

$$L=\frac{\mu_0\mu_r}{\pi}\ln\left[\frac{d}{D}+\sqrt{\left(\frac{d}{D}\right)^2-1}\right]H\text{（单位为 H）} \tag{3.17}$$

$$R=\frac{2R_s}{\pi D}H\text{（单位为 }\Omega\text{）} \tag{3.18}$$

式中，$\mu_0$为真空磁导率；$\mu_r$为相对磁导率；$\varepsilon''$为复介电常数中的虚部。对于绝缘I/O，由于圆柱间的绝缘层不导电，旁路电导 $G$ 理论上为0。通过比较 $R$ 和 $\omega L$ 的大小，式（3.15）可以进一步简化。$R$ 可以通过集总电阻由式（3.18）计算得到，表面电阻可以由其定义通过下式计算，即

$$R_s=\frac{1}{\sigma\delta_s} \tag{3.19}$$

式中，$\sigma$ 为电导率；$\delta_s$为趋肤深度，由下式定义[17]：

$$\delta_s=\sqrt{\frac{2}{\omega\mu\sigma}}=\sqrt{\frac{1}{\pi f\mu_0\sigma}} \tag{3.20}$$

I/O 阻抗可能与电路的其他部分不匹配，但还是可接受的。因为 I/O 长度很短，负载阻抗占据了整个电路阻抗的绝大部分[18]。

### 3.1.3 力学模拟

芯片与基板连接的可靠性是微电子工业的一个主要关注点，硅片（热膨胀系数（CTE）为$2.5\times10^{-6}$/℃）与基板（陶瓷的 CTE 为$4\times10^{-6}\sim10\times10^{-6}$/℃，4 级阻燃有机材料 FR4/BT 板的 CTE 为$15\times10^{-6}\sim24\times10^{-6}$/℃）间 CTE 不匹配会引起芯片和基板变形，导致互连结构中产生应力和应变[19,20]。当剪切应力超过互连强度，或者由循环载荷产生的非弹性应变积累超过了材料的疲劳强度时，就会产生热力学失效。

对于采用焊料实现芯片与基板连接，由于功率突变或者环境变化会引起温度波动，并且由于封装材料间 CTE 不匹配，会导致焊料随温度和时间蠕变。蠕变在反复循环下积累，最终会引起焊点开裂，I/O 失效。有限元分析（Finite Element Analysis，FEA）被广泛用于评估焊料凸点的非弹性应变积累过程，但是 FEA 需要经验失效模型来预测焊点的疲劳寿命。

有限元模型（Finite Element Model，FEM）可以是一维、二维或三维（线、形状或表面）的。对于芯片 I/O 的应力分析，三维模型最好，因为应力是张量，具有表面和法向（垂直表面方向）分量。模型尺寸是芯片上使用部分的函数。图 3.4

给出了分析芯片封装的热性能和热力学行为时用到的三种模型：三维 1/4 模型、三维 1/8 模型和三维片段模型[22,25,26]。三维 1/4 模型和三维 1/8 模型的边界条件是结构外表面或对称平面，没有简化的假设边界条件，因此计算精度比较高[27]。但是这两种模型需要很大的存储空间和很长的计算时间。由于芯片的互连尺寸是微米级，而芯片和电路板尺寸是毫米级，两者的尺寸差异使单个 I/O 的应力模拟需要大量的单元数才能收敛。为了减少 3D 模型的存储空间，开发了一种子模型方法[28,29]。子模型由两步构成：首先，对三维 1/4 模型或三维 1/8 模型划分粗网格进行计算，虽然小结构上感兴趣的区域没有收敛，但是远离这些区域的大结构变形是收敛的；随后对包含有感兴趣部位的子模型进行二次分析，此时必须将整体模型的边界条件转化到子模型上，由于子模型的物理尺寸小，可以划分出更精细的网格。

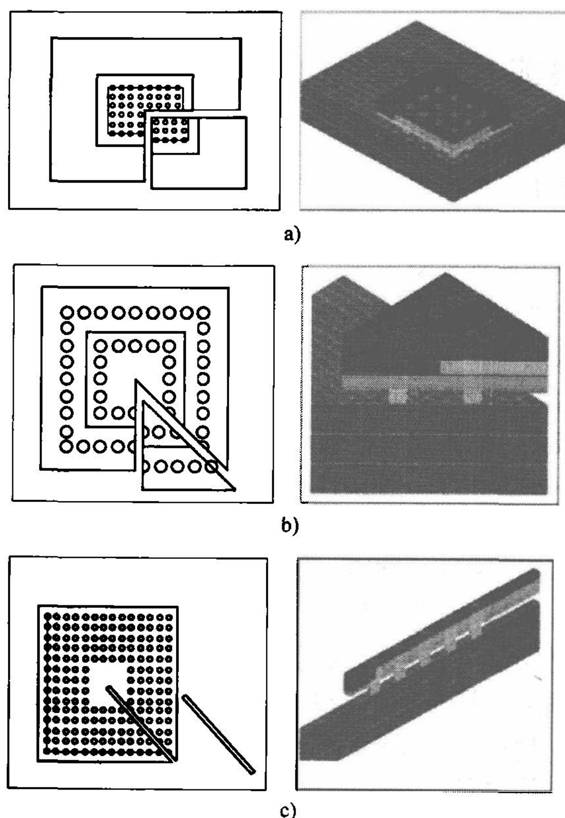


图 3.4　三维模型

a）三维 1/4 模型　b）三维 1/8 模型　c）三维片段模型

图 3.4c 所示的三维片段模型考虑了穿过封装体整个厚度的一个三维对角线片段。该模型包含了最大应力和应变，因为最大值都出现在封装体角落处。正确选择边界条件十分重要，因为片段两个表面上的节点是耦合的。同一平面上的节点在 $y$ 方向（垂直于表面）具有相同的形变量以满足整体平面形变（Generalized Plane

Deformation，GPD）限制，该平面既不是自由表面也不是真正的对称平面，仅仅在 $y$ 方向可以自由移动。但是在移动过程中仍然要保持平面[27,30-32]。GPD 模型在计算精度和计算复杂性间进行了折中。焊料封装的可靠性分析表明，三维片段模型（GPD 方面）和三维 1/8 模型的差异仅为 6%[27]。

## 3.2 采用焊料的柔性 I/O 结构

对小芯片引脚（特别是便携式电子产品）和更高密度的 I/O，需要新的封装技术。为了满足市场快速增长的需求，开发了芯片级尺寸封装。芯片级尺寸封装具有较高的硅封装密度，但是需要解决芯片与电路板间 CTE 不匹配的问题[19,33]。

### 3.2.1 外围与倒装芯片面阵列结构

缩小封装尺寸是降低整个系统尺寸、重量和成本的一个重要方面，但是降低封装尺寸的同时也降低了机械应力可释放的面积。已采用了很多方法来满足低成本、小引脚封装对于机械柔性的需求，最开始对一些柔性的倒装芯片结构采用倒装方式，将外围 I/O 转变成面阵列来减小芯片尺寸。预制薄膜或胶带状芯片-基板 I/O 技术已经被用于连接芯片和印制线路板。美国 Amkor 公司和日本东芝公司已经采用了这种形式的插入层[19,33]，使插入层（胶带）应用到芯片上然后进行组装。首先，通过引线键合将芯片键合在插入层上，然后将“插入层 + 芯片”通过倒装方式贴装在印制线路板上。插入层可提供一定程度的柔性，并可通过三维弹簧状结构来增强其柔性。Tessera 开发了一种柔性垂直连接技术，在插入层与 IC 间注入一层塑胶体，利用插入层中的金属互连线支撑柔性箔片，图 3.5 给出了美国 Tessera 公司用于边缘 I/O 的微型球栅阵列封装（μBGA），器件通过焊球贴装在电路板上。美国 Tessera 公司的 μBGA 可以提供从边缘 I/O 到面阵列的再分布，使电路板上的焊点间距很容易变大。这种灵活的弹簧式结构可以弯曲，释放由于芯片与基板间 CTE 不匹配产生的应力。

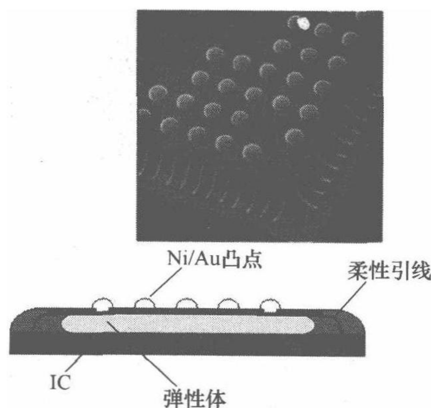



图 3.5 美国 Tessera 公司 μBGA 图片及横截面

### 3.2.2 使用面阵列焊料 I/O 的再分布

有多种方法可以将芯片上的 I/O 再分布成更加方便的形式。再分布不仅可实现 I/O 在芯片上的重新分布，还能在 I/O中建立机械柔性。增加一个插入层就可

以实现再分布。插入层可以预先制作或是以圆片的形式直接制作在芯片上。圆片尺度的插入层需要在芯片后道工序完成后增加额外的工艺步骤。图3.6所示是预制插入层结构的例子，显示的是面阵列I/O器件的WAVE封装。含有柔性连接线的插入层贴装在芯片I/O上，再用焊球将芯片贴装在基板上。

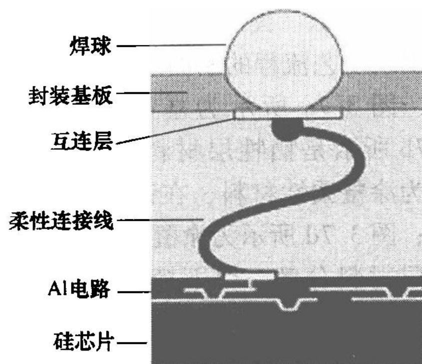



图3.6 美国Tessera公司开发的WAVE技术

### 3.2.3 圆片级柔性I/O

采用焊料的柔性I/O可以圆片的形式，在正常的后道芯片互连工艺完成后制作。在正常的芯片制作完成后，最后可以采用聚合物-金属构建工艺实现I/O的再分布。一旦圆片级封装完成，芯片被分开并进行组装。在低成本的驱动下，该技术首先用于低引脚数器件，由于不需要采用传统的封装，且印制线路板的尺寸减小（更小的IC引脚），封装成本更低，又因为芯片较小，I/O数少，机械要求适中。

日本富士通（Fujitsu）公司开发的超级芯片尺寸封装技术（SuperCSP）可以在芯片与基板间获得适当的柔性[33]。以圆片形式在芯片上制作短铜柱，用聚合物塑封铜柱。由于铜柱具有弹性变形，且塑封体能够分散应力，因此这种结构具有一定程度的柔性。大多数柔性结构都是将传统的焊料凸点贴装在圆柱末端。日本富士通公司的超级芯片尺寸封装采用直径为350μm、高度为100μm的铜柱，通过开发的特殊装置在铜柱周围注入塑封剂，然后将焊球贴装在铜柱上。日本OKI和Casio公司在低引脚器件中也开发了类似结构[33]。日本IBIDEN公司在再分布构建工艺的第二层聚合物中制作了一种细的柔性圆柱。所有这些“柱状”技术都表明，在制造可靠的圆片级封装器件时平面内（$x$-$y$方向）的柔性非常重要。铜柱上的焊料结提供了一种低成本方法，可补偿芯片与基板在$z$方向（高度）上CTE不匹配产生的应力，焊料回流时焊球可以轻微压缩或伸长以补偿器件内的不平整。

美国英特尔公司也采用铜柱+贴装焊球的方式来封装微处理器[35]，通过短铜柱支撑脆性的焊料结，使之离开芯片表面。因为倒装芯片焊料结点的最高应力点位于I/O与芯片表面连接处[18]，从而可以提高可靠性。

具有更高密度I/O、更高柔性的芯片与基板结构也得到了发展。开发了海量引线（Sea of Lead，SoL）技术满足未来芯片-模块互连要求[36,37]。SoL圆片级封装技术提供了$x$-$y$-$z$方向超高密度的柔性I/O引线（$>10^4/cm^2$）。通过将关键的芯片上全局互连并置于芯片外，降低了信号延迟，增加了全局时钟频率，提升了片上系统（SoC）性能[36,37]。在SoL中嵌入附加的空气间隙，可以增加圆片级测试及匹配非平面板时所需要的垂直方向（$z$轴）上的柔性。另外，空气间隙也可以降低互连层

的介电常数。图 3.7 给出了 $x$-$y$-$z$ 柔性引线工艺流程的断面图。

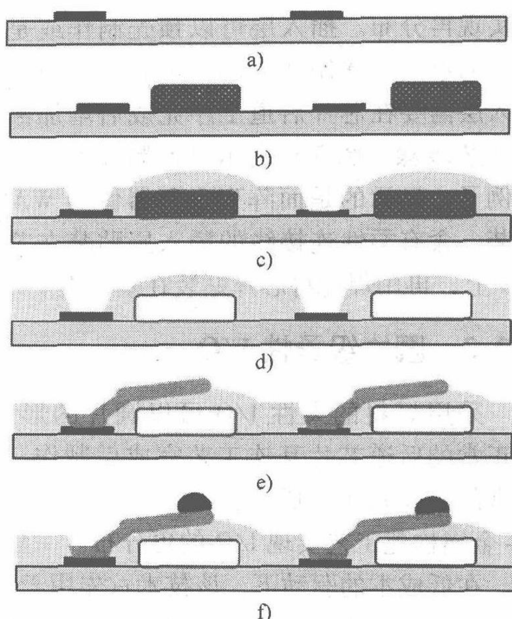


图 3.7 嵌入空气间隙的构建工艺

图 3.7a 所示为暴露的 I/O；图 3.7b 所示是牺牲层材料；图 3.7c 所示为涂覆柔性材料，在键合焊盘上开孔；图 3.7d 所示为涂覆层固化后，牺牲层材料分解，留下掩埋的空气腔。最终结构的柔性取决于空气腔尺寸、形状和涂覆材料的弹性特性。通过将金属线与聚合物表面分离，可以获得平面（$x$-$y$ 方向）柔性，偏离量大于 30μm。由于引线具有 $x$-$y$-$z$ 轴向的柔性，长度都比较短，所以在 0 ~45GHz 的范围内寄生效应较小。通过计算，引线的寄生电阻和寄生电感分别小于 25mΩ 和 0. 1nH。为了获得有效的电源电导耦合，在低频和高频下都希望寄生效应小，由于引线的功耗低，所以封装发热量小。SoL 的微波特性可以采用两端点网络分析仪进行圆片级测试，该分析仪带有 150μm 的共面接地-信号-接地（Ground-Signal-Ground，GSG）探针。为了表征柔性互连，在 15μm 厚的聚合物薄膜上制作 15μm 厚的金线。在 45GHz 时，测得 GSG 引线互连的回波损耗和插入损耗分别小于 20dB 和 0. 2dB[39]。作为对比，40GHz 时在 Al 基板上进行倒装芯片封装底部填料前和填料后测得的插入损耗分别为 0. 6dB 和 1. 8dB。Al 基板上凸点宽 75μm，高 150μm，凸点与凸点间通过长度为 600μm，电阻为 50Ω 的共面波导实现互连[38,39]。

采用标准的光刻和金属淀积工艺，可以制作许多复杂的三维结构[40-44]。图 3.8 给出了采用标准的金属化和光刻技术制作的单匝螺旋结构，螺旋结构的尺寸可以在很宽的范围内调整，横梁半径是决定其柔性和电学特性的关键参数。

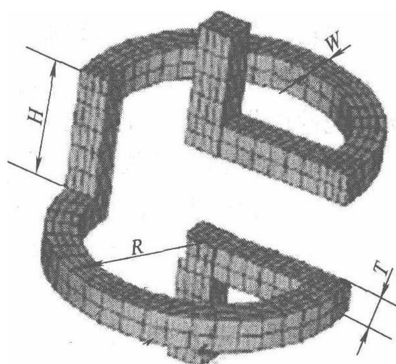


图 3.8 G 螺旋结构

图 3.8 给出的是简化结构，省略了其中的一个半旋结构[43]。柔性 I/O 的电学性能是设计的关键元素。对于螺旋形结构，最感兴趣的是其自感，其值为 0. 03 ~0. 15nH[43]。

设计和研究了一种二元金属的横梁结构，

横梁中二元金属的内应力呈梯度分布，该内应力在表面释放过程中使横梁产生向上的弯曲。在横梁释放端，焊料贴装的金属为下一层封装提供了贴装点。

最后，还研究了一些更加复杂的横梁形状。Liao 等人还研究了芯片上释放横梁[45]。横梁在两端（芯片上）呈拱形，在中间释放。横梁的释放部分可以采用各种各样的形式，包括“S”形单元。用于贴装的焊料凸点可置于释放梁的中间，这为设计提供了很大的自由度。

## 3.3 改善力学性能的焊料帽层结构

焊料帽层结构是目前对采用焊料的倒装芯片连接的一种改进，该结构在研究和开发过程中受到广泛重视。将韧性更好的材料（如铜凸点或铜柱）置于焊料结点的下面，使较脆的焊料与芯片表面或封装表面分离，这种结构的热力学可靠性更好。由于在热加载过程中，极限应力出现在屈服强度更大的材料上，因此可以显著增加产生失效时的循环次数。另外，由于连接点的深宽比不再直接依赖于焊球直径，这样在保证实际可行的情况下，互连间距可以更小。尽可能增加芯片与基板的间距非常重要，既可以提高连接自身的可靠性，又方便了芯片与基板间填料的流动。

有些研究人员研究了带焊料帽层的铜柱结构[46-48]，如图 3.9 所示。这种结构既有优点，也存在一些问题。铜作为互连材料具有很好的特性，如电阻率低、许可电流密度大、屈服应力高。但是，由于通常的锡基焊料帽层结构会产生脆性的金属间化合物，所以为了确保热力学可靠性仍然需要使用填料。在开发出有效的无焊料互连技术以前，使用铜凸点技术只是一种过渡性方案。使用焊料帽层结构无法体现柱状互连的真正能力，因为无论是电学性能还是机械性能都受制于焊料的特性。实际上，可用于帽层的金属柱状连接材料很多，如已证明金属 Ni 可用于这种焊料帽层结构[49]。采用何种材料主要取决于成本和应用要求，除了一些不常用的焊料如 Sn-Au，各种无铅和有铅焊料都使用过。具体选择哪种焊料，同样取决于特殊的应用要求，如允许的回流温度和焊料制备方法。

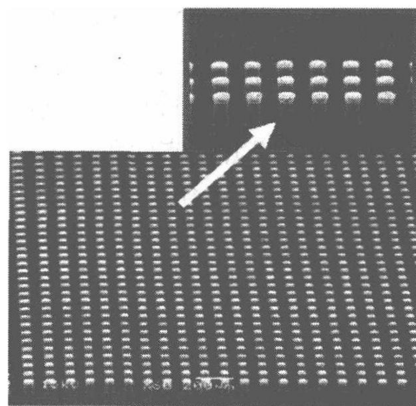


图 3.9　带焊料帽层的高深宽比铜柱

另外，有些研究试图增加具有机械刚性、高屈服应力的固体金属柱的柔性[50]。通过在聚合物圆柱的外表面覆盖一层金属导体，可以增加互连结构的柔性。Aggarwal 等人的研究表明，在相同直径下，相比于普通的固态铜柱，在柔性聚酰亚胺内

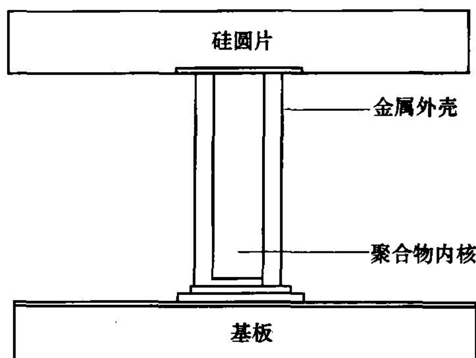


图 3.10 采用焊料帽层，提高金属包覆的聚合物柱的柔性

核外覆盖一层铜外壳结构的柔性明显增加，如图 3.10 所示。由于高频趋肤效应，信号进入金属导体的深度很小，因此铜外壳不需要很厚。比如在 3GHz 时，铜的趋肤深度约为 1.2μm，该金属层主要用于电学信号传输。随着频率增加，趋肤深度随之下降。这对整个结构是有利的，因为外层铜的厚度限制了机械柔性。

在互连结构末端实现焊料键合的另一种方法是将焊料置于两个凸点或柱中间，通过将焊料连接与芯片表面和基板表面分离，使整个结构的最高应力完全出现在屈服应力高、弹性模量高的凸点材料上，而不是脆性的焊料或金属间化合物上。众所周知，Sn 与 Cu 反应主要生成两种金属间化合物 $Cu_3Sn$ 和 $Cu_5Sn_6$。这些化合物具有脆性，机械可靠性差。

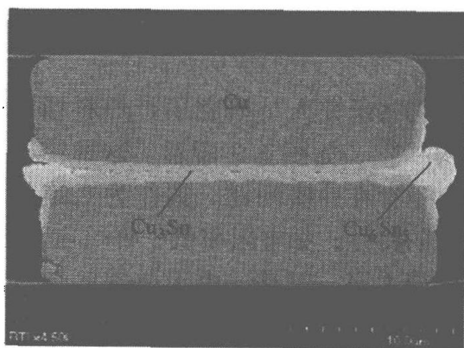


图 3.11 两个铜凸点间的锡键合

Huffman 等人的研究表明，可以将纯 Sn 置于两个铜凸点间形成可靠的柱状互连，如图 3.11 所示[51]。2μm 厚的 Sn 层可以在键合区域形成均匀的 $Cu_3Sn$ 金属间化合物，但是对芯片与基板表面的不平整度非常敏感，凸点垂直间距的微小变化都无法形成可靠的键合。增加 Sn 层厚度到 3.7~6μm 之间，有助于降低对表面不平的敏感，同时需要降低键合压力，以免将 Sn 挤出。不幸的是，获得的金属间化合物键合层由 $Cu_3Sn/Cu_6Sn_5/Cu_3Sn$ 组成。高压有助于形成均匀的 $Cu_3Sn$ 金属间化合物，但是会挤出大量的 Sn。采用芯片剪切测试的结果可以看出，均匀键合的 $Cu_3Sn$ 金属间化合物具有较高的剪切强度。由于整个工艺对芯片与基板间的不平高度敏感，而有机板相对于硅片来说并不是完全平整的，所以该工艺很难应用于生产组装。Iwasaki 等人也验证了一种两凸点结构间的键合技术，该技术同样需要较高的表面平整度[52]。对于像 3D 集成这样的应用，在硅片键合时这些对键合表面平整度有严格要求的技术可能会受到限制。

## 3.4 无焊料芯片-基板互连

目前，倒装芯片互连的工业标准是采用焊球实现芯片与基板间的电学连接。对

于该应用，采用焊料有很多缺点。并且为了满足现代高性能微芯片对于 I/O 的要求，互连尺寸会不断减小，采用焊料的这些缺点会变得越来越突出。根据国际半导体技术发展路线图（ITRS）预测，面阵列互连的最小间距在 2010 年、2015 年和 2020 年将分别缩小到 120μm、100μm 和 85μm[5]。如此小间距的互连要求对于可制造性和可靠性都是巨大的挑战。由于焊料互连采用焊球，芯片与基板间的高度也就限定在焊球直径左右。所以随着互连间距减小，两表面的间隙也会减小。由距离减小带来的挑战主要集中在两个方面：底部填料和热机械应力。在封装过程中，采用 $SiO_2$ 颗粒填充的环氧树脂作为芯片与基板间的填料，可以缓解弱的焊料连接的热应力/应变。由于芯片与基板间的距离持续变小，填料在两个表面间的流动越来越成为一个大挑战[53]。此外，在封装过程中，硅芯片和 FR-4 基板间 CTE 的不匹配会产生热-机械应力，芯片与基板互连必须要能够承受该应力。因此，随着芯片间距变小，焊料连接的可靠性是个很大的挑战。

焊料存在很多方面的局限，包括与铜形成脆性的金属间化合物，从而降低热机械可靠性；焊料抗电迁移能力差，并且随着互连尺寸变小和功率要求提高，电迁移问题更加突出。由于抗电迁移能力差，允许通过焊料的电流密度范围受到限制。因此，必须开发不使用焊料的替代互连方案。去除锡基材料，可以改善电迁移特性，互连中允许通过的电流密度也会增加。例如，芯片与基板的连接全部采用纯金属铜，允许通过的电流密度大约可增大到十倍。

虽然焊料具有的许多特性不满足未来 I/O 需求，但也具有非常利于制造的特性。首先，焊料具有优良的低温工艺能力，可以与低成本有机基板（如 FR-4 等）兼容。回流过程中，焊料可以通过伸缩实现芯片与基板间对准错位与不平位置的键合。这些特性可以简化制造工艺，提高生产效率，从而使焊料应用了这么多年。所以，满足未来互连需求的任何实用方案都必须具有焊料的这些特性。

下面的章节中将讨论无焊料互连方案，这些方案能满足更高密度、更好可靠性互连的需求。有几种不同的方案是目前的研究热点，不使用低熔点焊料实现芯片与基板间的电学连接是非常具有挑战性的难题。

### 3.4.1　铜互连

一种最具吸引力的无焊料方案就是全铜互连结构，这种结构可能从最低级的芯片互连一直到封装和印制线路板互连（都采用铜电学连接）。去除了掺加的其他金属或导电材料，可以改善反射损耗、阻抗失配、金属间化合物等问题。低电阻率、高抗电迁移能力及低成本使得铜电学连接极具吸引力。具有这些性能的互连结构有助于减小整个系统的 *RC* 延迟。另外，铜的屈服应力和弹性模量比锡基焊料高，使得铜互连的可靠性要好很多。已经开发了几种方法来试图键合铜实现互连，用于芯片与基板互连的铜键合正在积极研究中。但目前为止没有出现一种绝对成熟的技术。下面将讨论几种实现铜连接的方法。

#### 3.4.1.1 铜圆片键合

Chen 等人首次报道了所开发的一种实现芯片与外部电路间可靠的铜-铜连接技术[54]。该工艺中，压力和温度促使两个不同的铜表面间实现金属键合。典型过程是先在两硅圆片上淀积 Ta 作为扩散阻挡层，再蒸镀一层 Cu，将两圆片面对面放好；然后将对准后的两圆片在 300～450℃ 的温度下退火；在退火过程中，施加 4Bar 的压力，使两个圆片表面亲密接触，实现键合。

利用透射电镜（TEM）观察键合样品，蒸镀的两个铜表面键合质量良好[55,56]，如图 3.12 所示。当键合温度为 400℃，并在 400℃ 的 $N_2$ 环境下退火处理后，两个铜表面很容易实现键合，且键合界面形成单一的铜层。实验表明，键合后如果没有在 $N_2$ 中经过充分的退火处理，键合质量不稳定，很容易破坏[57]。最佳键合条件：在 400℃ 下键合保温 30min，再在 400℃ 下退火 30min；或者 350℃ 下键合保温 30min，再在 350℃ 下退火 60min。经过验证发现，两种条件都能在铜表面间产生良好键合。

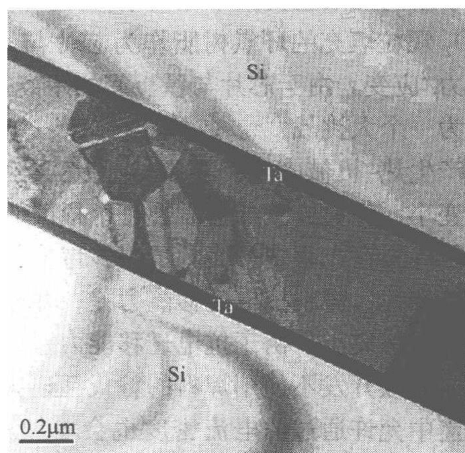



图 3.12 铜圆片在 400℃ 下键合和退火后的透射电镜（TEM）照片

为了分析铜表面的键合强度，采用了定性和定量两种方法。首先，在键合后对圆片进行划片处理。此时，采用划片锯对键合好的圆片进行切割，切割时会在键合片中产生应力。实验表明，当键合温度大于 350℃ 时，键合样品在划片后保存完好。划片后，再对单个的键合样品进行另一项定性分析，即胶带测试。将美国 3M 公司 Scotch 胶带粘贴在其中一块硅片上。拉伸胶带时，铜-铜键合被拉开或者胶带从硅片背面分离。同样地，当退火温度大于 300℃ 时，大部分键合样品都能通过测试，没有发生键合失效。

从上述测试中可以发现一个有趣的现象：只有当键合温度大于等于 300℃ 时，在氮气中退火才有助于增强键合；小于 300℃ 时，随着键合温度降低，退火工艺会明显降低键合质量，增加划片测试和胶片测试中失效的样品数。原因可能是在氮气退火过程中，铜键合区内产生了热应力[58]。

采用法向拉伸和剪切对键合样品进行了进一步的定量测试。测试结果表明，当键合温度高于 300℃ 时，才具有足够的热激活作用实现铜层间的有效键合；在 400℃ 下键合和退火的样品抗拉强度高达 70MPa；剪切测试也进一步证实，样品在 400℃ 下键合和退火时，其剪切强度明显较高。

铜-铜键合技术在硅圆片间产生连续的铜连接方面具有很好的应用前景，甚至

还可能用于硅-陶瓷封装[59]。但是，它不能用于有机基板的封装，因为铜-铜键合需要很高的键合温度。虽然未来实现高质量连接的垂直集成系统（如硅芯片堆叠）显得更为重要，但是就目前而言，有机基板的封装仍然占据主流。

#### 3.4.1.2 表面活化键合

虽然前面提到的铜圆片键合可以在铜表面间获得良好键合，但是一个重要的限制因素就是键合温度。由于目前倒装芯片封装主要采用有机基板，如FR-4。这样的封装材料难以承受400℃的高温。对于普通的有机印制线路板材料如FR-4，当温度超过250℃时就开始热分解。对于特殊的有机基板，其热分解温度会有所不同，但250℃是个比较好的衡量值。由东京大学Kim等人开发的表面活化键合技术（Surface Activated Bonding，SAB），可以在室温下实现铜表面间键合。

与圆片键合不同，表面活化键合不需要升高温度来促进两表面间的融合从而实现芯片与基板间的互连。对于SAB过程，首先将两铜表面置于高真空下，典型真空度为$10^{-5}\sim10^{-7}$Torr；然后在真空下用氩（Ar）离子束对表面进行清洗，通常离子束能量在40~100eV的范围内。用氩离子束可以去除铜表面的氧化层及其他化学污染物。实际上，离子束的能量超过了铜表面溅射所需，所以在完全清洁表面的同时也去除了部分铜。由于整个样品都不离开超真空环境，所以表面基本上不会再氧化，Kim等人在离子束活化前和活化后用俄歇电子能谱仪（Auger Electron Spectroscopy，AES）对铜表面的测试也证明了这一点。而且，研究者建议键合在活化后60s内进行，这样可以防止残余气体对表面氧化的影响。

在完全清洁和表面活化后，立即将两表面接触并施加一定的压力，保证整个表面的亲密接触，促进铜区域间的键合。整个工艺至关重要的一点就是必须要在真空腔内进行，所以特制了一套系统，可以保证在不用开孔或打开腔体的情况下实现离子束清洗和倒装芯片键合。键合过程中，外加压力是实现表面键合的惟一驱动力，通常压力值为6~15MPa，整个键合过程中没有升温。

对于倒装芯片键合，不改变温度主要有两个重要原因：首先，低温工艺不会使有机基板退化，可以继续使用那些低成本的材料；另外，Shigetou等人在最近的SAB研究中发现，由于热应变键合时要在高温下保证超细间距铜焊盘间的对准基本上是不可能的。他们证实了在进行间距为10μm的无凸点铜互连键合时，对准精度为1μm左右，如图3.13所示[61]。如此细间距可以允许大约100000个I/O连接，这是一个很惊人的数字。

TEM分析表明，尽管没有温度驱动，但两个铜区域实现了融合且键合质量良好。Kim等人将键合归功于表面活化作用，由于铜表面基本上没有氧化物或其他污染物，很容易实现键合。该技术另外一个关键因素就是表面粗糙度。在Kim最开始的研究中，在表面活化处理前后分别用原子力显微镜（AFM）测量了表面粗糙度[60]，发现活化过程对表面粗糙度没有什么影响，所以溅射后的铜表面粗糙度依然保持在1.8nm左右。由于表面光滑，铜区域间很容易实现亲密接触。在Shigetou

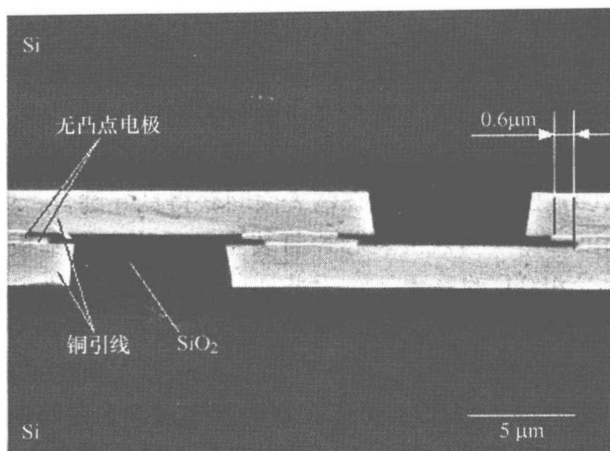



图 3.13 利用 SAB 形成无凸点铜互连键合

等人的后续研究中，采用电镀和化学机械抛光（CMP）制作用于键合的铜表面，此时用 AFM 测得的表面粗糙度为 1.2nm[61]。如此光滑的表面对于 SAB 过程非常重要，因为键合时必须保证芯片与基板铜表面间的亲密接触。由于硅圆片和有机基板都不平，因此必须施加足够的外部压力来保障键合时有效接触。

为了表征 SAB 的键合质量，Kim 等进行了键合圆片的划片测试[60]。与前面提到的铜圆片键合的测试相似，两个 8in 圆片 SAB 键合后，键合片被切割成 10mm × 10mm 的小块。结果表明，只有圆片边缘一小部分无法承受划片锯产生的应力。另外对成功通过划片测试的 10mm × 10mm 大小键合片进行了拉伸测试，对键合强度进行了定量分析。但是结果表明，拉伸后样品的失效区域并不在 Cu-Cu 键合区，而是在其他区域；测得的最大抗拉强度为 6.47MPa，但这并不是铜键合的真实强度。

随后 Shigetou 等人研究了采用 SAB 技术进行无凸点铜键合的性能。首先，制作单个的铜焊盘图形，然后采用 SAB 键合，键合取得了成功并通过了电学测试。为了验证 SAB 技术用于芯片外互连的性能，满足芯片上整体布线的密度要求，采用了间距为 10μm 的互连。在如此的细间距下，实验中最大的挑战是如何保证直径为 3μm 和 5μm 的铜焊盘间有效对准。事实上，在电学测试实验中就提到，对准偏差是导致接触电阻远大于预期中的铜互连电阻的最主要因素。在如此小的尺寸下，对于间距为 3μm 的互连，即使是 1μm 的对准偏差也会导致接触电阻大大增加。然而，这种细间距、高性能的电学连接正是未来所需要的。

#### 3.4.1.3 全铜芯片与基板柱状互连

在电子工业中，采用化学镀或者化学催化镀方法在有机基板和印制电路板上进行金属化的技术使用了很多年[62]。另外，由于在 1998 年引入了美国 IBM 公司的双大马士革工艺，铜互连技术被应用到芯片上电路[63]。到目前为止，铜和铜电镀还

没有应用的一个领域就是芯片与基板互连。He 等人报道了一项采用化学镀铜实现芯片与基板互连的新技术[64,65]。

在全铜工艺中，首先在芯片和基板上电镀铜柱，铜柱通过倒装芯片对准并临时夹紧固定，使两铜柱间保持一定的距离。然后将整个系统放入化学镀铜槽中，铜开始在两个圆柱上淀积，直到实现亲密接触。最后整个结构在氮气环境下退火，温度在 180～400℃。图 3.14 所示为化学镀和退火后的全铜互连结构。据报道，采用这种方法实现键合的最低温度为 180℃，时间为 1h，最大许可剪切应力大约为 165MPa。该许可应力值还是不错的，因为电镀铜体材料的最大屈服应力也仅在 225MPa 的量级。键合失效前的许可应力大小是温度的函数，且键合失效都发生在圆柱与基板的连接界面，而不是铜-铜键合区域。利用光学显微镜观察键合区域的断面来分析键合质量，结果表明：键合区域铜是连续的，没有明显的界面或者开孔，但在化学镀过程中会产生内部气孔。因此，有必要优化化学镀参数，从而形成无气孔的全铜结构。

全铜工艺的一个最大优点是，采用化学镀连接两个铜柱表面可以克服水平方向和垂直方向上的对准错位。化学镀可以填充由于芯片与基板表面不平产生的各种不同间隙，而不像铜圆片键合或者 SAB，要求很平整的表面才能实现连接。而且，即使是对准错位很严重的两个圆柱，也可以采用化学镀来实现有效连接。因此，平面对准错位问题就不像大多数的倒装芯片结构中那样重要。实际上，即使是错位远大于键合结构的直径，也可以通过化学镀和退火成功键合。没有其他的无焊料键合工艺可以在芯片与基板对准错位方面具有如此大的灵活性。

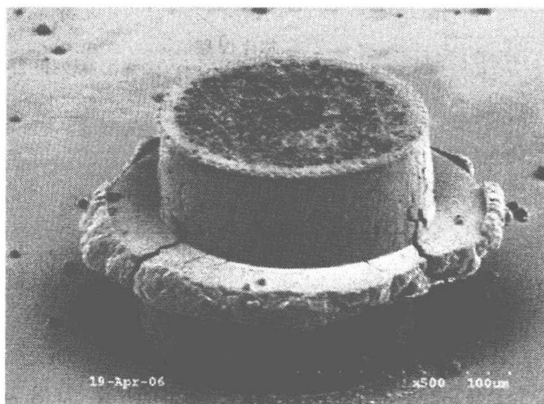


图 3.14　通过化学镀和退火实现两铜柱键合

除了前面提到的铜柱互连的一些优点外，还有另一个重要方面就是热机械可靠性。由于采用这种方法可以制备高深宽比结构，增加了芯片与基板间距，有助于提高连接的柔性和可靠性。通过采用高深宽比铜柱，可以不用焊料或者复杂的制作工艺就实现芯片与基板间的柔性连接。

## 3.4.2　电镀铜柱阵列

另一种不采用焊料实现金属键合的方法是超声或热-声键合。这种方法是利用超声能量或热能量对键合区域局部加热，通过摩擦形成牢固的金属键合。Gao 等人采用该法实现了带金（Au）帽层的电镀铜柱与铝焊盘间键合[66]。在热-声条件下，

不使用焊料 Au 帽层就很容易与铝焊盘形成连续的金属连接。虽然金（Au）热-声键合已经应用于引线键合，但是还没有应用到倒装芯片封装中。虽然早在 1993 年就有人验证了 Au 凸点的热-声键合[67]，但是这种 Au 凸点方法并没有得到采用。

因此，Gao 等人开发了一种金热-声键合技术，以代替工艺复杂且费时的 Au 凸点键合技术。通过光刻胶掩模电镀铜柱再覆盖上 Au 层的结构，有助于热-声键合，可以获得更高的产量和更低的成本。电镀铜柱镀上一层 Ni 作为扩散阻挡层，然后电镀用于热-声键合的 Au 帽层。该工艺的一大优点是，键合前不用对芯片进行处理。铜柱上覆盖 Au 帽层后，将其翻转与芯片上的 Al 焊盘对准，然后在压力、温度和超声条件下键合，如图 3.15 所示。对于温度，所有报道过的研究中都选择 200℃。为了优化热-声键合工艺，可将超声能量、键合压力、键合时间设为变量，键合铜柱的最大剪切力作为输出结果。

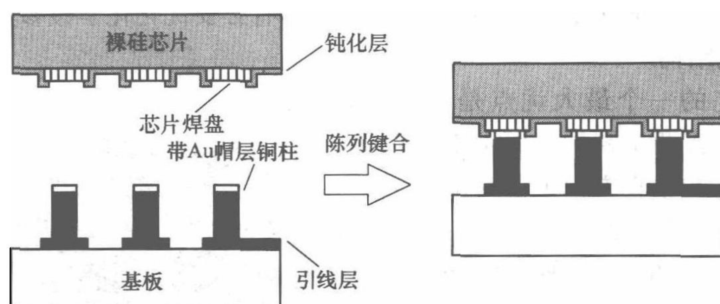



图 3.15 铜柱热-超声键合工艺

采用 Box-Behnken 实验设计方法，通过三变量系统的表面响应来优化键合工艺。优化过程使用的参数：超声功率为 8 ~ 16W，时间为 100 ~ 300ms，压力为 0.012 ~ 0.013g/μm$^2$。最后将带有铜柱阵列的芯片与石英测试基板键合，并进行了一些基本的热-机械可靠性测试。这些测试只是针对应力条件下系统的初步评估，由于没有底部填料，无法反映使用 FR-4 型基板的倒装芯片封装这种更重要的情况，因为与有机基板相比，石英的热膨胀系数（CTE）与硅更接近。因此，为了更精确地评估热-声圆柱系统是否能作为一种可行的无焊料方案用于倒装芯片键合，将来还需要对具有更高 CTE 的基板材料做进一步测试。

### 3.4.3 柔性金凸点互连

上面讨论的铜圆片键合和表面活化键合都是实现铜表面间连接的固态键合技术。Watanable 等人开发了一种新工艺，采用与铜圆片键合类似的热压技术，只利用 Au 作为互连材料[68,69]。利用 Au 的柔软性及可电镀特殊几何形状的特性，实现 Au 凸点的柔性互连。使用凹陷的光刻胶图形作为电镀掩模，可以制作锥形的 Au 凸点。由于锥形的尖端很细，在热压键合中尖端可以变形被压平。图 3.16 所示为

锥形 Au 凸点的图像及锥形 Au 凸点与电镀 Au 焊盘键合的工艺步骤。采用锥形凸点而不是简单的两个平面，可以降低键合时对芯片与基板表面间平行度的要求，每个凸点被压平的量是任意的，可以补偿芯片与基板间的不平整度。另外，采用锥形 Au 凸点也允许在键合前就直接在基板上填料。在键合时，锥形尖端可以穿透填料，很好地挤出填料实现与焊盘的金属接触。随着锥形 Au 凸点在压力下塑性形变，附近的填料也随着凸点的形变逐渐被挤开，因此简单的制作工艺就能获得具有高热-机械可靠性的键合连接。

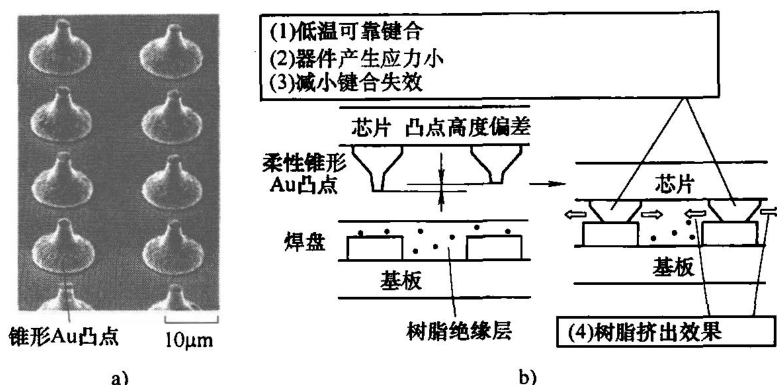



图 3.16 锥形 Au 凸点的 SEM 图片及键合工艺步骤

a）锥形 Au 凸点 SEM 图片 b）锥形 Au 凸点键合工艺步骤

Watanable 等人利用高温和压力实现了柔性 Au 结构与焊盘间的牢固键合。据报道，键合时芯片被加热到 300℃，基板被加热到 100℃，施加在柔性 Au 凸点上的压力为 0.5kgf/凸点。通过菊花链测试证实了结构的电学连接，测试结构由底部直径为 10μm，间距为 20μm 的锥形凸点组成。在这种尺寸下，一个 2mm×2mm 的测试芯片上可以布置 10 000 个 I/O，相比于目前的焊料互连方法，这个数量是十分惊人的。但是，采用 Au 做互连材料并不是最理想的，因为 Au 比 Cu 或焊料都要贵，仅仅成本因素就可能限制其应用，并且电镀 Au 废液的处理也比电镀 Cu 的要求高。

### 3.4.4 化学镀 NiB 互连

前面已经提到了化学镀铜实现芯片与基板面阵列互连。最近 Yokoshima 等人报道了一种采用化学镀技术实现边缘阵列互连的新方法。该技术通过在铜焊盘间化学镀 NiB 实现电学连接[70]。这项研究最引人注目的一个方面是，不需要任何的图形材料或者种子层来诱导化学镀过程。之前有文献报道了采用化学镀实现金属焊盘间桥接的“外部”淀积方法。这技术利用该“外部”淀积技术在芯片与基板焊盘间直接生长导电连接层。很多研究者分析过化学镀问题，即化学镀会在表面邻近结构间产生桥接[71,72]。当之前的多数研究都在设法减小或消除这种桥接作用时，本技

术尝试利用该作用来实现所希望的连接。

Yamaji 等人的研究表明，通过选择合适的互连间距和垂直方向上的焊盘间隙，可以成功地实现连接[73]。对于直径为 5μm 的铜焊盘测试系统，间距小于 20μm 时会在邻近焊盘间产生化学镀，形成不需要的电学连接；但是当间距大于或等于 20μm 时，表面上邻近焊盘间不会产生化学镀。在垂直方向上，当焊盘与焊盘间距小于或等于 5μm 时，就可以实现很好的连接。在这样的垂直距离下，NiB 可以成功地淀积在绝缘材料上，实现焊盘间的电学连接，如图 3.17 所示。

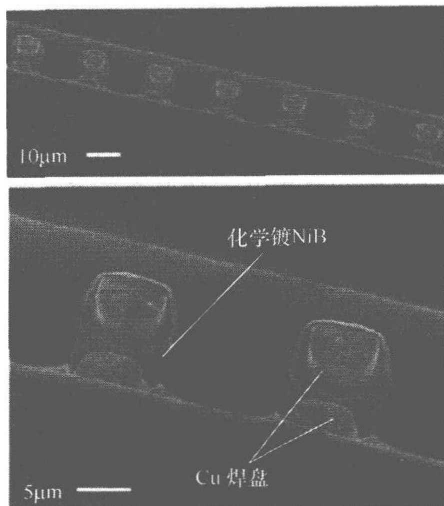



图 3.17 化学镀 NiB 实现键合

虽然在绝缘材料“外部”化学镀淀积的准确机制还不清楚，但是利用它实现焊盘的连接还是很有效的。该工艺的一个重要缺点是，由于加工方案的几何尺寸原因，不可能实现面阵列连接。但是，不使用焊料而实现有效的细间距边缘阵列连接十分重要，今后的研究可能需要提出一种应用于面阵列连接的技术方法。

## 3.5 芯片与基板连接的未来需求和解决方案

### 3.5.1 芯片外超高频高带宽运行

ITRS 预测未来芯片外的运行频率将急剧增加，到 2020 年运行频率将达到 72.4GHz。为了在如此高频下运行，必须仔细考虑芯片与基板互连的方法。目前应用的基本引脚式连接将难以满足要求，需要被更高性能的电学连接所取代，因此提出了多种方法来提升高频时芯片与基板的连接性能。

#### 3.5.1.1 共轴互连

Wu 等人提出了一种芯片与基板共轴连接技术，模拟结果表明可以在高达 80GHz 的高频下运行[74]。利用构建工艺，在芯片和基板表面制作一个 C 形的接地接头，与中心的信号导体连接。然后将芯片和基板对准，键合后形成共轴连接。图 3.18 所示为垂直共轴互连的加工与组装流程图。高频性能测试采取将测试结构粘贴在芯片和基板表面的共面波导上。Wu 等人在实验中制作并测试了这种垂直共轴结构[75]，并对频率从 0 ~ 70GHz 的回波损耗和插入损耗参数进行了测试。测试结果表明，模拟可以有效地表征互连特性。由于底部填充料引起的系统损耗远大于预

期值，但是在 60GHz 时共轴连接的回波损耗和插入损耗依然很小，分别为 13.7dB 和 0.9dB。对于 ITRS 预测的未来高运行频率而言，类似这种共轴类型的连接可能具有很大的应用前景。

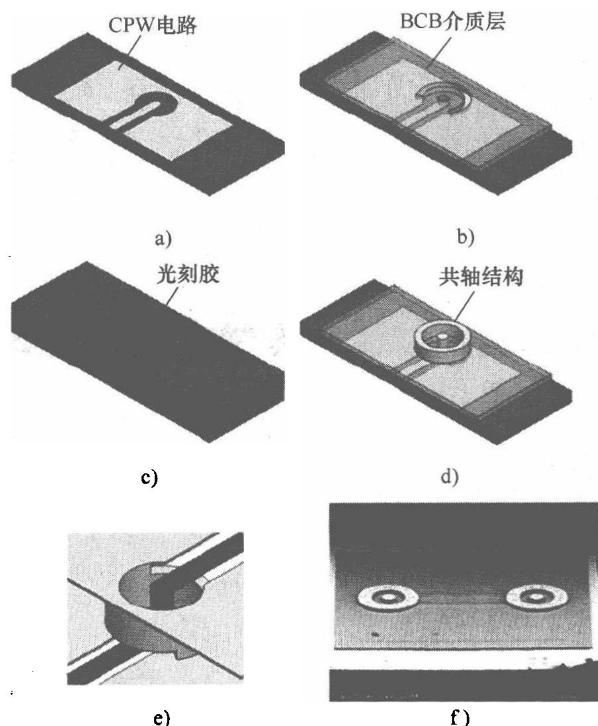



图 3.18　垂直共轴互连加工与组装

### 3.5.1.2　电互连和光互连

ITRS 预测下一代 18nm 节点的高性能芯片的功耗可达到 200W，供电电流达到 200A，时钟频率超过 70GHz。高功耗要求意味着降低功率分布网络的 IR 压降和噪声十分关键。另外，由于阻抗不匹配、串话及有机材料基板等导致的信号衰减增加，都成为限制信号网络的因素。解决这些挑战的方法就是在芯片与基板间实现光互连[76,77]。

通过将高带宽的光学 I/O 与传统电学 I/O 互连结合，Bakir 等人提出了一种与目前的 CMOS 工艺兼容的混合互连结构[78]。其中的一种结构使用聚合物引脚作为垂直的光学连接，利用传统的焊球实现电学连接。相对于普通的自由空间光学 I/O，采用聚合物引脚 I/O 有利于提高与聚合物填料的工艺兼容，提高可靠性。Bakir 等人还提出了一种集成度更高的结构，称为“双模”引脚连接[78]，如图 3.19 所示。该结构通过在聚合物引脚表面金属化，将导电路径与聚合物柱合并，可以在单一结构上实现电学和光学连接，从而可以潜在地提高 I/O 密度，但是在聚合物表面覆盖金

属层会限制它的机械柔性，所以这种结构折中考虑了机械柔性与电学特性。Bakir等人也指出，随着金属层厚度的降低，柔性可以增加，但电阻也会增加[78]。因此在实际应用中，必须针对特定应用的机械和电学性能要求，仔细设计双模引脚结构。

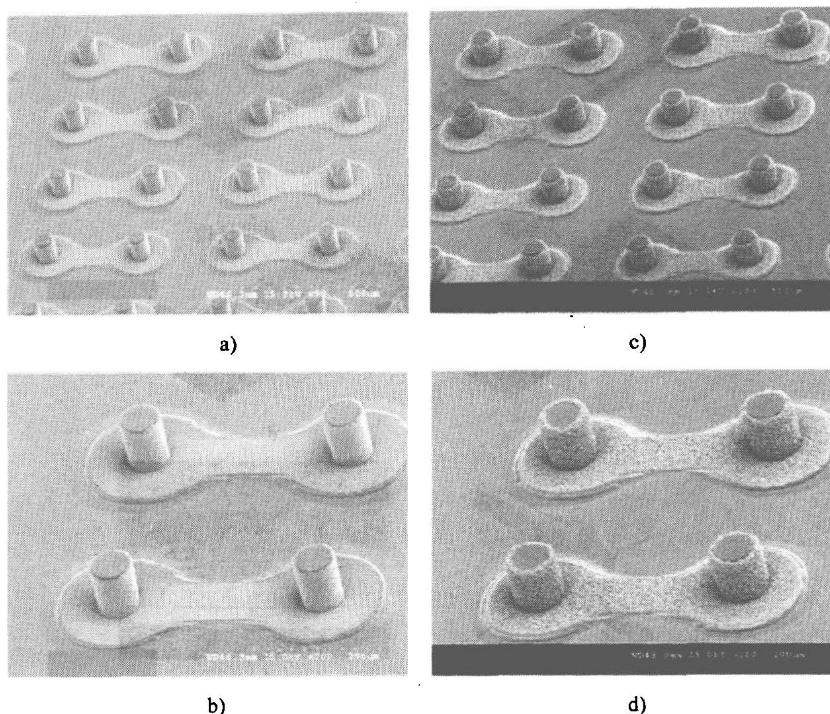


图 3.19　覆盖有金属层的聚合物双模引脚结构 SEM 图

a）覆盖 Au　b）a 图局部　c）覆盖焊料　d）c 图局部

## 3.5.2　满足热管理的微流体互连

硅芯片功率的持续增长对目前应用的热管理方案提出了新的要求。根据 ITRS，到 2018 年芯片上的功率密度将达到 $108W/cm^2$，如此高的功耗可能要求有比传统的空气对流散热更好的热管理方案。一种利用芯片与基板互连的替代冷却技术就是在芯片上实现微流体冷却。对 IC 微处理器采用微流体冷却的研究开始于 20 世纪 80 年代，当时 Tuckerman 等人认为该方法可以带走高达 $790W/cm^2$ 的热通量[79]。但是大多数情况下实现直接集成冷却通道的一个最大障碍就是流体 I/O 连接的自动键合。由于传统的微通道加工都是采用需要高温和/或高压作用的直接圆片键合工艺，这些工艺与标准的后道工艺（Back End of Line，BEOL）CMOS 芯片不兼容。Dang 等人提出，在芯片前端面使用微流体管可以自动实现微流体冷却，如图 3.20 所示[80]。除了使用微流体管 I/O，还需在芯片背面涂覆一层聚合物为微通道提供水

密封，从而无需使用直接圆片键合[81]，如图 3. 21 所示。使用这种新颖的结构集成微流体冷却系统，试验表明具有较低的压降和较高的散热能力。采用微流体冷却的一个最具吸引力的原因是可以增加硅芯片 3D 堆叠的密度，从而大大改善像系统级封装器件这样的系统热管理。

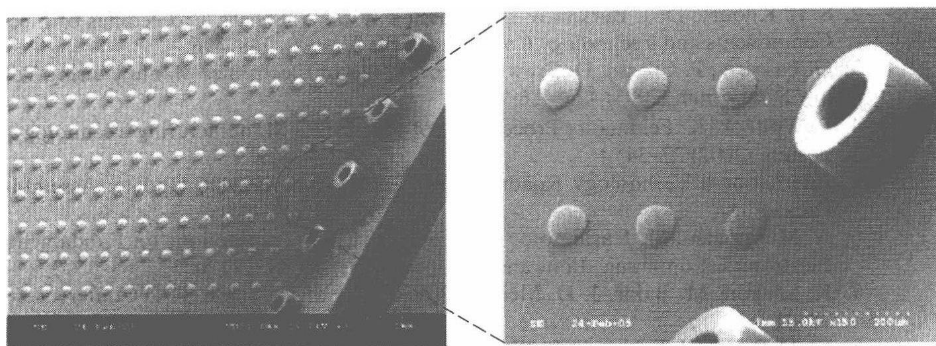


图 3. 20　为实现倒装芯片贴片在芯片前端集成电学 I/O 与微流体管道

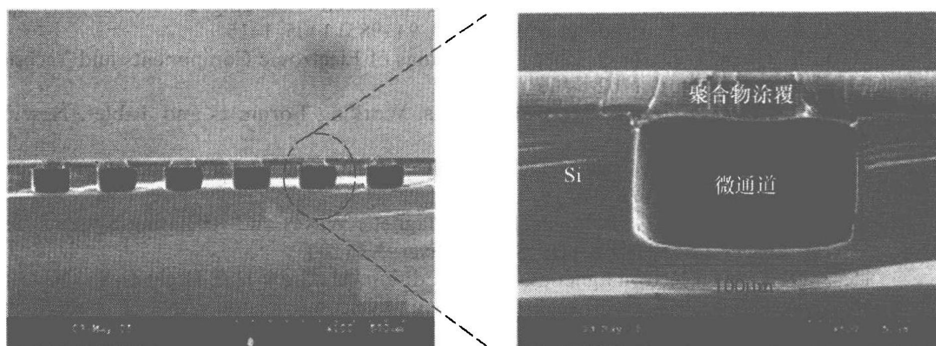



图 3. 21　芯片背面用于冷却的微通道阵列

Zhao 等人进行了另一种微流体冷却研究，通过在硅芯片的前面和背面都集成微通道，获得了很高的散热速率[82]，图 3. 22 所示为这种微通道结构的示意图。另外，他们指出，在微通道内侧淀积少量的铜可以大大增强传热，从而提高散热速率[82]。已经证明，采用这种两面都有通道的结构可以达到 200W/cm$^2$ 的散热速率。

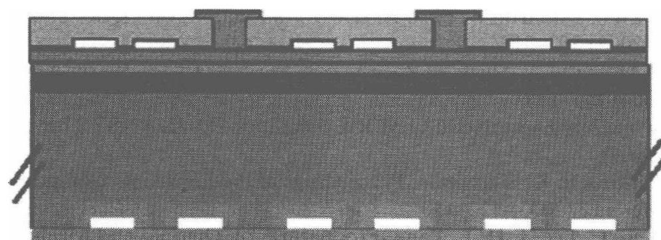


图 3. 22　芯片前面和背面微流体冷却的设计结构

# 参考文献

1. S. J. Horowitz, J. J. Felten, D. J. Gerry, IEEE Transactions on Components, Hybrids, and Manufacturing Technology, vol. CHMT-2, 4, (1979) pp. 460–466
2. S. L. Khoury, D. J. Burkhard, D. P. Galloway, T. A. Scharr, Proceedings of Electronic Components and Technology Conference, vol. 1, (1990) 768–476
3. G. Pascariu, P. Cronin, D. Crowley, Proceedings of Electronics Manufacturing Technology Symposium (2003) 423–426
4. P. Wolflick, K. Feldmann, Proceedings of Electronics Manufacturing Technology Symposium (2002) 27–34
5. International Technology Roadmap for Semiconductors 2006 Update: Assembly and Packaging
6. A. Muramatsu, M. Hashimoto, H. Onodera, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, **88**, 12 (2005) 3564–3572
7. K. Shakeri, M. Bakir, J. D. Meindl, Proceedings of the IEEE SOC Conference (2004) 78–81
8. W. D. Becker, J. Eckhardt, R. W. Frech, G. A. Katopis, E. Klink, M. F. McAllister, T. G. McNamara, P. Muench, S. R. Richter, H. H. Smith, IEEE Transactions on Components, Packaging, and Manufacturing Technology, **21**, 2 (1998) 157–163
9. O. P. Mandhana, IEEE Transactions on Advanced Packaging, **27**, 1 (2004) 107–120
10. G. A. Katopis, Proceedings of IEEE, **73**, 9 (1985) 1405–1415
11. C. T. Chen, J. Zhao, Q. Chen, Proceedings of Electronic Components and Technology Conference (2001) 1102–1106
12. F. W. Grover, Inductance Calculations, Working Formulas and Tables, New York: Dover (1962)
13. G. Troster, Proceedings of Design, Automation, and Test in Europe Conference and Exhibition (1999) 423–424
14. E. C. Jordan, K. G. Balmain, Electromagnetic Waves and Radiating Systems, Second Edition, Prentice-Hall, Upper Saddle River, NJ (2003)
15. J. D. Kraus, Electromagnetics, Fourth Edition, McGraw-Hill, Hightstown, NJ (1992)
16. G. A. Rinne, P. D. Franzon, http://www.unitive.com/casestudies/pdfs/par.pdf, (accessed January 20, 2007)
17. D. M. Pozar, Microwave Engineering, Second edition, John Wiley & Sons, New York, NY (1998)
18. A. He, T. Osborn, S. A. B. Allen, P. A. Kohl, Journal of the Electrochemical Society, *Submitted* September 2007
19. R. R. Tummala, Fundamentals of Microsystems Packaging, McGraw-Hill (2001)
20. Z. Zhang, C. P. Wong, IEEE Transactions on Advanced Packaging, **27**, 3 (2004) 515–524
21. C. Hillman, K. Rogers, A. Dasgupta, M. Pecht, R. Dusek, B. Lorence, Circuit World, **25**, 3 (1999) 28–38
22. Z. Zhang, S. K. Sitaraman, C. P. Wong, IEEE Transactions on Electronic Packaging Manufacturing, **27**, 1 (2004) 86–93
23. C. J. Zhai, Sidharth, R. Blish II, IEEE Transactions on Device and Materials Reliability, **3**, 4 (2003) 207–212
24. L. L. Mercado, V. Sarihan, R. Fiorenzo, IEEE Transactions on Advanced Packaging, **27**, 1 (2004) 151–157
25. www.me.binghamton.edu/O.M.R.L/Facilities-2D-3DANSYS.htm (accessed February 13, 2007).
26. A. Perkins, S. K. Sitaraman, Proceedings of the Electronic Components and Technology Conference (2003) 422–430
27. A. Yeo, C. Lee, J. H. L. Pang, Proceedings of Thermal and Mechanical Simulation and Experiments in Micro-Electronics and Micro-Systems Conference (2004) 549–555
28. X. Fan, M. Pei, P. K. Bhatti, Proceedings of the Electronic Components and Technology

Conference (2006) 972–980
29. G. Wang, P. S. Ho, S. Groothuis, Microelectronics Reliability, 45 (2002) 1079–1093
30. K. Tunga, K. Kacker, R. V. Pucha, S. K. Sitaraman, Proceedings of the Electronic Components and Technology Conference (2004) 1579–1585
31. F. C. Classe, S. K. Sitaraman, Proceedings of the Electronics Packaging Technology Conference (2004) 82–89
32. B. A. Zahn, Proceedings of the International Electronics Manufacturing Technology Symposium (2002) 274–284
33. P. Garrou, Semi Chip Scale International '99, page D-1 (1999)
34. www.tessera.com
35. A. Longford, D. James, Presentation in Advance Packaging Conference, Semicon Europa, April (2006)
36. M. Bakir, H. Reed, H. Thacker, C. Patel, P. Kohl, K. Martin, J. Meindl, IEEE Transactions on Electron Devices, **50**, 10 (2003) 2039–2048
37. B. Dang, M. Bakir, C. Patel, H. Thacker, J. Meindl, Journal of Microelectromechanical Systems, **15**, 5 (2006) 523–530
38. D. Bhusari, H. Reed, M. Wedlake, A. Padovani, S. A. Bidstrup-Allen, P. A. Kohl, Journal of Microelectromechanical Systems, **10**, 3 (2001) 400–408
39. M. S. Bakir, H. A. Reed, A. V. Mule, P. A. Kohl, K. P. Martin, J. D. Meindl, IEEE Custom Integrated Circuits Conference (2002)
40. Q. Zhu, L. Ma, S. K. Sitaraman, Proceedings of International Conference on Thermal, Mechanics and Thermo-mechanical Phenomena in Electronic Systems (2002)
41. Q. Zhu, L. Ma, and S. K. Sitaraman, Proceedings of InterPack, The Pacific Rim International, Intersociety, Electronic Packaging Technical/Business Conference & Exhibition (2001)
42. Q. Zhu, L. Ma, and S. Sitaraman, Journal of Electronic Packaging, **126**, 2 (2004) 237–246
43. K. Kacker, T. Sokol, S. K. Sitaraman, Proceedings of the Electronic Components Technology Conference (2007) 1678–1684
44. P. Arunasalam, H. Ackler, B. Sammakia, Proceedings of the Electronics Components and Technology Conference (2006) 1147–1153
45. E.B. Liao, A.A.O. Tay, S.S.T. Ang, H.H. Fend, R. Nagarajan, V. Kripesh, R. Kumar, and M.K. Iyer, Proceedings of the Electronic Components and Technology Conference (2006) 1246–1250
46. T. Wang, F. Tung, L. Foo, V. Dutta, Proceedings of the Electronic Components and Technology Conference (2001) 945–949
47. V.S. Rao, A.A.O. Tay, V. Kripesh, C.T. Lim, S.W. Yoon, Proceedings of the Electronic Packaging Technology Conference (2004) 444–449
48. R.R. Tummala, P.M. Raj, A. Aggarwal, G. Mehrotra, S.W. Koh, S. Bansal, Proceedings of the Electronic Components and Technology Conference (2006) 102–111
49. A. Aggarwal, P.M. Raj, B.W. Lee, M.J. Yim, A. Tambawala, M. Iyer, M. Swaminathan, C.P. Wong, R. Tummala, Proceedings of the Electronic Components and Technology Conference (2007) 905–913
50. A.O. Aggarwal, P.M. Raj, R.R. Tummala, IEEE Transactions on Advanced Packaging, **30**, 3 (2007) 384–392
51. A. Huffman, M. Lueck, C. Bower, D. Temple, Proceedings of the Electronic Components Technology Conference (2007) 1589–1596
52. T. Iwasaki, M. Watanabe, S. Baba, Y. Hatanaka, S. Idaka, Y. Yokoyama, M. Kimura, Proceedings of the Electronic Components Technology Conference (2006) 1216–1222
53. W.B. Young, W.L. Yang, IEEE Transactions on Advanced Packaging, **29**, 3 (2006) 647–653
54. A. Fan, A. Rahman, R. Reif, Electrochemical and Solid-State Letters, **2**, 10, (1999) 534–536
55. K. N. Chen, A. Fan, C. S. Tan, R. Reif, Journal of Electronic Materials, **35**, 2 (2006) 230–234
56. K. N. Chen, C. S. Tan, A. Fan, R. Reif, Journal of Electronic Materials, **34**, 12 (2005)

1464–1467
57. K. N. Chen, C. S. Tan, A. Fan, R. Reif, Electrochemical and Solid-State Letters, **7**, 1 (2004) G14–G16
58. K. N. Chen, S. M. Chang, L. C. Shen, R. Reif, Journal of Electronic Materials, **35**, 5 (2006) 1082–1086
59. C. S. Tan, R. Reif, Electrochemical and Solid-State Letters, **8**, 6 (2005) G147–G149
60. T. H. Kim, M. M. R. Howlander, T. Itoh, T. Suga, Journal of Vacuum Science and Technology A, **21**, 2 (2003) 449–453
61. A. Shigetou, T. Itoh, M. Matsuo, N. Hayasaka, K. Okumura, T. Suga, IEEE Transactions on Advanced Packaging, **29**, 2 (2006) 218–226
62. M. Schlesinger, M. Paunovic, Modern Electroplating, Fourth Edition, John Wiley and Sons, New York, NY (2000)
63. P. Andricacos, C. Uzoh, J. O. Dukovic, J. Horkans, H. Deligianni, IBM Journal of Research and Development, **42**, 5 (1998) 567–574
64. A. He, M. S. Bakir, S. A. Bidstrup, P. A. Kohl, Proceedings of the Electronic Components and Technology Conference, (2006) 29–34
65. A. He, T. Osborn, S. A. B. Allen, P. A. Kohl, Electrochemical and Solid-State Letters, **9**, 12 (2006)C192–C195
66. S. Gao, A. S. Holmes, IEEE Transactions on Advanced Packaging, **29**, 4 (2006) 725–734
67. S. Y. Kang, T. H. Ju, Y. C. Lee, Proceedings of the Electronic Components Technology Conference (1993) 877–882
68. N. Watanabe, T. Asano, Proceedings of the Electronic Components and Technology Conference (2006) 125–130
69. N. Watanabe, T. Asano, Proceedings of the Electronic Components and Technology Conference (2007) 622–626
70. T. Yokoshima, Y. Yamaji, H. Oosato, Y. Tamura, K. Kikuchi, H. Nakagawa, M. Aoyagi, Electrochemical and Solid-State Letters, **10**, 9 (2007) D92–D94
71. H. Honma, H. Watanabe, and T. Kobayashi, Journal of the Electrochemical Society, **141**, 7 (1994) 1791–1795
72. T. Yokoshima, S. Nakamura, D. Kaneko, T. Osaka, S. Takefusa, A. Tanaka, Journal of the Electrochemical Society, **149**, 8 (2002) C375–C382
73. Y. Yamaji, T. Yokoshima, H. Oosato, N. Igawa, Y. Tamura, K. Kikuchi, H. Nakagawa, M. Aoyagi, Proceedings of the Electronic Components and Technology Conference (2007) 898–904
74. W. C. Wu, R. B. Huang, H. T. Hsu, E. Y. Chang, L. H. Hsu, C. H Huang, Y. C. Hu, M. I. Lai, Proceedings of the APMC (2005)
75. W. C. Wu, E. Y. Chang, C. H. Huang, L. S. Hsu, J. P. Starski, H. Zirath, Electronics Letters, **43**, 17 (2007)
76. J. D. Meindl, J. A. Davis, P. Zarkesh-Ha, C. S. Patel, K. P. Martin, P. A. Kohl, IBM Journal of Research and Development, **46**, 2/3 (2002) 245–263
77. D. A. B. Miller, Proceedings of the IEEE, **88**, 6 (2002) 728–749
78. M. S. Bakir, B. Dang, O. O. A. Ogunsola, R. Sarvari, J. D. Meindl, IEEE Transactions on Advanced Packaging, **54**, 9 (2007) 2426–2437
79. D.B. Tuckerman, R. F. W. Pease, IEEE Electron Device Letters, **2**, 5 (1981) 126–129
80. B. Dang, M. S. Bakir, J. D. Meindl, IEEE Electron Device Letters, **27**, 2 (2006) 117–119
81. B. Dang, P. Joseph, M. S. Bakir, T. Spencer, P. A. Kohl, J. D. Meindl, Proceedings of the International Interconnect Technology Conference (2005) 180–182
82. M. Zhao, Z. R. Huang, Proceedings of the Electronic Components Technology Conference (2007) 2017–2023

# 第4章 先进引线键合工艺——材料、方法与测试

Harry K. Charles

**摘要：**引线键合是形成芯片或集成电路初级互连的最主要形式，在当今世界范围的电子工业中得到了广泛应用，每年使用自动键合机制作的引线键合多达数万亿次。与其他形式的初级微电子互连工艺相比，引线键合具有可靠、灵活和成本低的特点，失效率在百万分之几的水平甚至更低。集成电路上的互连数随着电路功能增加而不断增长，并且随着这种增长，键合焊盘变得越来越小越来越近，具有相同功能的刚性无机衬底和封装结构正被更加灵活的有机组件所取代。微电子工业中不断涌现出新应用、新材料和新结构，对引线键合性能及其控制带来巨大挑战。

本章重点介绍了基本的引线键合方法、材料和测试技术，这对制作高质量的键合是必不可少的；还讨论了有机衬底、芯片堆叠键合和极端温度环境下的互连等内容。在分析测试和控制提高键合质量方法的同时，探讨了引线键合的可靠性，详细讨论了高频键合与柔性衬底键合这两方面内容。在考虑改变焊盘形状、大小与芯片I/O数关系的同时，涉及了引线性能等内容。本章还论述了使用键合机制备芯片凸点的方法。

**关键词：**引线键合，初级互连，键合引线，高温和高频键合，堆叠与薄芯片互连。

## 4.1 简介

自从1947年发明晶体管[6]和1958年出现集成电路（IC）[49]以来，半导体器件工艺从器件密度与复杂性到市场应用等各个方面都得到了空前发展。实际上，自从IC诞生以来，IC技术一直遵循着一条定律（即摩尔定律）——其复杂性（通过测量单个硅片或芯片上的器件数目）每18～24个月翻一番[74,61]。在目前的电子工艺条件下，在面积小于2cm$^2$的单个硅片（芯片）上可布置超过十亿个晶体管。那么在接下来的几年里，每个芯片上的器件数目有可能达到上百亿甚至上千亿。摩尔定律现在是成立的，在可预见的未来依旧有效，这使得电子器件和产品几乎能够无止境地不断向前发展。

随着芯片密度与功能性的快速持续增长，单颗芯片上的I/O数显著增长，每个

器件上单个晶体管（20 世纪 50 年代半导体产品的支柱）需要三四个互连。早期 IC 需要十多根互连引线，但是随着 IC 技术的不断发展，I/O 数迅速增加，现在普通的 IC 所需 I/O 数多达上百，有些类型的芯片甚至超过了 1000 个（如特定应用集成电路 ASIC、微处理器等），少数器件的 I/O 数甚至更多达到约 1500 个。将来的 IC 十分复杂，随着功能不断增加将要求有多达上千个 I/O。但是，必须记住的是，系统要包含多种芯片类型——从 I/O 数少于 100 的存储器到 I/O 数超过 1000 的特殊应用微处理器、随机存储器和 ASIC，因此一个有效的互连系统或方法必须能满足 IC I/O 数和密度在较大范围内变化的要求。不同类型的电子产品今后 10 年的单芯片最大 I/O 数预测如图 4.1 所示。

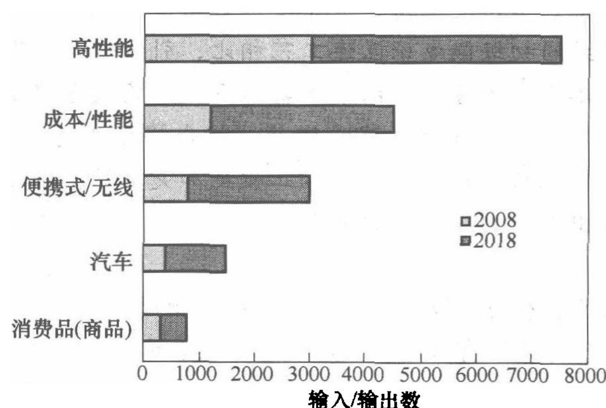
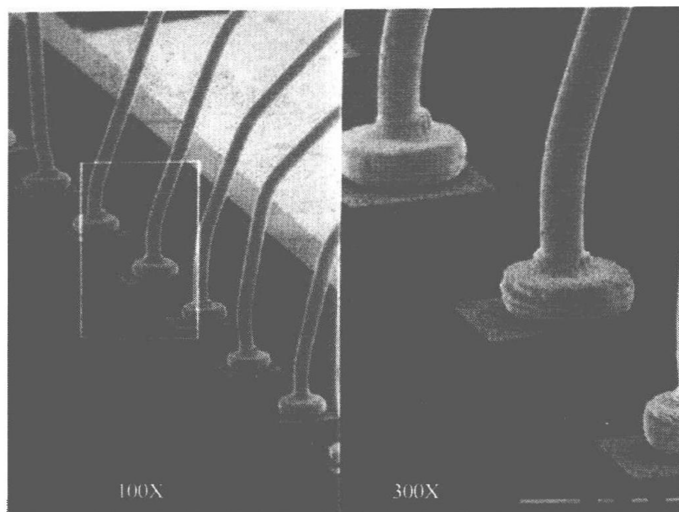


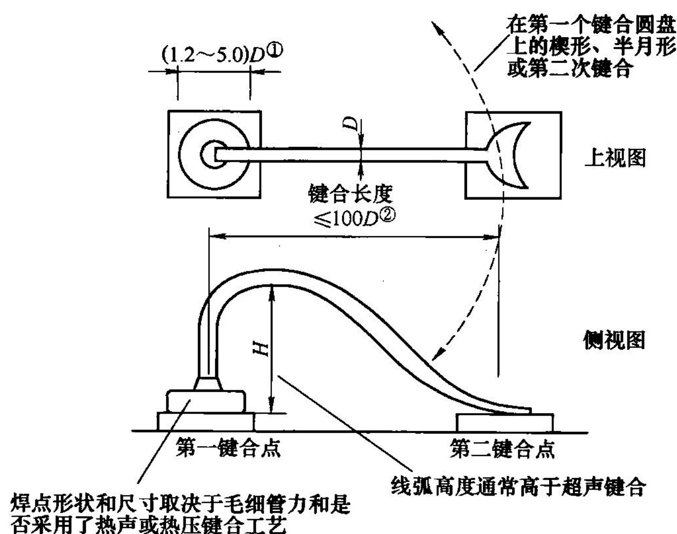

图 4.1 不同类型电子产品今后 10 年的单芯片最大 I/O 数预测

IC 有两种主要的初级互连形式[21]：①引线键合；②倒装芯片贴片，如图 4.2、图 4.3 和图 4.4 所示。也有其他的互连方法来满足特殊需要或性能要求。这些需求包括载带自动键合（Tap Automated Bonding，TAB）和新型的互连结构，前者在特定产品中有重要应用，后者涉及薄膜沉积[54]、G 形弹簧[57]和激光沉积（直写）导体[27,83,56]。采用可变形导电聚合物或弹性体产生的压力接触方法已经应用在能轻易除去和取代 IC 的地方，这已成为最受关注的内容，但对这些技术的详细描述超出了本书范畴。

目前为止，引线键合是初级互连方法的最主要形式，每年完成的键合数达上万亿次，其中超过 90% 都是初级互连（芯片到管壳或芯片到基板）。材料和工艺细节是本章的焦点，它们与电子和光电产品的引线键合息息相关，本章将描述引线键合的应用及其高互连密度和高性能要求的发展趋势。




a)



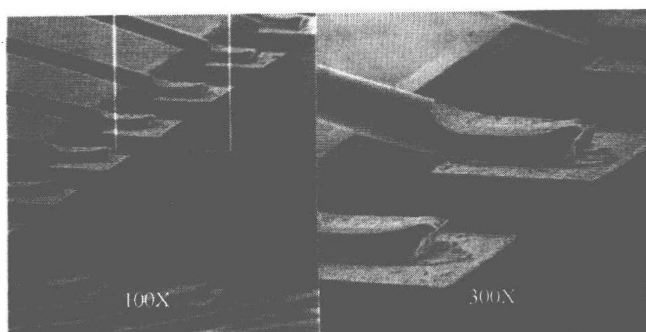

b)

图 4.2　球焊（热压或热超声）

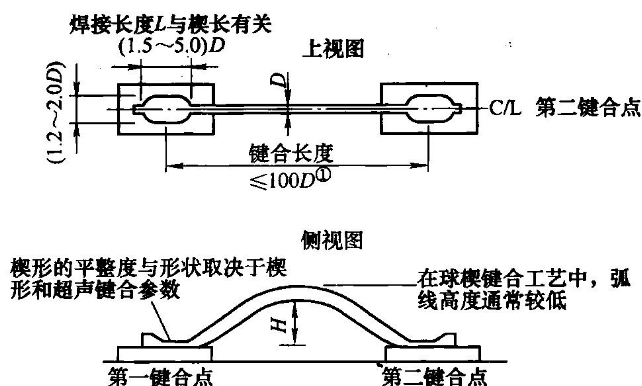
a）典型球焊 SEM 图片　b）含主要参数说明的球焊示意图

① 军方要求焊点直径在 2.5 ~ 5.0$D$，目前细间距多芯片模块（MCM）和高密度 IC 要求直径低于 1.2$D$ 的水平。

② 良好键合要求长度要短，好的实践限制是 100$D$。在某种条件下，可接受的引线键合长度为长度大于 200$D$。




a)

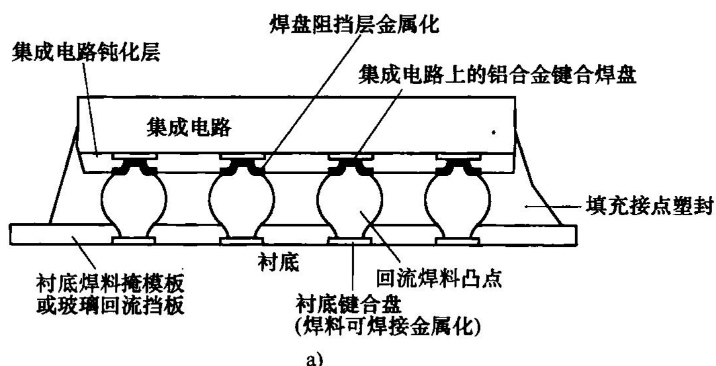



b)

图 4.3 超声键合（楔形焊）

a）典型超声楔焊 SEM 图 b）附有主要参数说明的超声楔形焊示意图

①良好键合要求线长要短，实用中好的线长极限是 100$D$。在某些特殊条件下，引线键合长度可以大于 200$D$。




a)

图 4.4 倒装芯片键合过程的示意图

a）倒装芯片横截面示意图

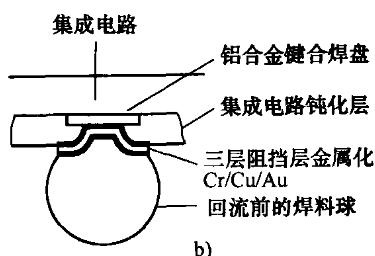



图4.4　倒装芯片键合过程的示意图（续）
b）焊球和回流焊前的金属阻挡镀层示意图

## 4.2　互连要求

引线键合通常在IC边缘上的键合焊盘上进行，这些焊盘位于芯片的无源区，目的是防止键合工艺过程中产生的力对IC造成损伤。为了解决这种潜在的威胁，曾提出了这样的要求：引线互连的第一焊点位于芯片（即IC）上，第二焊点位于封装或衬底上。现在的引线键合机，在电脑的精确控制下可实现有源区上的键合与反向键合（第一焊点在衬底或封装上，第二焊点在芯片上），结果并没有对芯片造成损伤也不存在可靠性问题。所谓的反向键合或反环是由生产商在芯片堆叠的特殊应用中提出的。另一方面，在有源区上可以使用倒装芯片回流焊，而不用担心相关的作用力会损伤芯片，引线键合与倒装贴片的优缺点比较见表4.1。

表4.1　引线键合和倒装芯片互连的优缺点比较

| 因　素 | 引线键合 | 倒装芯片贴片 |
|---|---|---|
| 面积 | 第二焊点在芯片边缘需要空间 | 在芯片边缘内 |
| I/O数目 | 极限：四周共1~4排（约100~1000个） | 全部面阵列，外接引线键合有较大间距（约1000~10000个） |
| 灵活性 | 很灵活，能改变I/O，容纳不同的芯片方位、大小、封装布局等（在范围内） | 灵活性差，衬底图案必须与I/O图案匹配（自组装力） |
| 电学性能 | 长圆线限制低损耗频率响应在5~10GHz | 短粗焊接柱容许低损耗频率响应超过100GHz |
| 成本 | 全自动操作下每个互连0.0005~0.001美元 | 每个互连0.01~0.05美元① |
| 键合时间 | 按顺序一次进行（10~20个/s） | 一组组键合 |
| 键合类型 | 焊接处：Au-Al、Au-Au、Al-Al、Au-Cu、Cu-Cu | 焊料：Sn63、Sn5、Sn10、无铅焊料 |

（续）

| 因　素 | 引线键合 | 倒装芯片贴片 |
|---|---|---|
| 可靠性 | 单金属系统，可靠性极好，柔韧性减轻或消除 CTE 问题，双金属系统会受合金生长与空洞影响 | 由于 CTE 失配带来焊料疲劳问题。Sn 与 Cu 会有合金生长和空洞问题 |
| 环境 | Au、Al 环境友好 | Pb 引起环境问题，必须使用无铅焊料 |

① 如果芯片皱缩或外露引角的变化可以在不改变衬底图案时使用引线键合工艺，那么此项还要包括凸点冶金化和衬底重新图案化增加的额外成本。

图 4.1 给出了不同类型（等级）的电子产品今后预期的 I/O 数。可以看出，I/O数取决于产品类型和生命周期，从少于 100 到超过 7500 的范围变化。为了更好地理解大 I/O 数带来的影响，可以从它们是如何从互连获得支撑的角度来考虑。图 4.5 给出了引线键合（边缘打线）和倒装芯片贴片（区域粘贴）两种主要键合类型的I/O数与芯片面积间的关系。即使两排键合间距极小（两排键合焊盘的有效间距只有 50μm，如图 4.6 所示），引线键合也需要相对较大的芯片面积（225mm²）来达到 1000 个 I/O。而在倒装芯片单排间距为 100μm 的情况下，相同大小面积可支持超过 18000 个 I/O 数。即使在较宽的键合空隙（间距）的小芯片上，面阵列互连也能够轻易超过 1000 个 I/O 数。保证 I/O 数与芯片面积的比例非常重要，这就是所谓的 I/O 密度（单位面积 I/O 数）。

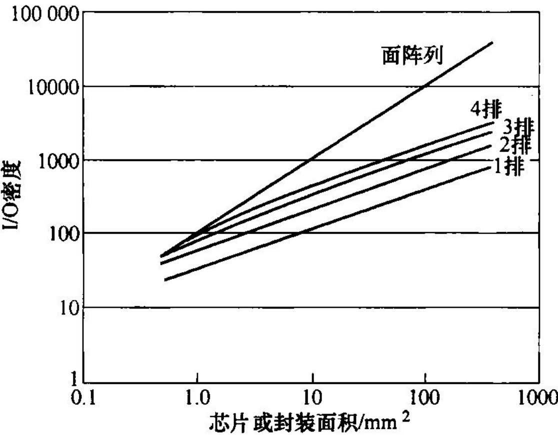



图 4.5　边缘（1～4 排）和面阵列互连（键合焊盘）的 I/O 密度与芯片或封装面积间的关系

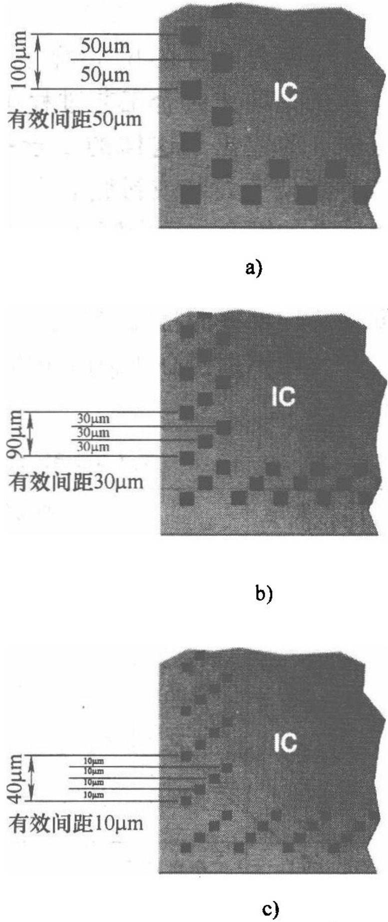



图 4.6　IC 上多排键合焊盘的设计示意图
a) 2 排（有效间距 50μm）　b) 3 排（有效间距 30μm）　c) 4 排（有效间距 10μm）

图4.7给出了不同互连间距下，I/O密度与芯片面积的关系。对于面阵列，无论芯片面积如何，在给定间距下I/O密度是一个常数。而对于边缘打线的芯片，即使存在多排键合焊盘，I/O密度也会随着芯片面积的增加呈指数下降。

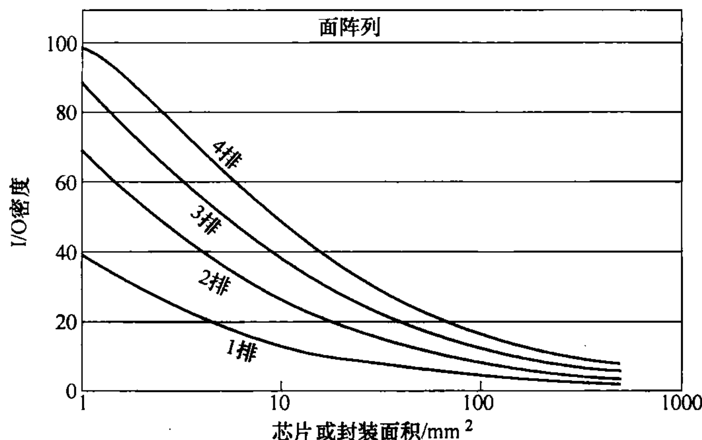



图4.7 边缘（1～4排）和面阵列互连（键合焊盘）时封装或芯片的I/O密度（单位面积的I/O数）与面积间的关系

除了增加器件密度与提高互连要求外，诸如IC设计、处理工艺和材料参数等许多其他因素都将影响IC的键合能力。为了防止电迁移特性随着焊线间距的增加而改变，在许多早期IC标准的Al-Si合金系统（Al+1%Si）中会加入Cu（高达4%），但增加Cu含量会使键合能力出现下降。研究表明[38]，Cu含量超过2%就会显著影响引线键合。引线直径缩小引起的另一个问题是线路电阻增大，于是必须选择电导率较高（如Cu）的材料来代替Al-Si合金系统。Cu需要采用Cr（铬）或Ti（钛）等粘附层进行表面包覆[31]。IC上的刚性有机绝缘层被低介电常数的有机材料取代，如聚酰亚胺、苯并环丁烯或采用特氟龙（Telfon）类的材料（聚四氟乙烯）。如果互连拓扑结构和Cu钝化过程技术有所发展，最终目标是使用空气作为绝缘材料。使用Cu作为IC合金层，柔性有机物作为其间的绝缘层，这种方式对一级互连过程（芯片上），尤其是引线键合提出了挑战。铜合金焊盘需要Cu引线键合或合适的阻挡层合金帽层，以实现与Au线或Al线的键合。Cu焊盘上的Au阻止了氧化，这对形成倒装芯片焊球是必需的。

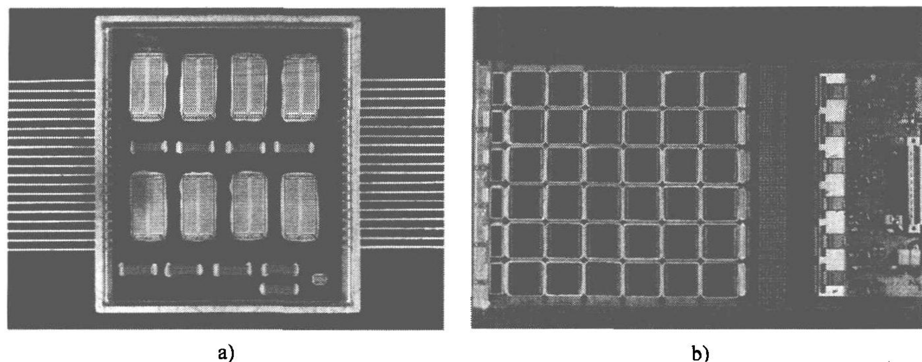
## 4.3 键合原理

### 4.3.1 引线键合类型

图4.8所示是一个引线键合电路的例子，引线键合过程首先使用有机粘合剂、

低熔点玻璃、金属合金回流或 Au-Si 共晶过程将 IC 底部或键合组件牢固地粘贴到合适的衬底位置或封装底部[32]。一旦芯片粘贴牢固（该过程称为贴片），使用特殊工具（毛细管或楔形物）并对其施加热、压力和超声波的耦合能量，就可以将引线焊接在芯片的键合焊盘上。微电子引线键合技术经过 20 世纪 40 年代中期至 50 年代中期的发展[37,22]，可以按照工具类型和焊接方式（直接加热或超声能量或两者共同作用）的不同分为三种：热压键合、超声键合和热超声键合。

热压键合与热超声键合制作球-楔焊（一次键合-二次键合）（见图 4.2a），其中楔焊（带尾巴、月牙或二次焊）压成弧形。一次键合或球焊如图 4.2b 所示。超声键合或楔焊产生对称的楔焊-楔焊（一次键合-二次键合），如图 4.3a 所示。在超声键合中，二次键合必须沿着一次键合的中心线（见图 4.3b）。



a) b)

图 4.8 引线键合电路实例

a）使用 MCM-D 技术的静态 RAM 模块，每个单元包括 300 个金热超声键合 b）用于检测间距的 X 射线检测仪（带有焊盘的 36 个检测仪芯片分布在大芯片两侧，每个芯片每个表面键合数超过 200，总键合数超过 18000 个。芯片置于开发框架中，允许键合机到芯片两侧）

## 4.3.2 热压键合

热压键合（焊接）是在可控的时间、温度和压强（压力）周期下，将两个紧密接触的金属表面连接到一起的过程（例如基板与金属线间的引线键合）。

在该“键合周期”中，引线与下层金属发生了某种程度的塑性变形，并产生原子尺度的相互扩散。使用 Au 线与 Au 焊盘或基板金属层键合，原子的相互扩散能形成规则的焊接界面，Au 线与 Al 焊盘（或反过来）的键合形成金铝化合物层[67]。键合界面产生的塑性变形能保证引线与焊盘间的无缝接触，增加了键合界面面积，去除界面薄膜层（如氧化层、污染层等）。粗糙表面、空隙、氧化、吸收的化学物质或湿气层都能阻止金属与金属间的接触，限制焊接界面层的范围与强度，从而产生不良键合。在某些情况下，界面上的大量污染物（通常在焊盘上）阻止了完全键合，并有可能导致严重的可靠性问题[10]。

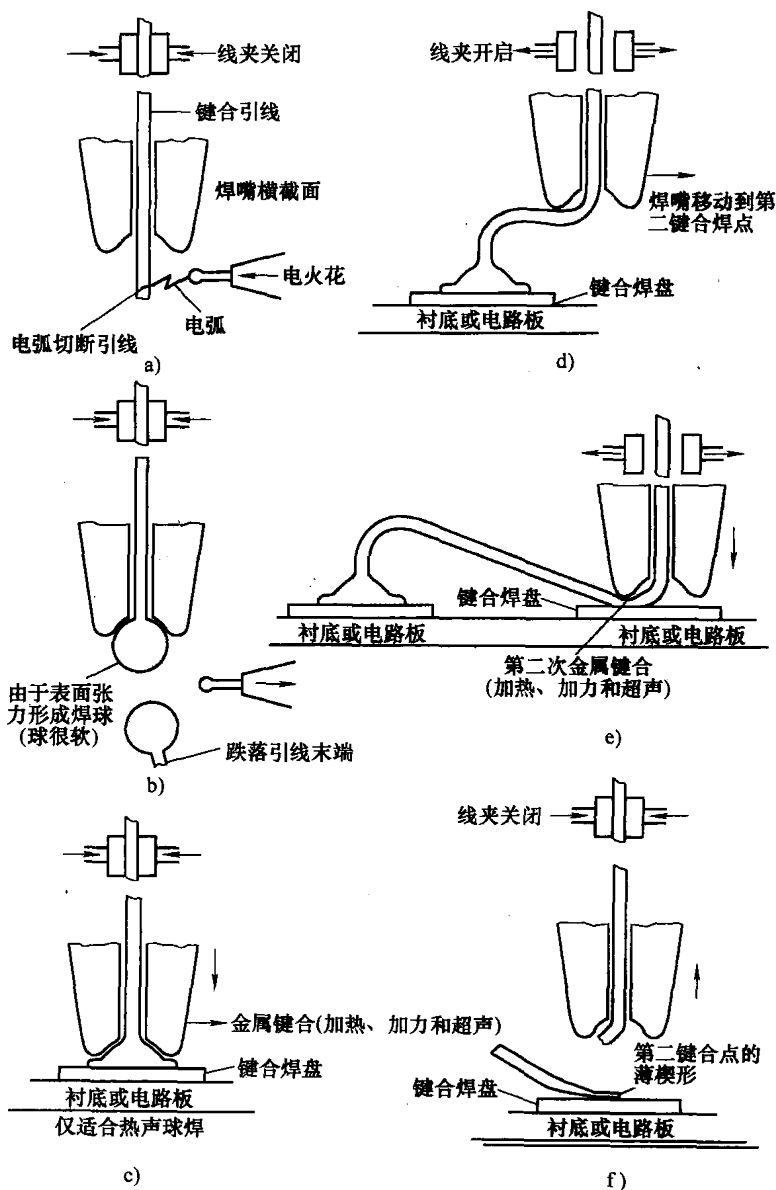



图4.9　球焊循环示意图

a）火焰熄灭　b）焊球形成　c）第一次键合　d）移动至第二键合点
e）第二次键合　f）第二次键合后引线分离

热压键合产生的键合界面温度通常在300～400℃之间[45]。除键合定位外，一个键合周期的时间小于1s。在热压键合过程中，形成界面层所需的热量来自于焊嘴（一种自动引线步进键合工具）加热，或者将基板和/或封装体放在加热台或圆

柱上。利用加热台或圆柱的热量，划片与封装体的联合会在台上达到热平衡，所需时间根据质量大小从几秒到几分钟不等。由于热压键合时加热台或圆柱上的温度较高（>300℃），Au-Si 共晶或某些金属合金焊接常常限制着 IC 或器件粘附。同样，长时间加热会使之前完成的键合引线产生可靠性方面的问题，如形成不可控的金属间化合物。如今大多数热压键合机都综合了焊嘴与圆柱加热，焊嘴一般采用陶瓷、红宝石、碳化钨或其他耐火材料制成。微小节距和深沟槽结构键合需要特殊的焊嘴形状，同时焊嘴需要具有一定的电阻值以防止静电对电路造成损害。

典型的球焊过程如图 4.9 所示，球焊工艺主要有五个步骤：①焊球形成（见图 4.9a 和 b）；②焊球粘附到 IC 或衬底焊盘上（第一次键合）（见图 4.9c）；③引线移动到第二个焊点位置（见图 4.9d）；④引线连接到封装体或母版焊盘上（第二次键合）（见图 4.9e）；⑤切断引线（见图 4.9f）。最初的焊球是在电子放电作用下通过切断焊嘴引出的焊线而形成的，这种切断方式称为火花熄灭。因为在早期的引线键合中采用喷射氢焰（或形成气体）来切断引线，切断后的引线由于表面张力和毛细管作用形成球形。图 4.10 给出了 Au 线在电火花熄灭系统作用下生成的焊球，热量、时间、压力或压强是形成热压键合的决定性因素。而且，热压键合产生的力比其他的球焊方法都大（如热超声球焊），从而形成更加扁平的焊球。因此，第一个焊球是钉头形状，而不是像标准节距热超声球焊中获得的扁平焊球（见图 4.2a）。微节距热超声球焊工艺生成的焊球非常平，直径和高度非常小，这将在本章 4.8 节和 4.9 节中详细介绍。

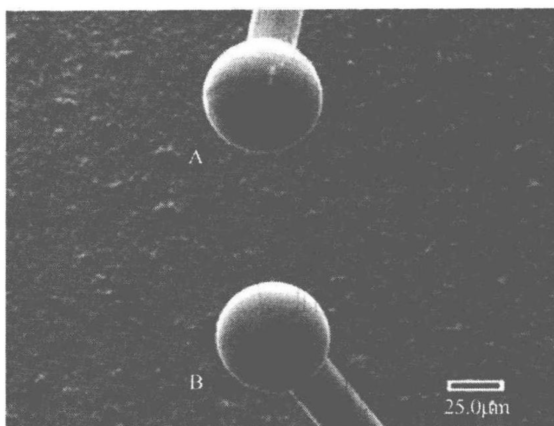



图 4.10 负电火花熄灭系统作用下生成的焊球扫描电子显微图片（金线直径为 25.4μm）
a）100kHz 键合机生成的焊球（直径 62.2μm） b）60kHz 键合机生成的焊球（直径 59.7μm，放大倍数约为 350 倍）

金线具有在高温和压力下易变形、高抗氧化（氧化能阻止形成合适的焊球）等性质，从而在大多数的热压引线键合中广泛使用。铝线由于容易快速氧化，因此在标准键合机上很难形成合适的焊球形状。惰性气体能保护键合线端头尽量不被氧化，从而形成比较牢固的铝引线焊球键合[30,65]。铜和其他材料（如钯（Pd）和铂（Pt））也可用于热压和热超声键合[52]，同样地，不同材料也可用于楔形热压键合。

### 4.3.3 超声键合

超声键合（或楔形键合）是一种低温工艺，其中金属焊接所需的能量来自于超声能量，超声波由换能器以20～300kHz频率范围内振动键合工具（楔）产生。虽然高频超声计划或已经用于较恶劣的键合环境下，但最常用的频率仍然是60kHz[38]。高频热超声键合将在本章4.9节中进行讨论，超声楔形键合工艺如图4.11所示。在超声键合中，楔尖与键合盘平行振动，超声键合通常使用铝或铝合金引线在铝或金焊盘上形成焊点。金线超声键合使用圆形引线或带状引线，但是由于成本高而很少应用。带状金引线的截面呈矩形，在射频和微波芯片应用中互连电感较低（与相同横截面的圆形引线相比）。在一些特殊应用中，Cu和Pd通过超声工艺键合到一起[32]。超声键合的主要优点包括：能在基板微热或不加热的情况下，形成足够强的键合（预示着能使用低温贴片技术和/或应用低玻璃转化温度的基板）；能形成比球焊法更小的节距（由于键合细长、狭窄的形状所导致）。自动楔形超声键合中，由于第二次键合与第一次键合必须线性对准（如沿着楔的中心线），这也导致它们通常比球焊慢，这种对准要求整个封装体（基板）或者键合头必须能旋转以键合到不同方向。相对于球焊法，这样就降低了键合工艺速度。球焊法能将第二个焊球放置在第一个焊球周边的任何地方，从而只需要将键合头或键合台横向平移一段距离（见图4.2b）。

### 4.3.4 热超声键合

将超声能量与球焊键合技术共同应用于热压键合中，于是形成了热超声键合。它采用与热压键合工艺类似的方式，除了焊嘴没有加热（或者加热到相对于热压键合时焊嘴较低的温度）；加热台或圆柱温度一般等于或低于150℃。为了能在引线与焊盘界面上产生所需的温度，在引线与焊盘接触时施加短时间（数十毫秒）的超声能量于焊嘴上。由于引入了超声能量（导致引线-焊盘界面局部加热），就可以降低键合台与焊嘴加热（如前所述）和施加压强（压力）的要求，甚至不用加压。热超声键合压力比热压键合的要小，这就允许对精细或压力敏感的芯片或基板区域进行键合。因为互连是在150℃或更低温度下在IC（和基板）上制作的，它们可以采用环氧或其他有机粘接剂粘接起来，而不会由于键合台或圆柱的过度加热而发生降解（如长时间暴露在其玻璃转化温度之上）。由于温度较低，不可控的金属间化合物的生长概率也会显著减小。热超声键合主要采用金线进行键合，但铝线[65]、铜线[52]和钯线[8]同样也可以成功地用于热超声键合。由于在高性能IC中，金属化会从铝合金迁移到铜[31]，于是出现新的焊盘堆叠结构（如Cu-Ni-Au，或者只有铜）。这种新的焊盘需要重新评估热超声键合工艺的可行性，也许还需要全面考虑铜引线的使用。采用铜线的热超声键合成功用于双列直插封装[41]中IC与铜合金引线框架的互连已有20多年历史。

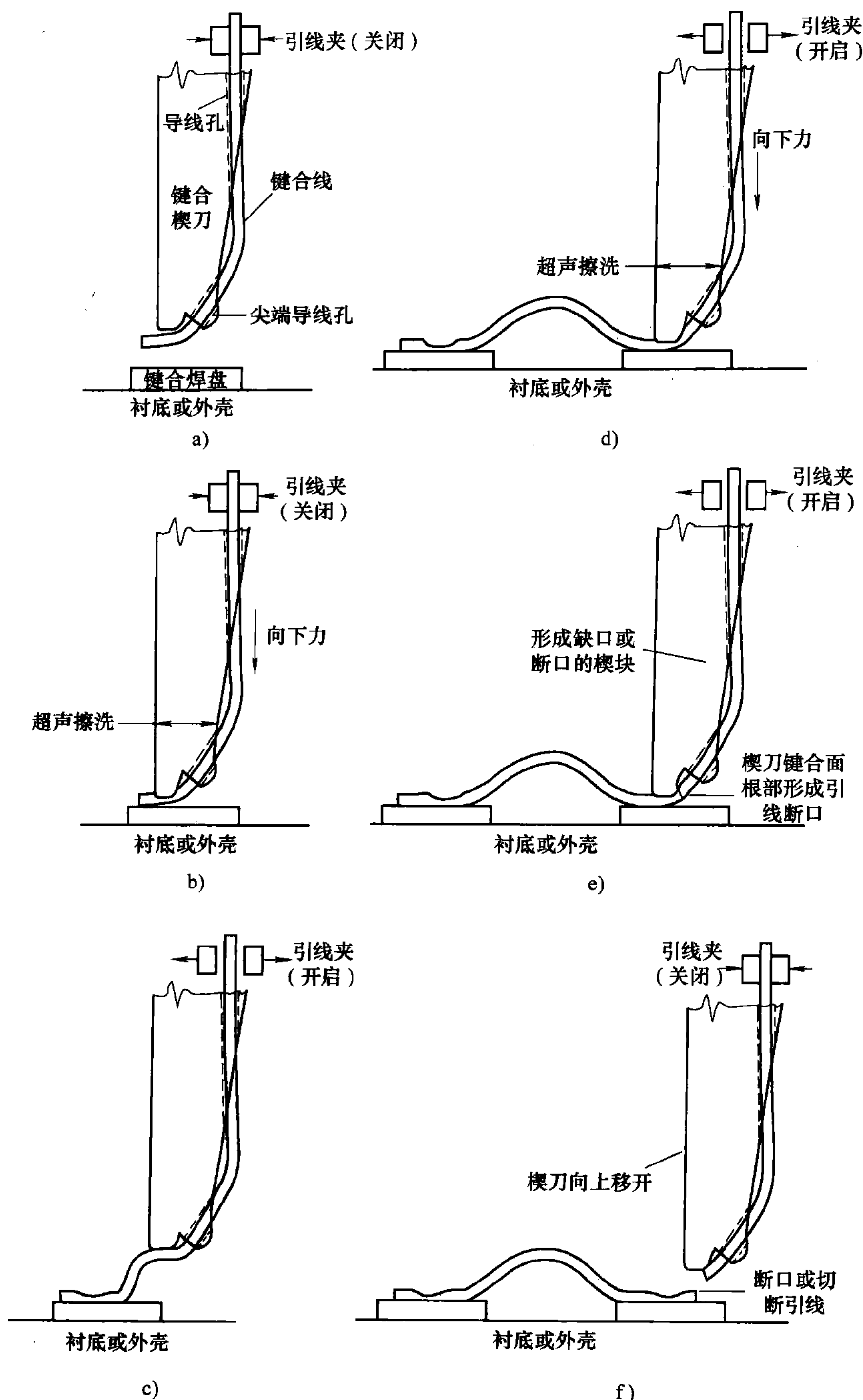



图 4.11 超声键合（焊接）循环示意图

a）最初的楔形引线外形 b）第一次键合 c）移动到第二键合点 d）第二次键合 e）引线压痕或切断工艺 f）第二次键合后分离引线

已对多芯片模块（MCM）开发中的新型基板与焊盘结构的热超声键合进行了评估[15]，这些结构与材料的评估结果将在本章 4.9 节中给出。

### 4.3.5 其他技术

其他类型的引线键合或引线焊接技术也已经使用了很多年，包括直流电阻焊、交流电阻焊及最近发明的激光键合（Mundt 等人）或焊接。虽然这些技术有它们的应用范围（主要用于终端产品和/或电路板），但是相对于主流的引线键合技术，其应用范围和灵活性受到很大限制。微电子尺度的带状引线激光焊接是最近发展起来的，相对于标准引线键合产生的传统微电子引线焊接，它具有更多的优点。激光焊接产生的穿透深度要比超声焊接大幅加深，激光束能量可在大范围内调制，使穿透深度从一两微米到数微米。激光带状焊接适用于很多材料，包括有镍包层的铜和金。激光焊接镍包层铜的疲劳测试可靠性高于超声键合铝线的约 3 个数量级（Mundt 等人）。

### 4.3.6 设备优化

最初的引线键合采用手工操作，这就需要操作者控制键合过程的每一个步骤——从火焰熄灭到引线夹紧和切断（大直径引线还需要手动切断）。在手动键合中，操作者的高技能水平对于制作高质量和高可靠性的引线键合至关重要。随着技术的革新，出现了半自动引线键合机（火焰熄灭与键合循环由机器控制，但是定位与键合对准仍由操作者完成），但是操作者的技能仍是制作高成品率（可靠性）引线键合的关键[36]。目前，市场上几乎全部采用了全自动引线键合机，全自动热超声和超声键合机都得到了广泛应用。全自动引线键合机采用图像识别，来定位芯片和封装体或基板上的键合焊盘；随后完全在计算机控制下，机器以每秒超过 15 对键合（30 个焊点）的速度对所有焊接进行自动键合。这种键合速率下的尺寸精度一般为 $\pm 2.5 \sim \pm 3\mu m$。采用自动的零件操作手，自动键合机可以在这种速率下连续工作几小时。这种自动化技术，以及随之提高的精度和工艺优化控制，使单个封装部件（单芯片封装）的引线键合失效率降低到百万分之几的范围以内[36]。

对于多芯片模块、片上（或基板上）芯片与柔性板芯片等先进封装结构，由于其结构复杂和采用新材料，键合失效率会大幅提高。有关这些复杂电路和结构的键合所产生的问题将在本章 4.9 节中讨论。

键合机的优化可以通过多种途径来完成，这取决于测试样品的可用性和专业人才。最直接的方法是采用部分因素试验设计[11]，它能使试验次数最小化，并消除由试验人员造成的内在偏差。通常键合机的最重要参数包括超声能量（$P$）、基板温度（$T$）和超声能量的持续时间（驻留时间 $D$）。对于给定的基板、混合体和模块结构，键合力通常采用一个固定值而不用再作考虑（当初始化执行后）。适合的键合力的设置范围能延长焊嘴寿命，从而不必在试验过程中去更换焊嘴（这样能尽量

降低键合差异，并提高可重复性)。对于前面提到的3个变量，试验应该包括23种简单的因素设计。在每种设计中，每个变量轮流被设置为预期的低（-1）和高（+1）值，见表4.2。在每种方案中，试验设计能不重复地提供足够多的样品数量（>35），并建立所有试验方案的随机执行次序以消除任何可能的记忆效应。Si的响应可以是第一次键合分析（推荐）的平均剪切强度或每个方案的引线键合的抗拉强度，第二级和第三级效应也列于表4.2中。对每一级结果的任意一个效应的计算只是简单地将该结果响应相加，然后除以2（$n-1$），其中$n=3$。如键合能效应为

$$P=(-S_1-S_2-S_3-S_4+S_5+S_6+S_7+S_8)/4$$

为了确定一个不重复的设计方案部分效应的统计学意义，需要评估样本方差。上文已经介绍了一种不同统计学意义下的方差与置信区间的评估方法[19]。

应用相同的$2^3$因素设计概念与可重复的中心点，可以建立含有$P$、$T$和$D$的焊球剪切强度的线性模型。得到的焊球剪切方程简化了对键合常数如何影响键合强度的理解，而不需要复杂的三维图帮助。然而由于广泛使用了高性能计算机，在生产企业层面可能更喜欢使用三维的等高线图。另外，线性因素设计提供了一种有效的方式去生成新模型，但需要提供不同的基板和基板金属层。

**表4.2　$2^3$试验因子设计（不重复）**

| $P$① | $T$② | $D$③ | $P\times T$ | $P\times D$ | $T\times D$ | $P\times T\times D$ | 响应④ |
|---|---|---|---|---|---|---|---|
| -1 | -1 | -1 | 1 | 1 | 1 | -1 | $S_1$ |
| -1 | -1 | 1 | 1 | -1 | -1 | 1 | $S_2$ |
| -1 | 1 | -1 | -1 | 1 | -1 | 1 | $S_3$ |
| -1 | 1 | 1 | -1 | -1 | 1 | -1 | $S_4$ |
| 1 | -1 | -1 | -1 | -1 | 1 | 1 | $S_5$ |
| 1 | -1 | 1 | -1 | 1 | -1 | -1 | $S_6$ |
| 1 | 1 | -1 | 1 | -1 | -1 | -1 | $S_7$ |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | $S_8$ |

① $P$为键合功率（如在第一次键合功率设定），其中-1表示低功率值而+1表示高功率值。
② $T$为基板温度，单位为℃，同样地-1代表低温度值而+1代表高温度值。
③ $D$为持续时间，单位为ms，类似地-1代表最短的持续时间而+1代表最长的持续时间。
④ $S$为响应函数，通常指剪切强度。

## 4.4 键合材料

### 4.4.1 键合引线

微电子键合引线采用了大量的纯金属和合金材料，除了圆形引线以外，在射频和微波等特殊应用中还经常使用带状引线。圆形引线是最普通的，直径小至5μm

的圆形引线也已商业化，直径大于500μm的圆形引线被用于功率类器件。带状引线宽度在50~1200μm的范围变化，厚度相应也有所不同。

这些引线的主要材料是Au（纯金和合金）、Al（纯铝）、含1%Si的Al、掺Mg的Al和更常见的Cu。它们的主要性能列于表4.3和表4.4。其他引线，如过去使用的Pd和Si，其键合已在上文中进行了描述。Au是球焊工艺的主要材料，而Al及其合金在楔焊中占据主导地位。键合中使用的Au的纯度极高，达99.99%，总杂质含量低于$10^{-6}$，不同纯度的高温引线键合见本章4.9节。Be是用于稳固引线和控制其力学性能的主要掺加剂。用于制备凸点（单点球焊）的Au线纯度并不是很高，并掺有少量Pd（约1%）以保证形成有最小带尾（在引线断裂后，焊球上的残留引线）的均匀焊球。Al+1%Si适合半导体器件金属化合物使用普通合金的要求，并在小直径引线应用中获得比纯Al更高的强度和硬度。多数大引线应用中使用纯Al，当焊点经受低循环失效或开/关功率循环时，必须使用铝镁线[70]。

**表4.3 键合引线力学性质**

| 材料 | 引线直径①/μm | 等级② | 延展率 | 抗拉强度/MPa | 备注 |
|---|---|---|---|---|---|
| Al（纯度99.99%） | 18~75（小直径）<br>75~500（大直径） | H<br>M<br>S | 2~6<br>6~12<br>12~18<br>5~10<br>10~20 | 1.9~2.5<br>1.7~1.9<br>1.5~1.9<br>1.4~1.5<br>1.0~1.4 | 较其他引线软，相同直径下松弛较其他引线大，小直径很难操作 |
| Al+1%Si | 25~250 | H<br>M<br>S | 1~5<br>5~10<br>10~20 | 2.9~3.5<br>2.2~2.6<br>1.5~1.9 | 标准IC键合引线（楔焊）。由于1%Si极大提高Al中Si的室温溶解度，键合温度下有可能析出Si，除非合金在纳米级是同质的 |
| Al+（0.5%~1%）Mg | 25~250 | H<br>M<br>S | 1~5<br>5~10<br>10~20 | 2.9~3.5<br>2.2~2.6<br>1.5~1.9 | 由于Si室温溶解度是2%所以不形成沉积相。有极好的抗疲劳性。为减轻功率器件低循环疲劳，有时掺入少量Pd（0.1%~0.15%） |
| Au（纯度99.99%） | 18~50 | H<br>SR<br>A | 1~3<br>3~6<br>4~8 | 3.0~4.7<br>3.6~4.1<br>3.2~3.8 | 球焊引线支柱。有时要用很硬的金线（抗拉强度>7MPa，延展率<1%）进行楔焊 |
| Au（纯度98.5%）+1%Pd | 18~37 | | 0.5~3 | 8.7~10.4 | 规划了螺柱凸点的使用。生产大小均匀一致的焊球 |

① 不同产品的引线尺寸。

② 等级：H为硬，M为中等，S为柔软，SR为应力释放，A为未退火。

表 4.4 键合引线材料的热学和电学性质

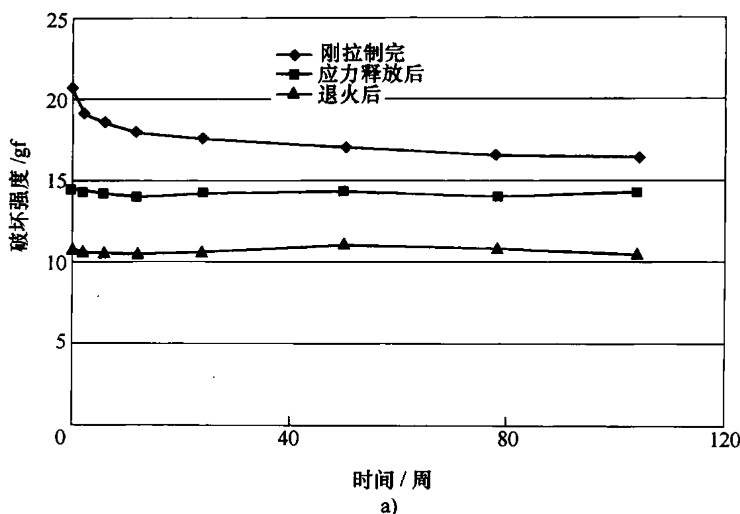
| 材　料 | 熔点/℃ | 热导率 /(W/mK) | 热膨胀系数 /($10^{-6}$/℃) | 电阻率 /($10^{-6}\Omega \cdot cm$) | 导电率 (%IACS)① |
|---|---|---|---|---|---|
| Al（纯度 99.99%） | 660 | 230 | 23～24 | 2.49～2.77 | 69～62 |
| Al+1%Si | 600～630 | 195 | 22～23 | 2.96～3.18 | 58～54 |
| Al+（0.5%～1%）Mg | 654 | 180～195 | 22～24 | 3.01 | 57 |
| Au（纯度 99.99%） | 1063 | 312 | 14～15 | 2.20～2.29 | 78～75 |
| Cu（纯度 99.99%） | 1083 | 395 | 16～17 | 1.72～1.81 | 100～95 |
| Pd（纯度 99.99%） | 1552 | 75 | 10～12 | 10.75～15.63 | 16～11 |

① IACS（International Annealed Copper Standard）为国际退火铜标准，100%IACS 的电导率为 $5.81\times10^5\Omega \cdot cm$。

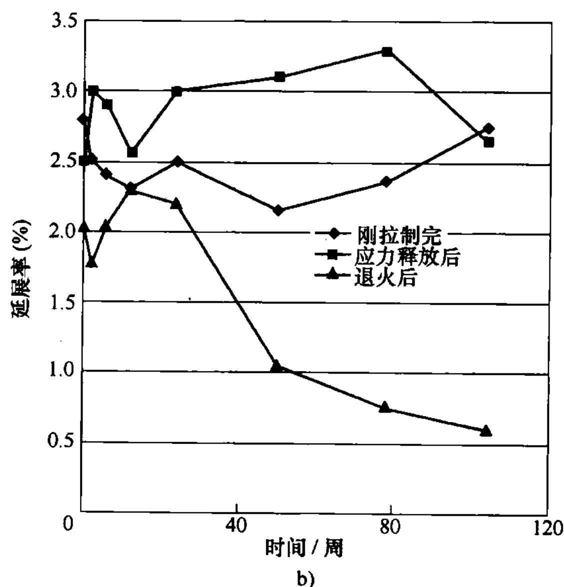
由于微电子键合引线从一系列芯片中引出，引线会有较大的残余应力。当应力较大时，引线易断裂（较短的拉伸长度）。为了克服这个影响，引线需经过应力释放与退火工艺以达到键合要求。表 4.3 列出了引线拉伸过程后的一些结果，图 4.12 和图 4.13 所示为生产过程中不同类型引线的老化时间对引线性能的影响，可以清楚地看到引线强度依赖于引线退火，老化时间对引线性能有显著影响，从而严重影响键合质量。

用铜线代替金线受到了广泛关注，尤其是铜线能降低成本易于键合。这是因为 IC 合金总是向铜迁移。使用铜线不需要在 IC 的铜焊盘上形成薄的阻挡层（Ni-Au 或 Ti-W-Au），这种薄阻挡层会阻止金线的合金层生长。铜线电导率较高，并且其强度可以承受模压和/或封装过程中引线的弯曲。由于铜在空气中容易快速氧化，焊球形成必须在惰性环境下完成，该环境需要对键合机进行改进。铜具有比金更高的剪切模量（48GPa∶26GPa）和更高硬度（Knoop 硬度为 50∶35），于是在键合过程中会对芯片和衬底造成损伤。铜球键合会显著增加坑洞[23]。通过改变键合机控制可以解决铜硬度高产生的问题。这些方法包括增加衬底和圆柱热量，降低超声波能量，以及快速实现第一次键合接触（保持焊球温度，因为此时焊球比较软）。

键合到铜焊盘时，除了上述的阻挡层外，由于形成了铜氧化物，还需要提高超声能量。采用相同的方式，在传统铝合金焊盘上实现铜球焊似乎是可行的。由于生成了 Cu-Al 合金（$CuAl_2$ 和 CuAl），而一些研究指出在热老化过程中其焊点阻值会迅速增加[48]。多数研究证明，Cu-Al 系统的可靠性与 Au-Al 系统不相上下，即使存在上述的迁移方式，键合能力仍然是一个重要问题，比可靠性更为重要。因为在键合过程中，尤其是对于现在薄 IC 合金（约 0.5μm），硬铜球更容易推动柔软的铝金属层，导致键合变弱或无法粘接。而且坑洞与铜易受腐蚀（硫酸、卤素等）的特点会抑制铜球焊引线延展的使用，制作微间距引线键合所需的小球也非常困难（见 4.9 节）。




a)




b)

图 4.12　铝引线键合（Al + 1% Si）的破坏强度和延展率与老化时间的关系

a）破坏强度（gf①）　b）延展率（%）

① 1gf = 1 × $10^{-3}$kgf = 9.8 × $10^{-3}$N。

## 4.4.2　焊盘

为了保证芯片、封装体和衬底的键合能力，常使用不同的合金结构。然而，多数芯片选择金属合金的原因却不是出于提高引线键合能力的考虑。通常的芯片合金材料是含少量硅（1%）的铝合金，其中的硅能阻止底层硅快速扩散进入铝，因此

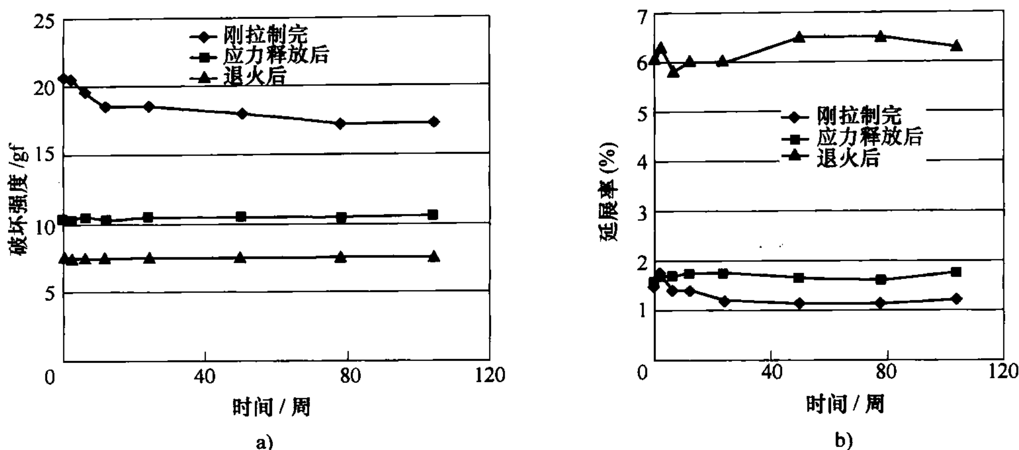



图4.13 金引线键合（99.99% Au + Be）的破坏强度和延展率与老化时间的关系
a）破坏强度（gf） b）延展率（%）

能减小底层硅中形成的深坑。深坑的存在使铝迁移其中，导致铝的导电性变化，降低器件性能或损害器件。铝中硅含量太多会在热处理过程中析出硅，在焊盘表面形成硅晶体或结点，并与底层硅相连，这些影响会产生键合问题和电学问题。

当器件尺寸收缩时[64]，为了保证充分的抗电迁移性，需要掺入合金元素，或者将其涂覆于标准芯片合金上。如铝中常常加入铜，也常加入质量分数为0.5% ~5%的硅以防止电迁移。铜含量超过2%，Al-Cu 的引线键合能力下降，成分更低时则显示出极好的键合能力[81]。含有少量铜的铝合金，在加热过程中容易形成 $Al_2Cu$ 小丘，造成中间层短路。为了防止形成 $Al_2Cu$ 小丘，处理过程需加入更多铜（质量分数 >4%）。虽然这会造成引线延展小丘的生长，但是小丘高度有限，因此降低了短路的可能性。掺加更多铜也会增加铝对腐蚀的敏感度，可能在表面形成氧化物，降低键合能力。

有时在焊盘下沉积 Ti-W 或钛氮层可以提高粘附性，同时增加柔性或韧性衬底上的焊盘硬度。但如果处理过程不合适，这些衬底下的薄层也会降低键合能力。钛与铝合金层混合会减小电迁移。同时，钛迁移到表面会造成键合问题，并增加合金层的硬度，这需要提高键合参数来得到高质量的键合。在存在钛元素的情况下实现最大键合能力，键合温度必须相当高（>180℃），需要使用高温贴片（Au-Si 共晶）。如参考文献［38］所述，使用薄层纯铝形成的保护层（厚度为0.25 ~0.5μm）将允许使用不同的金属合金，为高产率键合提供最好的金相性能。必须精确保证纯铝金属合金保护层的厚度，因为键合强度随着铝层厚度增加而下降[86]。

金合金层是保证键合能力的有效保护层。金是半导体器件的原始材料，焊盘结构为 Ti-Pd-Au。当金层具有合适厚度、硬度和形貌时，这种焊盘结构具有极好的键合能力。现在在集成电路中很少使用金，但是它在键合焊盘和衬底中作为引线材

料被广泛使用。在过去的一二十年里，有很多关于金的键合性研究。由于金的纯度和微细颗粒结构，薄膜沉积的金是可以键合的。多数金的键合问题或者与厚层和低温共烧过程中使用的印刷油墨有关，或者与电镀金有关。

厚合金层，特别是采用金的合金层，其键合能力在微电子工业中一直备受关注。虽然没有加以说明，但是“可键合”金等词语以不同形式出现在商业广告中。这意味着如果你使用该公司的可键合金，引线键合性能应该接近理想值，即拉力测试与焊球剪切强度接近那些使用薄层金的值。参考文献［47］的作者在文中指出，对于干净衬底的热压键合，与薄金层键合相比，厚金层的衬底变形类似于球焊剪切强度。一些研究指出，表面存在污染时，厚金层键合比薄金层键合更不敏感。键合到厚金层和薄金层之前的表面清洗都是必须的。很多研究者深入探讨了这方面的内容[45,46,86]。

导体表面成分、形貌与实际导体或焊盘几何结构的影响并没有像清洗一样曾被深入细致地探讨过。从参考文献［76，33，68］的研究结果来看，导体表面成分、形貌与几何结构对厚膜键合能力具有重要影响。近年来，有些生产商使用键合机中的特殊工具在键合时“弄平”或“制作”厚膜，但该过程非常昂贵且耗时。

我们的研究结果与上面稍有不同[72]，但是本质上没有严重冲突。我们比较了不同类型的合金，包括纯金、轻掺杂金、重掺杂金。纯金在金引线键合中是金氧化物键合；轻掺杂金在铝引线键合中也是氧化物键合，特殊的成分阻止了键合强度下降（由于金属互扩散/形成物）；重掺杂金（含大量钯和铂）首先经过回流焊，这些合金层使用包含不同线宽与焊盘大小（125～500μm）的测试图案依次进行丝网印制与烧结。真空沉积的薄纯金层也进行图形化，并作为研究键合能力的参考标准；焊盘表面与引线形貌使用电子扫描显微镜和轮廓仪测量；表面杂质通过俄歇电子能谱仪测试；键合质量通过焊球剪切测试与键合拉力测试进行评估（见下文焊盘清洗）。

合金层类型对焊球剪切强度和引线键合拉力测试都有重要影响。薄纯金层具有最高的键合能力和最高的平均剪切强度；轻掺杂厚金层（铝引线键合）结果与薄纯金层相似。对于同样大小和相同位置的焊盘，厚纯金层及重掺杂金层的结果很差（35gf，低于平均值48gf）。所有四种合金层的表面形貌都不相同，薄层表面光滑，颗粒极细且没有气孔；重掺杂金层的表面气孔很多，与其他层相比非常粗糙；厚纯金层与轻掺杂金有相似的形貌，虽然轻掺杂金稍微粗糙些并有较多气孔。

在设计试验中，如表面多孔性、表面曲率和焊盘或线宽参数是由二次效应确定的；焊盘或焊线上的球位置对薄纯金层和厚纯金层几乎没有影响。随着表面多孔性和粗糙度增加，焊球位置的影响变得稍微重要一些，键合带尾好像比球焊更易受到影响。机械控制如抛光（摩擦）或加工几乎也没有影响。至于重掺杂金抛光，会极大降低键合能力。

研究结果指出，表面成分是影响键合能力的关键因素，该结果与本书第6章的

结论是一致的[38]。在参考文献［38］中，进一步将键合能力与薄层硬度联系起来，得出柔软的金具有较好的键合能力的结论。在我们的研究中，在给定压力下，因为金焊球变形，厚金层的硬度随着杂质浓度提高而增加，但并没有对硬度进行定量测试。

## 4.4.3 镀金

### 4.4.3.1 电镀金

电镀金层中的杂质一直都是产生键合问题的诱因，杂质会降低键合产量，并导致加速试验或使用过程中的早期失效。Horsting 在 1972 年开展了关于金纯度对"紫斑"的形成影响及相应的键合失效基础研究[42]。Horsting 认为，杂质加速扩散进入键合金属层区域形成了沉淀物，扮演着空穴成核中心的角色，在金和铝相互扩散过程中加速了空洞形成。由于平衡态限制，以及作为主要杂质的镍、铁、钴和硼的质量关系，金中的杂质并不完全如 Horsting 所言，但是后来研究者认可了 Horsting 提出的快速杂质扩散理论。

金电镀通常由钾-金-氰溶液与附加物组成，这类附加物包括缓冲剂、柠檬酸、磷酸盐、碳酸盐和乳酸盐等。如加入铊、铅和砷等杂质可以提高沉积速率，并通过它们来调节产物颗粒的大小，从而改变了表面形貌。铊作为杂质常常引起金线键合问题[28,29]。但是 Wakabayashi 在 1982 年证明铅元素也是一种诱因[85]，他同时指出，在某些电镀条件下砷能提高键合强度。铅和铊等杂质会造成键合表面的金晶体结构变化，表面形貌也会随着电镀参数变化而变化。与上文提到的较厚薄膜试验不同，到目前为止，没有证据表明电镀金层表面的微小变化与键合能力和强度有关系。

包括氢捕获和膜层硬度等其他的电镀金现象也会造成键合问题，如果装配体能够承受退火环境（在 150℃下持续至少 2 天），氢捕获就能通过退火减轻。金层退火，在排出气体（如氢气）的同时，降低了硬度。于是硬度变成了键合问题的一个关键指标，虽然不是主要原因。

### 4.4.3.2 无化学镀自催化金

在叠层或柔性胶带衬底上应用 MCM、板上芯片和其他基板与封装组成的引线键合，其关键是在预图形化铜合金上实现无化学镀金的能力。在商业化电镀设备的支持下，可通过标准或改进的化学方法满足沉积要求（1μm 厚度的 99.99% 纯金），作为大量衬底和封装体无化学镀金的解决方法。通常的叠层过程需要在铜上沉积镍阻挡层，因此自催化金能够附着在镍和铜上。自催化镀金技术主要有两类：①含氰化物的高沉积速率系统；②不含氰化物的中性 pH 值系统。高沉积速率系统的 pH 值约为 12，在长期镀金过程中，会腐蚀基板环路材料（如聚酰亚胺）。于是出现了这种高沉积速率系统的改进方法，包括在铜或其他附着镍层的材料上直接沉积金的方法，通常电镀槽温度在 70～100℃变化。该系统被用于制作可键合的金层，但是

在温度较高的情况下，对于大多数基于MCM、板上芯片和柔性环路装配而言，在镍上镀金（需要一直严格控制化学成分）十分困难，衬底材料的腐蚀使化学成分并不稳定，但这些化学成分对陶瓷上的电镀过程非常重要。

高沉积速率系统的问题也促进了中性pH值（名义上为7.5）自催化金技术的发展，电镀槽中不含氰化物，并能将温度控制在70℃或更低，这种条件下不会腐蚀聚酰亚胺。在该系统下，可在镍阻挡层上沉积厚度为1μm的可键合金。与铜合金兼容的无化学镀镍电镀液也出现了，铜合金首先必须被采用钯的活化剂激活。表4.5列出了自催化镀金的金键合可靠性数据（中性pH值）。这些数据说明，即使在150℃下热老化，键合依然牢固，所需金层厚度至少为0.65μm。其他试验显示，为了达到均匀键合和保证老化测试后的可靠性，金层的最小厚度必须是0.5μm。

**表4.5 在铜合金PCB镍阻挡层（2.5μm）上，电镀不同厚度自催化（中性pH值）金层后引线键合拉力测试**

| 镀金层厚度/μm | 键合数 | NDPT① | 拉力测试②/gf | |
|---|---|---|---|---|
| | | | 预键合 | 150℃处理后③ |
| 0.4 | 129 | 1 | 10.6 | 9.8 |
| 0.65 | 149 | 0 | 10.0 | 10.1 |
| 0.9 | 138 | 0 | 9.4 | 10.6 |

① NDPT = Non-Destructive Pull Test，非破坏性拉力测试（极限为2.5gf）。

② 样品数接近70个焊点，标准偏差为±10%。

③ 160h（聚酰亚胺-玻璃基板材料）。

### 4.4.4 焊盘清洗

为了提高键合质量与可靠性，必须清洗焊盘。这些年对该方面进行了很多相关实验，其中，UV-$O_3$和氧等离子体已证实能有效去除氧化污染物[86,50]，它们也能有效去除某些特定的无机物形成的不稳定氧化物。当采用这些技术去除多种污染物类型时，使用时必须十分谨慎。由于$O_2$等离子体和UV-$O_3$环境具有极强的氧化性，诸如银、铜和镍等金属都会被氧化，降低它们的键合能力。为了降低等离子体的这种氧化反应，经常将氩（Ar）气掺入氧气中。这种氩-氧等离子体清洗方式综合了反应离子清洗与物理溅射刻蚀，清洗非常有效。在任意一种等离子体环境下，都存在有源电路辐射损伤的可能。根据作者的经验，对于氩-氧等离子体清洗剂，这种可能性是很低的，因此不应该反对其使用。同样地，由于UV辐射能在氧化铝陶瓷中激发杂质态（颜色中心），白色的氧化铝陶瓷衬底在UV-$O_3$处理后将会变黄。表4.6和图4.14给出了用UV-$O_3$清洗去除表面污染物（溶剂清洗）后的效果。

**表 4.6 在厚度为 1μm 铝膜（硅片上）上采用热超声键合 25.4μm 金线，不同清洗处理和热作用条件下的平均焊球剪切强度（gf），焊球平均直径 90μm（±3μm）**

| 样品 | 清洗条件 | 预键合 | 热处理时间 |
|---|---|---|---|
| A | 没有清洗① | 50.9（±7.1） | 47.8（±7.9）③ |
| | 等离子体清洗② | 52.2（±6.5） | 52.1（±6.7） |
| B | 没有清洗 | 50.0（±6.2） | 48.6（±7.1）④ |
| | 污染⑤ | 38.9（±4.1） | 40.3（±5.8） |
| | 溶液清洗 | 37.3（±6.1） | 37.9（±7.3） |
| | 等离子体⑥ | 47.5（±6.0） | 47.9（±6.7） |
| | UV-$O_3$ 清洗 | 53.0（±5.1） | 54.2（±5.8） |

① 从衬底上得到的无清洗结构。

② 氩-氧等离子体（90% Ar，10% $O_2$）清洗。

③ 样品 A 在 150℃下老化 96h。

④ 样品 B 在 125℃下老化 168h。

⑤ 污染剂来自光刻胶，除气物来自环氧固化。

⑥ 氩-氧等离子体（50% Ar，50% $O_2$）清洗。

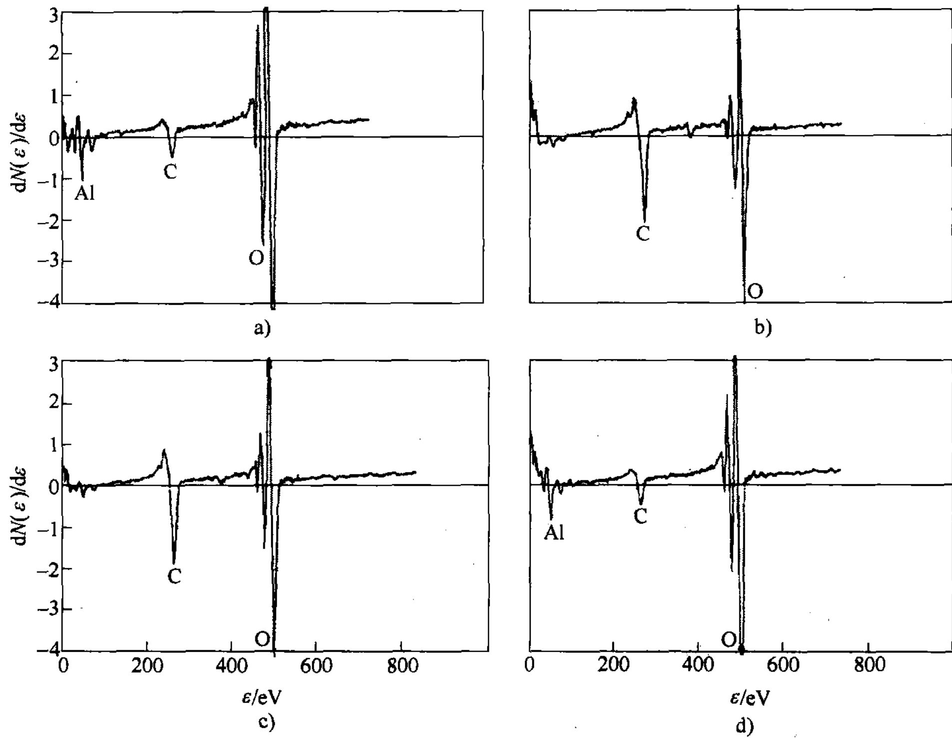



图 4.14 用溶液与 UV-$O_3$ 处理前和处理后硅衬底上铝合金的俄歇电子谱

a）工艺衬底（无污染） b）光刻胶污染衬底 c）溶液清洗衬底 d）UV-$O_3$ 清洗衬底

清洗的最后一步是超声清洗，这方面已有很多报道（如参考文献 [71]），和一些因超声清洗不当造成引线键合恶化或失效的轶闻。大多数失效与腔型管壳封装中的引线键合有关，例如那些混合或气密单芯片封装应用。

对所有机械结构而言，引线键合存在一个谐振频率，一旦激发到该频率，就会造成引线振动，导致疲劳或最终失效。一定直径引线的谐振频率取决于键合弧线的长度与高度，对合适的结构和相对较短的引线长度（<2.5mm），引线键合的谐振频率相当高（>30kHz）。超声清洗频率为 20kHz，多数报告中的损伤常常发生在将键合引线置于较高能量的清洗器皿中（高能量），因此含较短引线的腔型管壳器件的超声清洗是安全的。现在，超声清洗的频率范围加大为 20 ~ 100kHz。根据 Harman 的研究[38]，高频超声清洗（>50 ~ 60kHz）不会造成损伤。

在管脚封装或带状引线封装中，管脚或带状引线被直接包封形成引线键合粘附点，并保证外部导线结构不产生共振。共振会使封装管脚或丝带尾部产生振动，造成引线或键合失效，尤其是当引线硬度较高时。在贴装到基板前，对气密封装平面管壳的器件进行清洗也非常重要。

对于目前的全塑封微电路而言，各部件的超声清洗风险较小，尤其是对无引线器件或含较短引线的器件。而当清洗开放式管壳或板上芯片或柔性基板上的外露引线键合时，会有潜在的风险。另一个潜在风险与微机电系统（Microelectromechanical System，MEMS）有关，在 MEMS 中，超声谐振除了可能危害键合外，也会造成 MEMS 结构本身的机械失效，对于超声振动频率，MEMS 结构的谐振频率也将成为一个问题。在所有的外露引线与结构中，如果使用超声清洗，将不可避免地产生空洞[38]。

## 4.5　测试

自从 20 世纪 70 年代引入破坏性的引线键合拉力测试（ASTMF459-06，2006 年），它就被广泛用于引线键合和相关键合设备参数设置的优化与控制。虽然该方法由于成本低和易于操作而被广泛使用，但是其缺点也非常突出。首先，由于它是破坏性的，只能提供一些关于产品样品的信息。虽然它能够用于帮助优化键合参数，在失效分析中有效地进行后期诊断，或者作为部分可接受的常规破坏性物理分析的一部分，但是它却不能提供大多数键合的强度测量值；第二，在微间距键合电路中，在相邻引线中插入钩子而只接触感兴趣的焊盘是非常困难的；第三，只要主要的失效机制是引线断裂，拉力测试就只能提供少量关于强度或键合界面整体质量的信息。

只有存在严重的界面失效情况，如杂质引起的金属间化合物生长[9]，破坏性拉力测试才会得到除了引线相对断裂强度之外的信息[10]，从而对引线和测试结构做出相应修正。这个结果对标准焊球是非常准确的，球焊中较大直径（名义上是引线直径的 2.5 ~ 5.0 倍）焊球形成有效的键合焊盘粘接，其强度远大于引线的断

裂强度。然而，由于键合参数、界面材料与环境压力的变化都会使粘接强度发生改变。当焊球直径变小时，控制这些变化就尤为重要。在微间距球焊中，焊球直径一般为引线直径的 1.1 ~ 1.3 倍。

这些事实促使了两种替代性测试方法的发展：①100% 非破坏性拉力测试（NDPT）（F458-06，2006 年）；②焊球剪切测试（F1269-06，2006 年）。前者对每一个键合牢固程度提供一定的置信度（至少在非破坏性的拉力限度内）。在微电子引线拉力测试分布中，NDPT 能有效淘汰强度可能很差的产品。图 4.15 所示是对覆金陶瓷实施拉力测试的结果，有两组完全相同的超声引线键合样品，一组是键合后应用 NDPT，而另一组没有，两组在 125℃ 下老化 240h。结果显示，NDPT 能在老化前去除强度较差的键合，防止出现低强度键合。实际上，低于 NDPT 极限的拉力强度都是难以发现的。

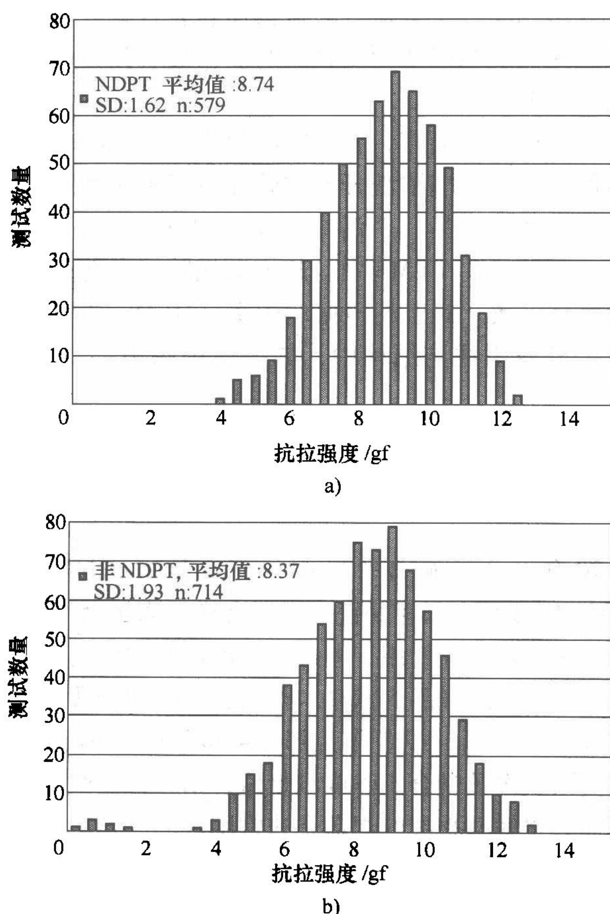



图 4.15 在高度研磨的氧化铝陶瓷上沉积薄金层，超声键合直径为 25μm 金线的拉力强度分布柱状图

a）无 NDPT 老化后 b）键合后进行 NDPT 测试后再老化，NDPT 极限为 3gf

焊球剪切测试不仅能用于观察焊球/焊盘界面，也能够研究键合前和键合后各种因素的影响。表 4.7 总结了引线键合拉力测试与焊球剪切测试的不同应用领域，说明了拉力测试与剪切测试的互补性。图 4.16 说明了焊球/焊盘界面强度可以通过焊球剪切测试（而不是拉力测试）优化键合参数来提高[11]，这些特定的样品是在铝金属化的硅片上超声键合金线制备的。

**表 4.7　引线键合拉力测试（ASTM 标准测试法 F458-06）与焊球剪切测试（ASTM 标准测试法 F1269-06）应用领域比较**

| 应用领域 | 拉力测试 | 剪切测试 |
|---|---|---|
| 单元结构 | 是 | 否 |
| 引线结构 | 是 | 否 |
| 引线质量，缺陷等 | 是 | 否① |
| 二次键合 | 是② | 否 |
| 键合机设置、优化等 | 否③ | 是 |
| 过程进展 | 否③ | 是 |
| 基板、焊盘质量 | 否③ | 是 |

① 对污染敏感，对机械缺陷不敏感。

② 极度依赖几何构造。

③ 除非结果非常严重，否则不敏感。

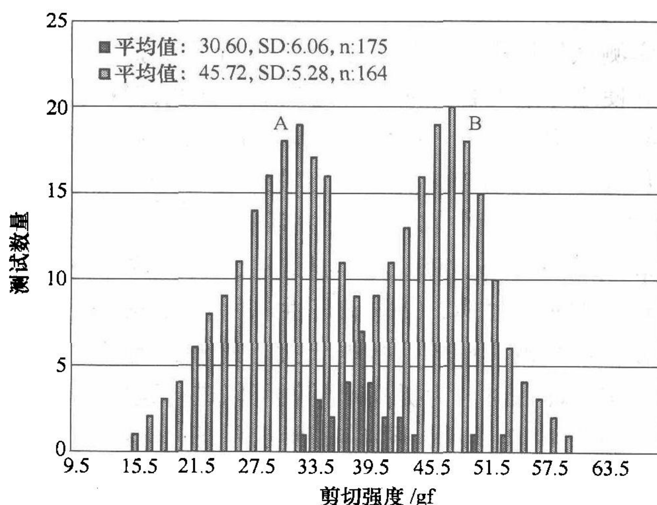



图 4.16　铝金属化的硅片上超声键合金线的焊球剪切强度柱状分布图
（柱状图 A 是应用拉力测试获得的剪切测试结果；柱状图 B 是使用焊球剪切测试优化键合机后的剪切测试结果）

如上所述，最常见的引线键合强度与质量检测方法是力学测试，即键合拉力测试与焊球剪切测试，但引线键合工艺的改进使这两种测试都存在局限性。拉力测试

需要在引线下插入一个钩子，这在引线非常接近的情况下很难保证不损伤相邻引线，对于成功的NDPT，至少需要在引线中插入两三个钩子；另一个困难是如何在键合界面施加一个大小恒定的拉力，因为拉力与剪切力会随着引线长度变化而变化，同时也随着引线上钩子位置变化而变化[38]。焊球剪切测试需要在较大直径的焊球上安置推杆（有平面或轻微弧面的楔形工具)。如果焊球直径较小，或者呈平面，如那些在微间距引线键合或热压键合中碰到的平面（见本书4.9节），推杆就能轻易越过焊球。在非常小的键合空间下（间距为40~50μm或更小），推杆会进入相邻键合线而造成损伤。

直接按照NDPT类推，非破坏性的焊球剪切（Non-Destructive Ball Shear, NDBS）是可行的。在NDBS测试中，推杆对焊球加力到一个预定值（名义上为器件或系统测试下剪切强度的一部分)，如果没有失效，推杆缩回并移动到下一个焊球。试验显示NDBS并不影响最后的破坏性剪切值[12]，至少从直径为25.4μm的引线开始，形成的焊球有合适的直径（大于或等于2.5D)。对于不同的键合条件，ASTM标准（F1269-06）中规定了如何设置NBDS极限。另一些研究表明，焊球能够承受其剪切强度50%~60%的非破坏性载荷，而不影响破坏性剪切强度值。

力学测试耗时且具有破坏性，即使在非破坏性模式中（如上文所述)，如非破坏性剪切测试中会出现引线变形和焊球边缘平坦化现象[11]，这引起对产品后续使用可靠性的关注。因此，多数人推荐采用大量样品的力学测试，同时优化相应的引线键合机及其参数设置。

为了解决力学测试的局限性，发明了引线键合测试新方法[73]。该技术使用激光产生超声脉冲并使之穿过键合界面和附近缺陷。该测试具有非破坏性和快速的特点，并能检测到异常的键合界面。纳秒激光脉冲产生的热弹性超声波击中焊球顶部或楔焊，超声波从焊球或楔焊与焊接界面传输到IC表面，然后通过激光干涉仪在IC表面检测超声波变化，表面位移与时间关系被转化为功率与频率关系，或功率谱密度（Power Spectral Density, PSD)。与标准力学测试相比，激光超声键合测试有几个显著的优点：①非接触式；②非破坏性。所有因器件产生的缺陷都可以进行测量，所以特征数据不会被大量样品数据干扰。此外，测试设备通过计算机控制，当涉及引线键合机实时评估时，为提高产量就可以进行这些评估。

超声测试系统如图4.17所示，图4.18所示是通过干涉监测仪得到的位移与时间曲线，样品的数值分析结果（250℃下键合48h）如图4.19所示。点线是对位置与时间关系进行标准快速傅里叶变换（Fast Fourier Transform, FFT）提取得到PSD的结果，使用基于协方差的自动回归技术进一步分析的结果如图4.19所示的实线。协方差方法清楚地显示了频率为14.5MHz时的共振响应。应用该方法得到了其他样品的分析结果，见表4.8。表4.8给出了老化样品基本的峰值频率与功率水平，以及键合样品的剪切强度数据。结果的详细分析与方法的完整描述可参考Romenesko等人的文章[73]。

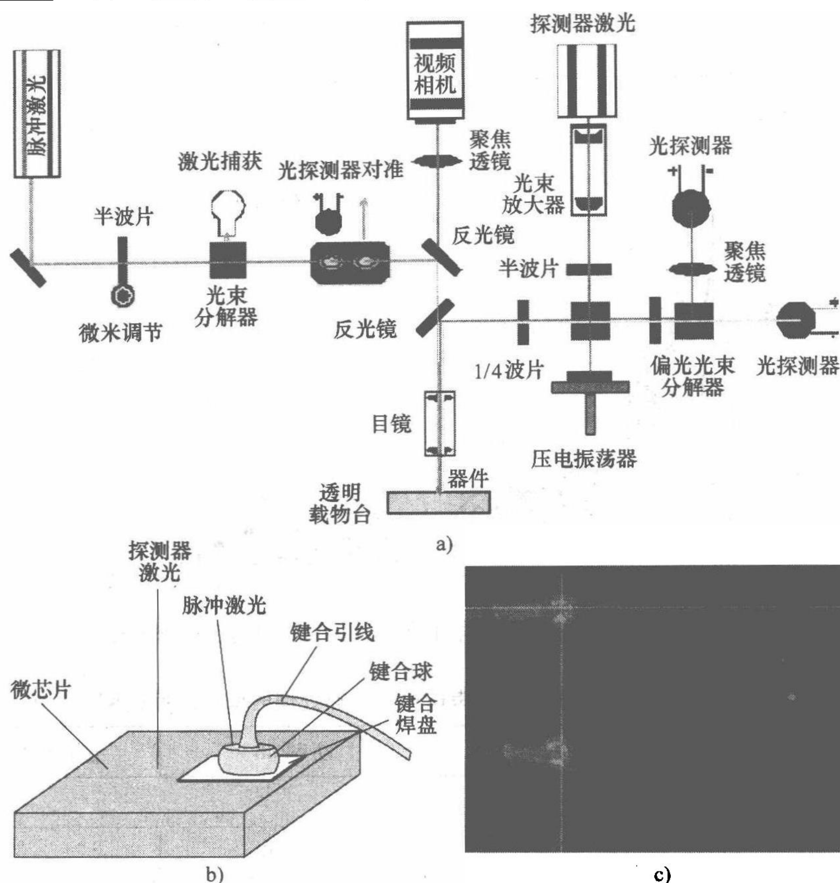



图 4.17　激光超声能量引线键合测试系统

a）光学系统结构　b）与引线键合有关的激光发射与检测光束的位置示意图

c）光学显微镜下看到的激光发射（与焊球顶端交叉）与检测（右边白点）位置

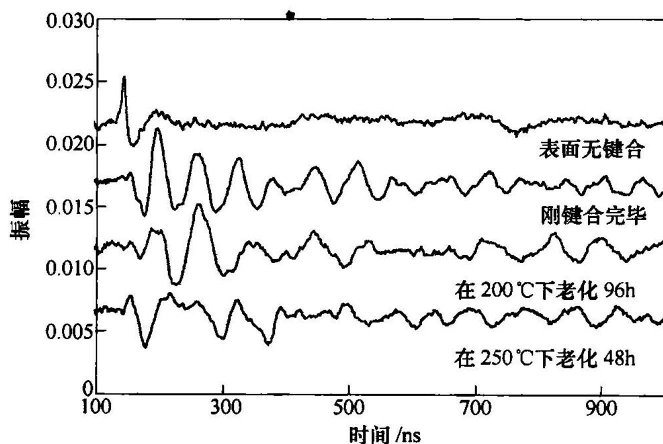



图 4.18　不同老化条件下位置偏移幅度与时间关系图（“无键合”说明焊盘表面使用激光脉冲照射后的噪声水平；轨迹代表至少 7 个测试样的平均值，并且为保证清晰度进行了振幅补偿）

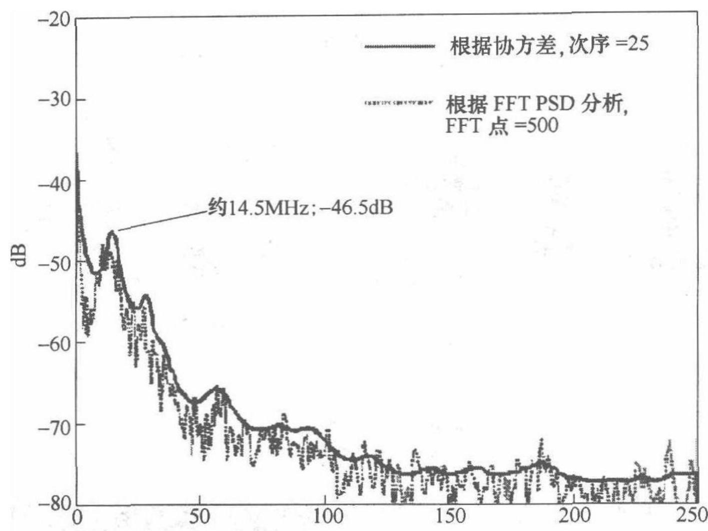



图 4.19 快速傅里叶变换法与自动回归数值法的功率谱密度比较

**表 4.8 硅上不同合金的典型热超声球焊中，热处理时间对功率谱密度影响**

| 样 品 | 频率/MHz | 功率/dB | 键合强度/gf① |
|---|---|---|---|
| 样品 1：Al-1%Si | | | |
| 衬底 | 18.5 | -56.0 | |
| 预键合 | 16.5 | -39.0 | 51.7 ±1.8 |
| 时间：200℃下老化 96h | 13.5 | -44.5 | 60.7 ±2.6 |
| 样品 2：Al-1%Si +0.5%Cu | | | |
| 衬底 | 19.5 | -57.0 | |
| 预键合 | 16.5 | -45.5 | 54.3 ±2.5 |
| 时间：200℃下老化 96h | 14.5 | -46.5 | 57.6 ±2.2 |

① 从相同样品群中的其他样品中得到的剪切强度值。

激光超声键合检测结果与超声波频率谱的偏移有关，而这种偏移受键合时间与合金生长的影响。超声波检测显示的是一种真正的表面波，所以本质上无色散。图 4.20 给出了超声波是表面波的证据。这意味着检测频率偏移不是由光谱变化引起，光谱变化是由于检测点远离焊盘时产生色散而引起的。另外，光谱对方向性并不敏感，再一次说明相对于半导体晶向而言，该测量对探测器位置不敏感。

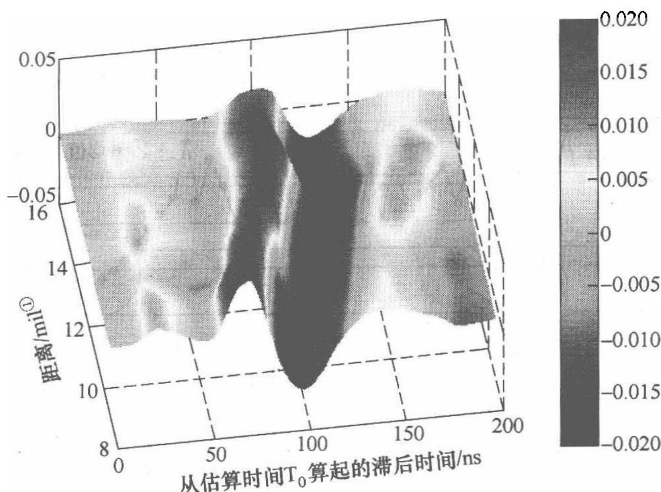



图4.20 不同距离的到达时间测量结果（波形在边缘被处理，间距为到探测器距离，显示了到达时间与距离呈线性关系，纵轴为位置振幅）

① $1\mathrm{mil}=2.54\times10^{-6}\mathrm{m}$。

## 4.6 质量保证

为了实现引线键合质量保证（Quality Assurance，QA），首先要建立其质量标准，然后确保键合产品满足或超过这些标准。两个主要的QA工具是上文所述的键合拉力测试与焊球剪切测试。这些测试方法加上目测，可以保证初始和经过额外处理或热老化的键合强度满足要求。本书4.5节详细描述了引线键合拉力测试与焊球键合剪切测试，而本书4.3节和4.5节描述了在优化给定芯片-管壳/衬底结构和金属化结构的键合机参数过程中如何进行焊球剪切测试。

由于大多数引线键合测试是破坏性的，不可能对所有产品都进行测试，所以必须分组取样，对合格品进行预处理和后处理。预处理和后处理引线键合合格品可用于说明这些标准测试样品（代表性产品）、键合机、键合引线与控制行为从始至终都是一致的。在产品控制过程中，任何的变化都要进行额外的测试。如果某产品在一天的时间里没有任何变化（或稍微的变化），那么通常意义上来说从这天开始到结束，它是满足要求的合格品。每一个合格品的拉力测试和/或剪切测试结果都被记录下来，数据作为键合强度的测试历史值。通常需要制定运行图，并通过之前的数据值设定不同过程的参数极限，引线键合强度运行图的一个例子如图4.21所示。控制过程的所有偏差（超出控制极限）都应该被记录，并分析其产生的根本原因。合格品与检测样品至少应该包括33个引线测量值，才能在统计学上被采纳，强度分布的平均和标准偏差才有统计意义。注意，少量样品可以使用T-集方式，见本书4.9节。

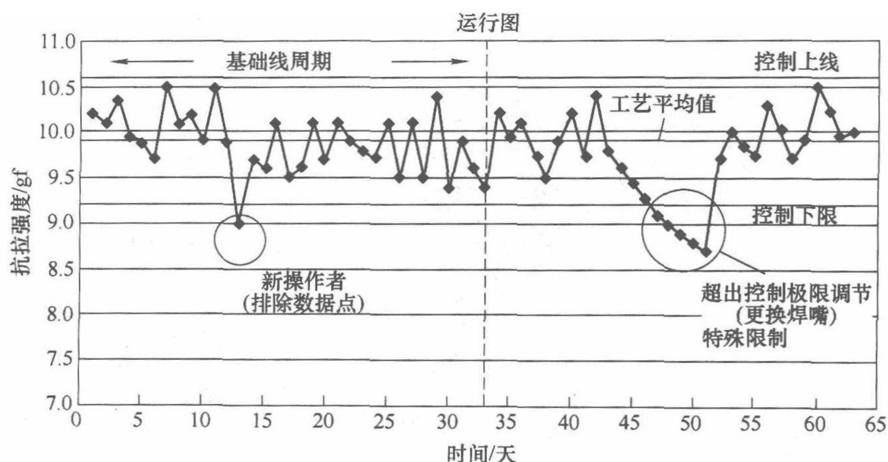



图 4.21　在镀金陶瓷上热超声键合直径为 25.4μm 的金线，破坏性的引线键合拉力测试运行图（过程监控用于设定基准时间极限过程的控制极限，该极限（图中为 ±2gf）比特定的极限值 7.5gf 更加严格（参考 ASTM 标准测试法 F459-06（2006））。此运行图允许产品下降到极限值以下前进行焊嘴磨损鉴定）

除了在控制图上标出平均和标准偏差，也应该根据标准制定强度柱状图来识别双模失效（Bimodality），如由于不同机制导致的失效。由于线长和环高等几何差别导致的双模失效已在上文进行了讨论，所以还需要根据单模失效分布来获得合理的具有统计意义的标准偏差与均值。多数引线键合测试将特定极限值设置在均值与标准偏差之上，如直径为 25μm 的金线其极限值设为：gf，大小等于其分布均值与标准偏差值。Charles 和一些参考文献中已经给出了引线键合测试的全部信息及如何设定极限值，这些文献包括本身就是测试标准的 ASTM 测试参考资料（ASTM 标准 F459-06《微电子引线键合测试抗拉强度标准测试方法》和 ASTM 标准　F1269-06《焊球破坏性剪切测试方法》）。

另一项质量保证是与引线供应商合作交流，以确保获得高质量的引线。该引线要求具有合适的强度，在划过芯片时对芯片损害最小。质量较差的键合引线与几种器件失效模式都有关系，引线键合几何结构对键合强度和质量也有显著影响，必须精确控制接触焊盘的构造与键合高度，以获得高质量的键合。在低轮廓外形键合中，拉力测试显示强度较低（根据力的分辨率），但是实际上键合点与引线都很牢固[39]，其他的几何尺寸影响将在下面的设计章节中详细讨论。

## 4.7　可靠性

在过去的几十年里，引线键合具有高可靠性、很好的柔韧性和高密度互连等特

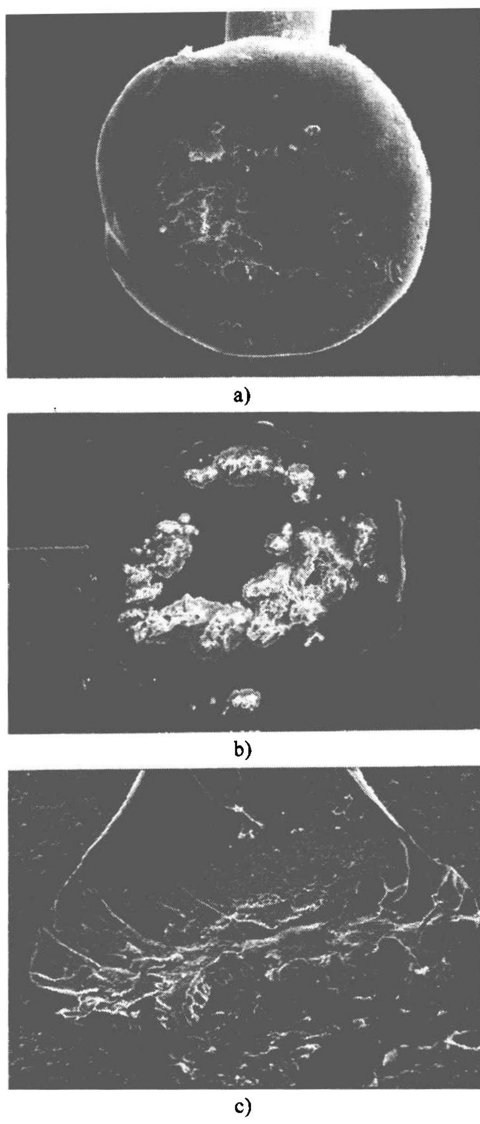
点。实际上，在过去的25年里，引线键合产品正不断应用于太空和其他领域，自动化键合使得控制与精准键合定位达到一个新水平，但是还需要进一步提高微电子产品的可靠性与可重复性。这些自动键合机综合了键合焊盘金相的改进技术，降低了键合引线中不需要的杂质成分，优化了焊盘清洗过程，提高了贴片纯度与稳定性，降低了键合过程温度（超声或热超声），从而拥有了良好可靠性并在目前得到了广泛的应用。实际上，单芯片封装的引线键合缺陷率是很低的，在百万分之几（$10^{-6}$）的范围（如$3\times10^{-6}$）或更低。

引线键合像所有复杂的物理和化学过程一样，如果没有进行严格的控制与试验，或是没有彻底认识其本质，那么就存在影响可靠性的各种因素。一些典型问题包括：由于热和功率循环导致的引线机械疲劳；在成型与后期的恢复过程中化学、力学与封装的相互作用；由于贴片材料、大气和/或相关污染等导致的腐蚀；由于键合参数导致的引线结构改变，如在热影响区域的不可控颗粒生长。Harman所编著的一本书详细讨论了可靠性及其产生的各种问题[38]。在这些问题中，金属间化合物与小凹坑这两个方面值得进一步关注。

### 4.7.1　金属间化合物

引线键合可靠性得到了广泛研究与报道，它很有可能与合金反应有关。该合金反应发生在金线-铝合金键合焊盘界面（也有少部分发生在铝线-金键合焊盘界面）。铝-金合金在键合过程中自然形成，并形成清晰完整的金-铝界面。金属间化合物（特别是$AuAl_2$或紫斑，以及$Au_5Al_2$或白斑）通常很脆，在振动和弯曲（由于热膨胀系数失配所导致的力学或热学方面的）时，由于机械疲劳或应力扩展而断裂，导致键合失效[67]。

在高温下，铝迅速扩散到金中，形成$AuAl_2$相，并在Al-$AuAl_2$界面留下Kirkendall空洞[67]。图4.22给出了各种热超声引线键合条件下（包括球焊与尾部键合）大量的金属间化合物生长的情况，并可在Au-$Au_5Al_2$界面观察到Kirkendall空洞。金属间化合物的过度生长会导致空洞合并，最终导致键合断裂或脱离或及开裂。当温度低于这些相关金属间化合物的形成温度时，引线、金属化焊盘或引线-焊盘界面上的杂质会造成金属间化合物快速生长和Kirkendall空洞[9]。表4.9给出了五种铝-金金属间合金的形成温度、活化能和其他一些说明。如果尽量减少暴露在高温下的时间，并且采用合适的材料与清洗过程，就可以控制金属间化合物的有害影响[86]，具体可参见本书4.4节焊盘清洗方面的内容。通过改进设计规则来控制薄膜成分与厚度可以降低金属空洞的形成[24]。另外，适当优化引线键合过程对金属间化合物的生长也有巨大影响（参见参考文献[25]中所述内容）。



a)

b)

c)

图 4.22 先进的金属间化合物生长 SEM 图片

a）焊球底部区域的金属间化合物空洞（Kirdenball 空洞） b）与图 a 中空洞区对应的键合焊盘上残留的金属间化合物 c）在键合边缘与平坦区的耗尽层，形成了尾部键合与大量金属间化合物，放大率约为 75 倍

表 4.9 铝-金金属间合金性能

| 合金① | 形成温度/℃ | 激活能② | | | 注 释 |
|---|---|---|---|---|---|
| | | /eV | /(kJ/mol⁻¹) | /(kcal/mol⁻¹) | |
| $Au_5Al_2$ | 23 ~ 100 | 0.62 | 59.4 | 14.3 | 棕黄色 |
| $Au_2Al$ | 50 ~ 80 | 1.02 | 98.3 | 23.5 | 金属灰色（斜方晶系，单晶） |

（续）

| 合金[①] | 形成温度/℃ | 激活能[②] | | | 注 释 |
|---|---|---|---|---|---|
| | | /eV | /(kJ/mol$^{-1}$) | /(kcal/mol$^{-1}$) | |
| $AuAl_2$ | 150 | 1.20 | 115.8 | 27.7 | 深紫色（紫斑，电阻率8μΩ·cm） |
| $Au_4Al$ | 约150 | | | | 棕黄色 |
| AuAl | 约250 | | | | 白色 |

① 金属间合金的形成通常按表中顺序（$Au_5Al_2$，…，AuAl），与它们的形成温度相一致。

② 在0.2~1.2eV活化能范围内，根据生长、测试与污染等条件观察不同的铝-金系统。

### 4.7.2 凹坑

如上文所述，凹坑是键合与后续的硅集成电路焊球剪切中一直存在的问题，金属间化合物形成、产生应力、金属层厚度、键合参数与底部绝缘层都对它有影响[25]（Clatterbaugh和Charles，1990年）。为了分离这些影响，进行了一系列与凹坑有关的试验（键合、刻蚀、金属化等）并进行有限元方法（Finite Element Method，FEM）分析，研究结果如下：

1）与剪切测试导致的应变作用相比，焊接区Au-Al扩散导致的应变作用可以忽略；

2）焊接区越小，底部硅层在剪切测试过程中越容易产生凹坑；

3）焊球越高，底部硅层在剪切测试过程中越容易产生凹坑；

4）角落焊接处的应力场与相同半径的连续环形应力场相似。

因此，平坦且具有较大焊接面积的键合在剪切测试中不易产生硅凹坑。

刻蚀试验结果说明，如果键合参数在试验允许的范围内下降，并不会发生由于键合参数不合适导致的裸硅片或硅上$SiO_2$出现裂隙。于是排除了这样一种可能，即由于键合参数不合适导致的初始衬底损伤将诱使焊球剪切产生凹坑。

对于$SiO_2$上的硼磷硅玻璃（Borophosphosilicate Glass，BPSG），所有键合条件都不可避免地会损伤薄玻璃涂层。要防止BPSG薄层中产生裂隙，最好将键合条件设置成降低功率与缩短键合时间，提高键合台温度与加大作用力。这与Koch等人的研究结果（1986年）是一致的。他们研究了键合参数对铝焊盘上磷硅玻璃（Phosphosilicate Glass，PSG）热超声金焊球的影响。

合金厚度试验结果表明，随着厚度增加，焊球剪切导致的凹坑发生率将显著降低。然而，对未处理的引线键合样品刻蚀分析，却没有发现如上所述的初始衬底损伤，于是排除了新生成的金属间化合物能起缓冲作用的可能。一种更可能的解释是在热超声刮擦过程中，多余的金属将阻止金球与铝在底部硅衬底上形成合金。这也可以防止与衬底形成刚性连接，从而将剪切能量转移到底部硅衬底上。

从键合参数对焊球剪切导致的凹坑影响研究可以看出：压力越大，或者说功率参数越大，键合强度越大，则剪切测试过程中越不容易在衬底上形成凹坑。这与焊

点越大，越不容易出现凹坑的结论是一致的。而且，这也与有限元模型结果及之前的数据一致，说明制作更大更坚固的键合更不容易产生凹坑[25]。

1983 年，Weiner 等人报道了在硅和热氧化 $SiO_2$ 中金-铝金属间化合物对凹坑的影响，从这些影响中可以得出一些结论。如上文所述，与那些由于焊球剪切产生的作用相比，因金属相结构不匹配产生的应力作用是次要的。同样，在所有键合参数范围下，没有在 Si 或 $SiO_2$ 中观察到损伤，所以观察到的凹坑效应不是原始衬底损伤引起的。几个事实指出，在焊球与衬底间形成的刚性金属间化合物对所谓的剪切导致的凹坑有重要影响，这些事实包括：

1）在没有热退火的样品中没有出现凹坑（即几乎没有形成金属间化合物，所以在更多能量转移到底部衬底前，将形成铝合金）；

2）对于较厚的金属间化合物，在形成凹坑的开始有延时（需要一个较长的时间周期穿过较厚的金属间化合物和合金层）；

3）对 $SiO_2$ 上的焊盘影响并不显著（Au-Al 金属间化合物对 $SiO_2$ 并不像它对裸硅那样能形成良好键合）；

4）多余形成的化合物将导致焊接面积增加，可能的应力集中被削弱，从而解释了牢固的键合在长期退火后凹坑会减少。

下面总结与凹坑相关的效应，提高焊盘金属层厚度、增加焊接面积（高超声能量与键合台温度）、提高键合平整度（较大应力）可以使在 $SiO_2$ 上的焊盘形成的键合能更有效地阻止剪切导致的凹坑的形成。因为它们可在较低剪切值下形成凹坑，从而可以避免产生弱键合。初步信息表明，对于像 PSG、BPSG 这样的多层氧化物和其他低强度化学气相沉积氧化物上面的键合，需要增加焊盘金属层厚度、降低键合功率、缩短停留时间、提高键合台温度和键合力，从而可形成适当牢固的键合，并减少对底部绝缘层的损伤。

## 4.8　设计（线宽，弧线高度）

如上文所述，自动热超声和超声键合机在世界范围内得到了广泛应用。在它们的帮助下，引线键合实现了全自动化。自动键合机使用图像识别来定位芯片、管壳或衬底上的对准标记。与焊盘相关的参考点位置信息被储存在键合机的存储器中。一旦完成对准，设备将根据程序，以超过每秒 15 个键合点的速度自动键合所有焊点。目前，由于 IC 上的 I/O 数不断增加，焊盘尺寸不断缩小，要求引线键合（即键合设备）保证一定的步速以维持其在芯片互连方面主要的支点地位，I/O 数超过 1000 的芯片已经可以使用引线键合工艺实现常规的互连。I/O 数更多的芯片通常使用两排或更多排焊盘，焊盘边缘宽约 25 ~ 30μm，长约 25 ~ 40μm，每一排的间距小至 35μm。一些引线键合测试芯片有 4 排焊盘，排间距为 40μm，有效线间距为 10μm，如图 4.6 所示。这些非常小的间距使得楔焊-楔焊键合，或是引线直径远小

于 25μm 的球焊-楔焊过程得到广泛应用。在实际生产中，直径小于 15μm 的引线键合已经成为常规的热超声球焊工艺。

过去，球焊标准中要求焊球直径比引线大（远大于或等于 2.5 倍的引线直径），因此有效键合面积必须是引线横截面积的 5～6 倍（见图 4.2）。现在，球焊钉头的直径非常小，接近 25μm（对于直径为 15μm 的引线），所以典型的焊球直径标准要求“焊球”是引线直径 $D$ 的 1.4～1.5 倍。这样的直径将导致有效键合横截面积（引线对焊盘）是引线的 2 倍[12]。而且它必须足够牢固以避免焊球在拉伸测试中剥离。焊球（钉头）直径为 $1.2D$ 的键合工艺也已经用于生产，图 4.23 所示是微间距热超声球焊的 SEM 图片。

以前，在超声键合工艺中，引脚变形是引线直径的 1.5 倍，如图 4.3 所示。现在在微间距应用中，变形减小到引线直径的 1.1～1.2 倍。于是，对相同直径的楔焊-楔焊键合可以靠得更近，从而获得所需的键合尺寸（高度、长度、第一/第二键合点等），它们能通过超声键合机依次完成。图 4.24 所示为微间距超声楔焊键合的 SEM 图片。

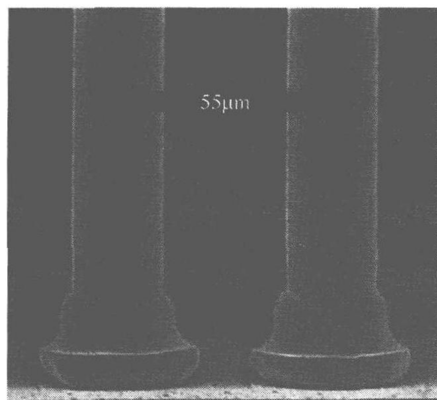



图 4.23　超小间距（55μm）热声球焊扫描电子显微镜（SEM）图片（键合在美国 K&S 公司 8020 型自动球焊机上完成，使用直径为 23μm（0.9mil）金线，焊盘金属化采取在 1μm 厚 $SiO_2$ 上沉积 Al + 1% Si + 2% Cu（图片得到美国 K&S 公司 L. Levine 许可））

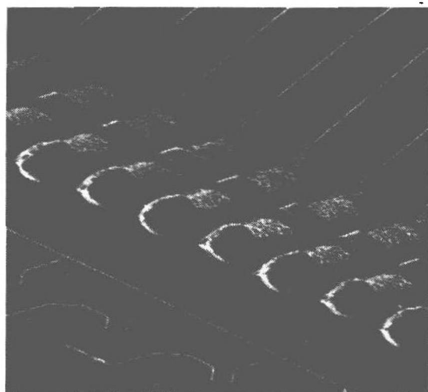


图 4.24　超小间距（40μm）楔焊的扫描电子显微镜（SEM）图片（键合在美国 K&S 公司 8060 型自动球焊机上完成，使用直径为 20μm（0.8mil）金线，焊盘金属化采取在 1μm 厚的 $SiO_2$ 上的 Al + 1% Si + 2% Cu。（图片得到美国 K&S 公司 L. Levine 许可））

现在的封装要求不断对引线尺寸提出新的挑战。这些封装要求不仅有我们看到的多层堆叠焊盘阵列（如图 4.6 所示，如上文讨论的两层、三层或有时使用的四层结构），也有由堆叠封装的扩展带来的小尺寸键合要求。典型的堆叠封装有一个或两个堆叠芯片构成：1）金字塔形；2）相同大小的悬挂芯片。这两种堆叠结构如图 4.25 所示。堆叠需要特殊的引线键合外形和较小的弧线高度。随着芯片厚度

下降，不同叠层键合的弧线间距必须为比例下降，以避免缩短不同引线层的引线长度。顶层弧线也必须保持较低以避免成型过程中引线外露，最高的弧线不能超过芯片厚度，这样才能保证不同引线叠层间存在最优空隙。例如，如果芯片厚度为100μm，最优的弧线高度将是100μm或更小。

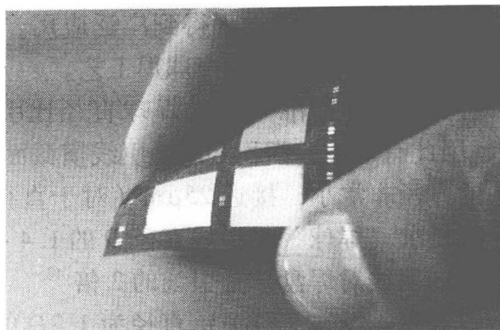


图4.25 薄芯片（厚25.4μm）倒装焊在单层柔性胶带上（厚37μm），每块芯片包含1200个焊点，组装使用合适的底部填充料，经过5000次从-40℃到125℃的高低温循环

在某些情况下需要使用反向键合，即焊球在封装衬底上，而键合尾部在芯片上。在正常球焊过程中，焊球位于芯片的接触焊盘上，引线绕到第二键合点，在衬底或管壳接触点上形成键合尾部或缝型键合。在反向键合中，图钉形凸点位于芯片的接触焊盘处。凸点在芯片上提供一个高度差，并在接下来的键合工艺中承受外力，然后在衬底上的球形焊盘与有凸点的芯片上的键合尾部间进行引线键合。反向键合的弧线高可以小于75μm。在键合力导致芯片弯曲的情况下，悬挂的薄芯片（厚度为50μm以下）需要特殊的键合工艺。在焊嘴接触后，必须延长超声能量的作用时间。

## 4.9 新概念

### 4.9.1 微间距

如本书4.8节所述，微间距球焊与楔焊技术正在快速发展，当大多数球焊产品的间距在100μm及以上时，就已经开始研发间距为90μm的产品。产品间距多数在60~90μm范围内，某些特定应用的间距为60μm及以下（见图4.23）。这时焊点做成瓶颈形或步进式毛细管状以避免损伤临近焊线。目前，大多数键合机的最小间距都限制在35~70μm，这种键合的焊点完全不同于传统球焊。它非常低，像钉帽一样有一个凸点，其直径为引线直径的1.2~1.5倍，钉帽高度较低（通常为5~15μm）使微间距球焊很难被切断。虽然直径为15~20μm的金线更受欢迎，但大多数微间距球焊采用直径为25μm的金线。极小微间距（<60μm）和直径小于25μm的引线与更粗更结实的引线相比，在操作与控制过程中更容易损伤。

微间距阵列引线键合一般采用楔焊，采用直径为10μm的金线制作间距为40μm的楔焊已经实现，也可采用直径为25μm的金线或铝线制作间距为60μm或更大的楔焊。为了实现微间距键合，楔焊形变通常较小（等于线径的1.2倍），同

时需要采用窄锥形楔形工具防止键合过程中损伤引线。图 4.24 所示为间距为 40μm 的楔焊。

微间距键合因缺少即尺寸合适的又能安排好焊盘空间的芯片而受到限制（这样的芯片能充分利用较小的尺寸，实现高密度引线键合）。因为要放置并移动测试探针，导致进一步降低键合焊盘大小与间距受到限制。高频键合（ <60kHz）有利于键合微间距电路[34]。关于高频引线键合的更多细节将在下文给出。

许多问题都与微间距引线键合的实现和使用有关。只有从一开始就精心设计好整个过程（芯片、管壳或衬底、键合设备与键合经验），才能成功实现微间距键合。焊盘大小、位置与形状必须与所选择的键合机、贴片机与工艺、管壳或衬底（电路板）相协调。方形键合焊盘（六边形、圆形焊盘同理）对球焊是适合的，但对楔焊则存在一些限制。理想的楔形焊盘是细长的[66]，但是很少使用。这是因为在键合过程中要灵活采用键合方法，并且自动楔焊机至少比自动球焊机慢两个数量级（楔焊时需要标明键合顶端或样品台来维持楔焊引线对准）。所以，即使降低引线成本（铝线/金线），大批量楔焊产品的成本仍然要比球焊法高。

同时必须意识到，由于增加了系统参数设定、降低了生产效率（通常伴随着较低的键合速度）和产品的易碎性，任何键合工艺降低微间距都将导致成本增加。例如，设计部分描述的反向键合工艺使键合工艺速度降低了 50%。与传统（小间距）的处理过程相比，微间距处理工艺将需花费更加昂贵的设备与工人成本。自动键合机在识别精致图案时需要联合采用最新的设备与最精确的位置控制系统，编程时间越长，工人越需要更好的训练来掌握微间距技术。与传统的小间距键合相比，贴片机在贴片过程中也需要更高的精度。贴片时芯片过度旋转会造成微间距产品的短路问题。例如，地线靠近具有相同弧线高度的功率互连线，损耗清除马上成为芯片旋转的一项功能。随着引线键合间距的下降（尤其是多层焊盘），必须更加仔细地设计封装，以容许最大限度地使用键合工具，同时降低引线互相接触的可能性，或者引线移位导致短路的可能性。最终的设计经验是使管壳和衬底高度与芯片相当，降低分散从而维持较短的引线长度，这些都有利于减小自感和降低注模过程中引线的弧度[79]。铜线在电学性能与机械性能上具有优势，但是如何形成小尺寸铜焊球则需要进一步研究。已经证明直径为 25μm 的铜线可用于间距为 60μm 的引线键合。

采用绝缘线可解决微间距引线键合中引线接触与短路问题。带有合适焊盘帽层金属化的绝缘线容许芯片贴装到基板上，而不用在涂覆层上淀积绝缘层。虽然绝缘键合线技术有 20 多年的历史，但是由于可用性/可靠性问题，从来没有被广泛关注过。这些问题包括毛细管现象产生的表面污染、表现性能不一致，以及较低的二次键合强度。近期开发的引线涂覆工艺（美国 Microbonds 公司，2005 年）使引线包覆成为可能。包覆引线具有明显的优点，包括容许引线靠得很近，相互交叉甚至接触。这些优点能够解决芯片堆叠或高密度引线键合中遇到的引线蜿蜒问题和芯片/

引线短路问题。对于涂层厚度约 0.5μm 直径为 25μm 的金线，能够承受 200V 的高压和 300℃的高温，引线强度与键合能力没有因为涂层而降低，但是可靠性方面还需要更多研究。

### 4.9.2 软衬底

在现代引线键合应用中，软衬底变形经常出现在如下的有机电路板或层结构中：薄膜，无机载体上的多层结构如多芯片模块器件（如 MCM-D）；层压型有机材料结构如印制线路板、MCM-L 和板上芯片结构[17]；芯片组装在非增强型层压板或/和柔性薄膜层。

采用沉积绝缘层与薄金属层的方法可制作 MCM-D。这些沉积层的载体通常是硅，但过去曾经使用过高度抛光的陶瓷。绝缘层材料通常为聚酰亚胺旋涂层，有时也使用 BCB 和其他不常见的聚合物。绝缘层厚度范围为 5 ~ 25μm（或更高），已报道有多达 6 层的结构。金属层可以是金（与铬和钨具有合适的粘附力）、铜（需要合适的粘附层）和铝。除了有机绝缘层较柔软外，金属粘附层也是一个问题，需要仔细处理以保证金属层的完整型，以及与内层的良好粘附性。

为了键合到 MCM-D 结构上，可以采用热声球焊和超声楔焊。键合到 MCM-D 需要考虑两个主要问题：1）焊盘大小；2）焊盘下的柔性层（聚酰亚胺、BCB 等）数目与厚度。在键合力作用下，焊盘会出现弯曲或圆形突起的情况。这种突起是由于有机材料本身的特性引起的，温度升高会使突起更严重，使聚合物变得更柔软。焊盘面积小，在其上施加负载，会使小焊盘对这种突起或弯曲更加敏感。Takeda 等人研究了键合力与超声波能量对焊盘变形的影响[78]。其结果表明，在中等键合压力（压力范围高值）与超声能量键合条件下，铜薄层（位于聚酰亚胺柔性电路板上）上中等大小金焊盘的变形高达 20μm。他们也证实对所有的键合条件，使用镍衬垫能将变形减少到 10μm。其他研究者也注意到相似的变形，但是变形总量较小。例如我们在研究中发现，在给定键合压力下变形量随着有机层厚度的提高而增加，焊盘增强结构和层间金属化有利于减小变形。同样地，在所有样品中，随着键合压力降低，变形会显著减小，但是与样品厚度变化几乎无关。

除了非增强型衬底材料，MCM-L 和 COB 都能使用纤维增强有机基板材料，如聚酰亚胺和环氧树脂。虽然已经使用了 Kevlar（凯芙拉）、石英和 Aramid 这样的材料，但增强纤维通常选用玻璃。有时高频电路构建在非纤维增强的基板上，如 Teflon（特氟龙），基板介电常数非常低。大多数层压工艺使用铜合金，通过镀一层薄金（金层下常有镍层）保护起来。这样的金属与绝缘层的厚度都比 MCM-D 工艺的大，金属要大 5 个数量级，绝缘层至少要大一个数量级。

另一些 MCM-L 产品使用纤维增强核，且在其表面没有未固化的环氧树脂层[37]。该结构能利用多种金属化结构方案，并同时采用薄膜沉积（如 MCM-D）印制线路板（PWB）工艺来实现图案化。通孔可通过电镀或填充导电有机树脂进

行填孔[35]。

在球栅阵列封装（Ball-Grid Array，BGA）与芯片级封装（Chip-Scale Package，CSP）中，都要求引线键合到 MCM-L 衬底上。它们与键合到用于做衬底的 PWB 非常相似，衬底由纤维增强树脂叠压而成（如聚酰亚胺、环氧树脂-玻璃）。有时在 COB 应用中需要直接键合到 PWB 上。到标准的 PWB 纤维增强型叠压衬底上的键合仍然存在许多问题。这还不包括因为焊盘尺寸减小，有机层未固化，现在的 MCM-L、BGA 和 CSP 衬底工艺中会建立的不同通孔结构，以及 IC 再分配层而带来的一些新问题。在 COB 中，会使用铝线楔焊和热超声金球焊。楔形键合由于无需额外加热衬底而得到广泛使用。大 COB 装配结构容易弯曲，并且在加热到接近其玻璃化转变温度（$T_g$）时可能变软。FR-4（环氧树脂-玻璃）电路板的 $T_g$ 在120℃左右，而聚酰亚胺基板的 $T_g$ 超过250℃。如果合适地固定衬底，且底部基座适合大面积装配，那么合成树脂在如此高温下就可以进行热超声键合。成功的热超声键合可在100～110℃以下进行，因此即使是 FR-4 也可以键合。即使 COB 圆台有较厚的镀金层（一般为17～35μm），引线键合也会出现异常，特别是当焊盘收缩时。键合到 BGA 和 CSP 柔性衬底常采用金焊球键合，因为需要控制键合形状，而且非常靠近芯片边缘的键合要保证封装外形尽可能小。由于衬底面积和厚度都较小，在键合过程中需要更加小心。

除了柔性和软性衬底，还有另外两个不同的键合衬底：衬底减薄片和堆叠衬底片（减薄或没有减薄）。衬底减薄片早已出现，尤其是在微波应用中。GaAs 微波器件为了获得更好的散热性能要求减薄到100μm 或以下。GaAs 对键合凹坑和应力导致的电学缺陷比硅片敏感，对硅片凹坑的具体研究可参见 Clatterbaugh 和 Charles 等人的文章（参考文献［25］），GaAs 要比 Si 弱两个数量级。与凹坑关系密切的两个主要的材料性能是硬度与断裂强度。硬度用来测量对变形的抵抗力，而断裂强度用来测量已出现的微隙扩展所需的能量。GaAs 维氏硬度为（6.9±0.6）GPa，而 Si 为（11.7±1.5）GPa。在相似的纹理结构下，GaAs 与 Si 的断裂强度分别为 1.0J/m$^2$ 和 2.1J/m$^2$。硅衬底减薄片贴装在柔性电路板上，已出现了硅衬底薄至25μm 的芯片集成电路。图4.25 给出了厚度为25μm 的衬底减薄片贴装在柔性板上的例子。因为衬底很薄而且柔性板很软使得引线键合非常困难。正在开发技术使这些超薄结构的引线键合成为可能。到目前为止，大多数组装采用倒装芯片技术（如使用回流焊的贴片工艺，2004 年 Banda 等人）。

硅片堆叠本身就存在问题（见图4.26）。但一般情况下，该问题涉及给定器件封装中的多层结构，而这种封装由于空间紧密会出现交叉引线键合。此外，有时候必须在芯片上进行键合，一个芯片悬挂在另一个芯片上，而在焊盘区没有任何机械支持结构。仔细固定和控制键合参数（简化压力、功率、频率与温度设置），就可以成功实现多达六层芯片的堆叠结构键合。关于堆叠芯片引线键合的详细讨论超出了本书的范畴，有兴趣的读者可参考 Yao 等人的专著（参考文献［88］）。

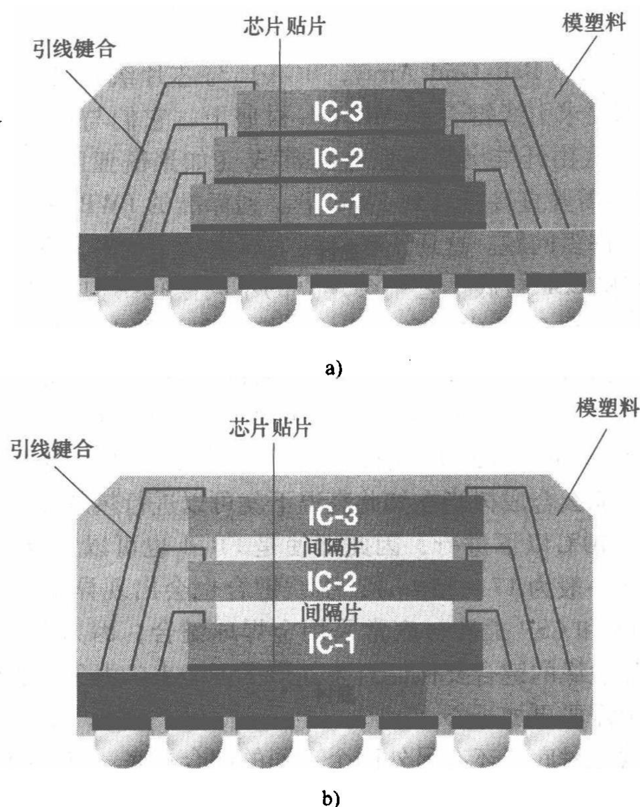



图 4.26 芯片堆叠封装

a）金字塔型堆叠 b）悬挂堆叠

## 4.9.3 高频键合

目前，世界上多数键合机都使用超声发生器和变频器，变频器控制在 60kHz。基于对键合控制过程中微电子装配性与稳定性的考虑，变频器（键合顶端）的规格早在几十年前就选定为 60kHz[38]，引线固定中也使用 25 ~ 300kHz 的范围频率，但已有报道频率为 0.1[87] ~ 1MHz[53] 之间的超声波用于焊接和材料软化。现在很多研究者更关注高频键合，通过在低温下使用更高频率的超声波在更短时间内获得更好的焊接[69,75,82,40,44,34]。这也说明高频键合能够提高柔性聚合物上焊盘的键合性能。这些柔性聚合物包括 Teflon、未固化的聚酰亚胺和柔性电路板等。如果在特定情况下可实现上述所有改进，则不必进行控制研究（系统研究在相同衬底下控制除频率之外的变量）。以下材料摘录自相关研究（参考文献［20，21］）。

研究中使用了三种金属化结构：1）带有 Ti/TiN 粘附层的 Al（纯度 99.99%）；2）Al 掺加 1% 硅合金（Al + 1% Si），同样有 Ti/TiN 粘附层；3）带有 TiW 粘附层的 Au。在硅片上溅射沉积 1 ~ 2μm 厚的键合金属焊盘形成层，硅圆片为 p 型，电

阻率在 30 ~ 50Ω · cm 之间。在沉积金属或旋涂聚酰亚胺前，硅圆片热氧化形成 1μm 厚的 $SiO_2$，聚酰亚胺层厚度为 5 ~ 20μm，Au 也是沉积在抛光的陶瓷衬底（99.6%纯氧化铝）上。

在每层金属层上光刻制备出不同的测试图形结构[16,18]，图形包括：不同大小的键合阵列（150 ~ 25μm 方形）；含有差不多 650 个引线键合的菊花型阵列图案，这些引线键合电阻占电路总电阻的 60%；以及用来测试振动与变形的星形分布图案。

研究中所有的引线键合采用两台半自动热声球焊机（美国 Marpet Enterprises 公司 827 型）完成，并使用负电子湮灭来均匀控制焊球大小使用（美国 Uthe Technology 公司 228-1 型变频器）。调整火焰大小使其产生直径为（60 ±2）μm 的焊球，如图 4.10 所示。采用直径为 15μm 的引线可以形成直径为 22μm 的焊球。用一台美国 Marpet Interprises 公司的 827 型引线键合机配备一台美国 Uthe Technology 公司的 25ST 型（64.1kHz）变频器（该变频器通过标准的美国 Uthe Technology 公司的 10G 超声波发生器驱动）。其他的美国 Marpet Interprises 公司的 827 型引线键合机配备美国 Uthe Technology 公司的 4ST 型（99.5kHz）变频器（通过调频 100kHz 的美国 Uthe Technology 公司的 10G 发生器驱动）。由于美国 Uthe Technology 公司的 25ST 型变频器的频率远大于美国 Uthe Technology 公司的 4ST 型变频器，为了使两台变频器的波形相似，使用了一台低频 60kHz 的美国 Uthe Technology 公司的 17STL 型（63.1kHz）变频器。文前已经给出了变频器特点的比较[18]。拥挤排列的焊球尺寸十分均匀，其直径大小因衬底不同在 76 ~ 82μm 的范围变化。

该项研究获得了大量试验数据，主要发现包括以下几点：60kHz 和 100kHz 下的键合存在显著差别；除了两种频率下变频器电磁波形的差别外，键合机的优化行为也不相同。与 100kHz 系统相比，60kHz 系统具有较大的键合工艺窗口。换言之，在给定外力与衬底温度下，能在较大范围的超声波功率与稳定时间内实现良好键合（牢固，且无过键合或线损伤）。除了小于 60kHz 的之外，频率为 100kHz 的键合工艺窗口更加狭窄。换言之，与 60kHz 系统相比，从可接受的键合开始，到无法键合或过键合状态，与工艺窗口边缘相关的超声波功率或/和稳定时间的变化范围较小。虽然键合工艺窗口较小且非常狭窄，但是 100kHz 系统也有其独特的优点，如形成牢固键合的时间比 60kHz 系统要少 30% ~60%。比较两个键合系统及其波形，说明 100kHz 系统具有更快的键合上升与下降时间，同时电压（或电流）峰值更加稳定。切换到规格与 100kHz 变频器相似的低频 60kHz 变频器，可产生与 100kHz 变频器相似的超声驱动参数（电压和电流）。

抛光陶瓷上金层的剪切应力测试数据表明，优化的 100kHz 系统比 60kHz 系统能产生更强的键合（见表 4.10）。从表 4.10 和 4.11 可以看出，这种差别是由于焊球平均尺寸（无论键合前或键合后）导致的，在 60kHz 和 100kHz 两种系统下其影响基本一样。对 Al +1% Si（$SiO_2$ 层上）进行数据分析，结果显示 60kHz 的键合更

强。虽然两种频率下测试结果的差别非常小（小于7%），然而当分析不同的工艺时，这种差别在99%的置信水平下是非常显著的。在焊球粘贴到集成电路芯片(Al+1%Si)时观察到了相似的结果，焊球剪切应力测试与引线键合拉力测试在60kHz系统中具有较小的边界。虽然该数据设定相对较小，但是，当采用不同的分析技术时，在99%的置信水平下其结果是显著的。不同合金的焊球的剪切强度与频率无关，但互相的差别相对较大，具有重要意义。在金层上键合通常比Al+1%Si合金上键合的强度要大，很多研究得出了相同的结果[12]（1986年Charles和1999年Charles等人）。

**表4.10 60kHz和100kHz下金和铝（含1%硅）线的热超声球焊剪切强度** （单位：gf）①

| 金　属 | 60kHz | 100kHz | Δ平均 | 有效性② |
|---|---|---|---|---|
| Au（陶瓷上） | 68.4±3.7 | 84.8±6.5 | 16.4 | 是（高） |
| Al+1%Si（硅上） | 54.0±3.2 | 50.6±2.9 | 3.4 | 是 |
| Δ平均 | 14 | 34.2 | | |
| 有效性② | 是（高） | 是（高） | | |

① 每一个频率下的样品数量是100。
② 在均值差异显著的情况下，有99%的置信度，使用F-test幅值变化分析。

**表4.11 60kHz和100kHzb下金和铝（1%硅）层上的金线超声球焊平均直径①** （单位：μm）②

| 金　属 | 60kHz | 100kHz | Δ平均 | 有效性③ |
|---|---|---|---|---|
| Au | 89.1±4.0 | 88.3±2.9 | 0.8 | 无 |
| Al+1%Si（硅上） | 91.3±2.3 | 92.0±2.0 | 0.7 | 无 |
| Δ平均 | 2.2 | 3.7 | | |
| 有效性 | 是 | 是 | | |

① 平均直径$=\frac{1}{n}\sum_{l}^{n}[(X_i+Y_i)/2]$。
② 每种频率下的样品数是100。
③ 在均值差异显著的情况下，有99%的置信度，使用F-test幅值变化分析。

研究还发现了含合金层球焊的其他区别，如对称性。平均焊球直径［($x$方向$+y$方向)/2］与频率无关（见表4.11）。焊球平均直径的任何变化，即使是金属层间的变化（见表4.11），也可以通过不同实验下焊球的变化得到解释。另一方面，$x$方向与$y$方向上的测量差别是十分显著的，并与合金类型有关（见表4.12）。在金层上，预制焊球直径在超声清洗方向或$y$方向上比垂直的非清洗方向上（$x$方向）要大；60kHz和100kHz下具有相同的结果。在Al+1%Si上，对于频率为60kHz和100kHz的键合系统，非清洗方向（$x$方向）比$y$方向要大一个数量级。

纯铝合金层中也有类似的现象，其原因还不十分清楚，但认为与焊接形成过程的动态行为有关。在金层上，金线与金焊盘材料只能相互扩散。在铝和铝合金上，形成 Au-Al 化合物是键合过程的关键。在铝和铝合金层上，形成相对较硬的合金可能会阻止清洗方向上的键合；而在金（相对柔软）层上，键合会在清洗方向上完全展开。

**表 4.12　在 60kHz 和 100kHz 下，与射向金和 Al+1%Si 的金属层的超声波的方向垂直（x 方向）和平行（y 方向）的金超声球焊直径　（单位：μm）①**

| 金属 | 频率 | x 方向 | y 方向 | Δ 平均 | 有效性② |
|---|---|---|---|---|---|
| Au（陶瓷上） | 60kHz | 84.9 ±4.8 | 93.2 ±5.2 | 8.3 | 是（高） |
| | 100kHz | 82.8 ±3.4 | 93.8 ±4.0 | 11.0 | 是（高） |
| Al+1%Si（硅上） | 60kHz | 93.9 ±2.9 | 88.7 ±3.4 | 5.2 | 是（高） |
| | 100kHz | 98.7 ±2.8 | 85.4 ±2.6 | 13.3 | 是（高） |

① 每种频率下的样品数为 100。

② 在均值差异显著的情况下，有 99% 的置信度，使用 F-test 幅值变化分析。

表 4.13 给出了 60kHz 和 100kHz 键合样品老化（150℃ ×120h）后的结果。150℃下的老化对提高封装键合质量与可靠性非常有利[16]，不会出现由衬底相互作用和其他热现象引起的负面影响。表 4.13 再次说明，与硅衬底上镀金和陶瓷上镀金比在金层上使用 100kHz 的键合能显著提高剪切强度，结果列于表 4.10。在 Al+1%Si 合金层上，60kHz 和 100kHz 两种频率对应的差别极小，与表 4.10 显示的结果相一致。虽然在这种情况下，这种区别在统计学上 99% 置信水平下的意义不大。键合到金层上的剪切强度远大于键合到 Al+1%Si 合金层上的。在两种合金层上的差别是非常明显的，上述结果仍然没有考虑键合频率的影响。老化后，金层上键合的剪切强度在两种频率下没有本质变化。Al+1%Si 合金层上的键合强度在两种频率下都显著增加，100kHz 下在金层上产生较强的键合强度，而 60kHz 下在 Al+1% Si 层上显示出较弱的键合强度；老化后，Al+1%Si 合金层上的键合强度会增加，与之前报道的老化后强度增加的结论相同[14]。但是在这些特定的试验中，强度增加的起始点在预键合条件下需要很长的时间。

**表 4.13　热老化后，在 60kHz 和 100kHz 下分别在金和铝（1%硅）层上键合的金超声球焊剪切强度　（单位：gf）①**

| 金　属 | 老　化② | 60kHz | 100kHz | Δ 平均 | 有效性③ |
|---|---|---|---|---|---|
| Au（陶瓷上） | 否 | 81.4 ±4.6 | 97.4 ±3.7 | 16.0 | 是（高） |
| | 是 | 82.1 ±3.3 | 96.4 ±4.6 | 14.3 | 是（高） |
| Δ 平均 | | 0.7 | 1.0 | | |
| 有效性 | | 无 | 无 | | |

（续）

| 金　属 | 老　化② | 60kHz | 100kHz | Δ平均 | 有效性③ |
|---|---|---|---|---|---|
| Al+1%Si（硅上） | 否 | 47.0±3.7 | 46.5±4.3 | 0.5 | 无 |
| | 是 | 57.8±3.3 | 56.1±4.1 | 1.7 | 是（低） |
| Δ平均 | | 10.8 | 9.6 | | |
| 有效性 | | 是（高） | 是（高） | | |

① 每种频率下的样品数是100。

② 在150℃下老化120h。

③ 在均值差异显著的情况下，有99%的置信度，使用F-test幅值变化分析。

### 4.9.4 螺栓凸点技术

选择倒装芯片工艺必须充分利用引线键合产生的凸点，这些选择项包括“螺栓凸点与胶粘贴”工艺，它们使用标准或各向异性的导电粘附层，如图4.27所示。

在螺栓凸点与粘胶贴片工艺中，单个终端通过热超声引线键合，使用特殊键合引线的自动引线键合机定位于芯片焊盘处（见表4.3），然后使用键合机上的特殊工具将焊球制作或固定在一个均匀的高度。螺栓凸点芯片被挤压在涂有薄导电粘附层的平板上。当芯片从平板上脱离时，少量导电粘附层粘在凸点上。然后将芯片置于相应的基板焊盘上，固化粘附层，得到的几何结构如图4.27所示。在另一个方法中，环氧树脂可以通过丝网印制或自动配料预制在衬底焊盘上。

各向异性粘附层是将一种导电小颗粒掺入不导电的有机基质中，凸点芯片向下压入粘附层。在凸点与匹配焊盘间沾上少量导电颗粒，当粘附层固化后就形成了电学互连。另外，在芯片与基板间区域硬化后，也形成了机械互连。所以，粘附层也起到底部填充料（underfill）的作用[43]。图4.27所示为这种情况，同时提供了各向异性粘附层中导电颗粒的可能结构。

### 4.9.5 极高温环境

对于IC和其他在较大温度范围下应用的器件而言，引线键合是一种有效的引线互连方式。实际上，如果选择合适的材料，在低于-200℃到超过500℃的温度下的，封装芯片与其他电子元器件都能够使用引线键合互连方式。这样的温度范围已在实际应用中出现，并将在未来更加频繁地出现，包括外太空、油井与地热井、火箭与飞机引擎，以及一些汽车引擎的设备上。因此，必须改变现在使用的标准互连材料，以适应高温和低温等恶劣环境要求。通常使用的Al-Au引线键合应用于多数IC中，据报道在高温下也是可行的（Harman，2007年）。但是因为金属间化合物脆性大和Kirkendall空洞[67]的问题，高温环境的温度必须低于200℃。塑料封装微电路中的Au-Al键合应用于太空下的真空环境，Teverovsky的研究显示其在225℃下的平均寿命为700h[80]。

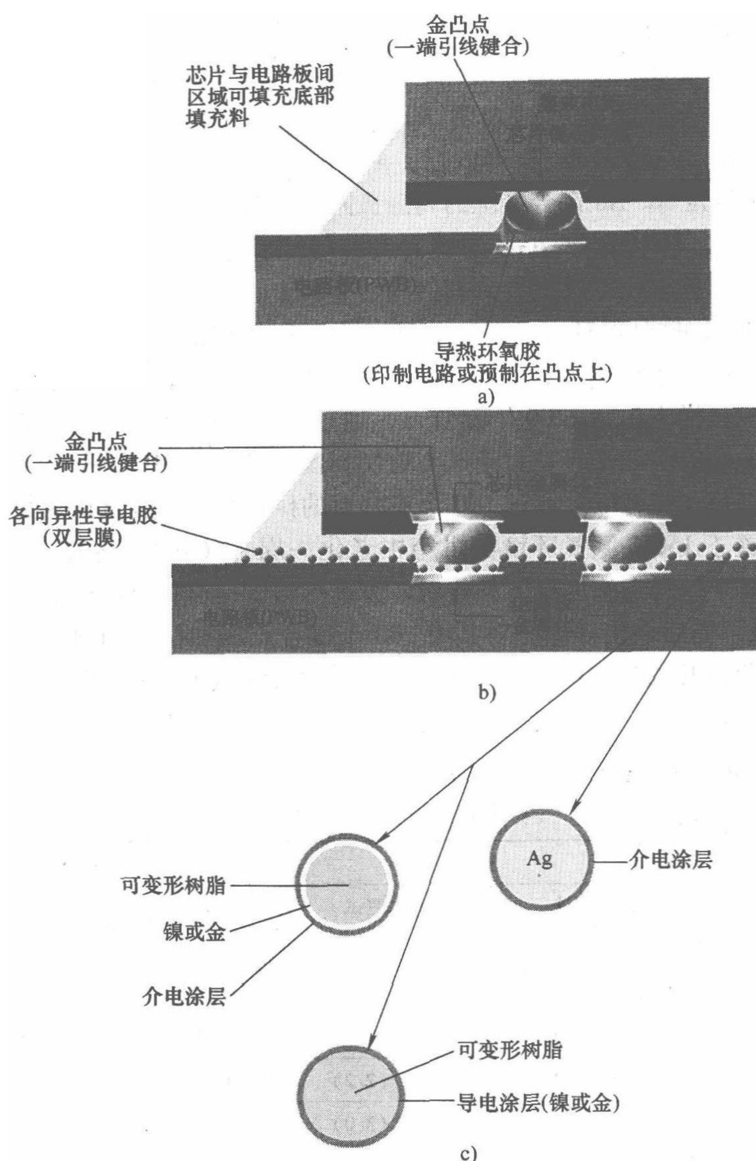



图 4.27　400℃下老化 168h 后金焊盘上键合区域放大图（焊盘材料采用大规模自组装（build-up）工艺，SEM 图（放大率接近 200 倍））

引线生产商已经开始改变键合引线成分，以减小不可控的金属间化合物生长与空洞的形成。根据以前的经验，要求杂质含量控制在 $10^{-6}$ 以下，但是在这些新开发的引线中，杂质含量已超过 $100\times10^{-6}$。含量为 1% 的钯合金是比较常见的，尤其是在凸点工艺中。有研究报道（Breach 等人，2004 年）指出，这些引线的电阻能显著增加直到电互连失效（具有较长寿命），但是仍不能长时间可靠地在高温环境下工作。所以当温度超过 200℃下，不应该使用 Al-Au 互连系统。

单金属系统，例如 Au-Au 或 Al-Al，在高温应用与操作下具有更高的可靠性。实际上，Au-Au 界面强度会随着键合时间与温度的增加而增加[46]。

在过去几年里，高温测试表明 Au-Au 界面在超过 200℃ 时仍能牢固粘接。Benoit等人指出，在 350℃ 加热 300h 后，Au-Au 系统仍具有极好的特性。他们最近的试验是为了确定 Au-Au 键合系统的高温极限。之前报道了该项研究中所使用的引线键合测试方案[16]，使用两种不同的衬底：1）高阻裸硅片（50Ω · cm）；2）含 $SiO_2$ 层的硅片。裸硅片直接键合到器件与传感器上，其焊盘与底层的硅接触；$SiO_2$ 上的焊盘与 IC 上的焊盘对应。在这些试验中，所使用的合金层是溅射金与 Ti-W 粘附层，金层厚度接近 2μm，而 Ti-W 层厚 0.05μm，通过传统的光刻工艺形成图案。每一个测试样本包括 1200 个键合点，通过几个不同的测试样本获得每一种类型的平均值，通过引线键合拉力测试与剪切强度测试估计键合与引线质量。热测试按如下步骤进行：键合好后测试 100 个键合点的拉伸和剪切强度以建立基准线；然后所有样品置于 150℃ 氮气环境的烘箱中老化一周（168h）；老化后，取出样品，对其中的 100 个键合点施加拉力和剪切应力进行测试；再将测试样品放入烘箱，在 200℃ 下老化一周后取出样品，对其中 100 个键合点施加拉力和剪切应力测试；将下一次的老化温度提高 50℃ 依次循环；在 550℃ 时终止该过程。测试结果列于表 4.14。

**表 4.14　热老化引线键合测试结果**（在有 Ti-W 粘附层的金焊盘上金热超声引线键合（拉力测试与剪切测试结果））　（单位：gf）

| 样品老化条件 | Si | | $Si+SiO_2$ | |
|---|---|---|---|---|
| | 拉力测试 | 剪切测试 | 拉力测试 | 剪切测试 |
| 刚键合后 | 12.3 (1.9)① | 54.0 (2.7) | 12.5 (1.0) | 62.5 (3.5) |
| 150℃② | 12.5 (1.0) | 60.9 (2.8) | 12.3 (0.8) | 58.0 (4.2) |
| 200℃ | 13.9 (0.9) | 60.7 (2.7) | 14.0 (0.7) | 64.0 (3.8) |
| 250℃ | 12.5 (0.7) | 57.6 (2.2) | 12.5 (0.7) | 62.2 (5.3) |
| 300℃ | 11.3 (0.7) | 56.1 (3.0) | 11.2 (0.8) | 57.4 (4.0) |
| 350℃ | 11.1 (0.8)③ | 57.2 (3.7)③ | 11.3 (0.9) | 57.1 (4.3) |
| 400℃ | | | 10.9 (1.0) | 63.3 (5.1) |
| 450℃ | | | 10.6 (1.0) | 59.7 (5.3) |
| 500℃ | | | 10.2 (1.1)④ | 57.5 (4.9)④ |
| 550℃ | | | | |

① 括号中给出了标准差。

② 样品在 150℃ 下老化 168h，每一个合格样品不仅经历了一周的处理时间，也接受表中所有的处理过程。

③ 不规则的金属迁移，测试终止。

④ 金属脱离，测试终止。

从表 4.14 可以得出，在高达 350℃ 的温度下热老化的样品具有较好的一致性和键合拉力测试与剪切测试结果。在 400℃ 下老化的裸硅片上的引线显示出反常效应（将在下文讨论），硅片上的测试中断；继续测试 $SiO_2$ 上的样品，到至少 500℃ 都得到较一致的结果；在 550℃ 时，开始出现金属剥离，测试终止。

硅片上金焊盘/金线的反常如图 4.28 所示的 SEM 图，引线变细、变脆，焊盘上沉积的合金层（金）断裂（见图 4.29）。作者首次遇到这种现象，没有合适的机制可以解释它，但在某种程度上它与合金层图案有关（容易在具有较大带尾的焊盘上形成沉积，而不是在较圆滑小焊球上）。作者使用有限的样品数重复该实验，关注的重点依旧是高温区域的表现，结果（见表 4.15）与表 4.14 一致。

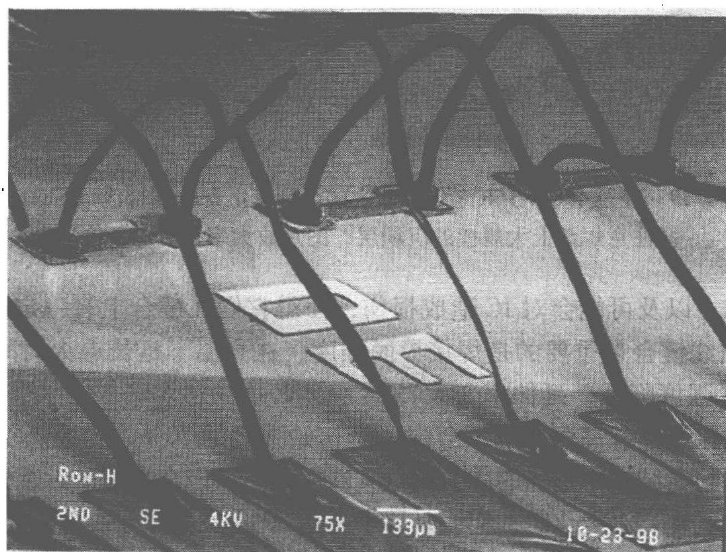



图 4.28　硅片上与金焊盘热超声键合的 25.4μm 金线高温失效 SEM 图（放大率接近 75 倍）

硅片上的实验限制在 350℃ 下，而 $SiO_2$ 上的引线键合在 500℃ 或更高温度下还是牢固的。在彻底理解所描述的现象前，对硅片上直接沉积的金焊盘上引线键合加上超过 350℃ 的温度都必须非常小心。而 $SiO_2$ 上超过 500℃ 的 Au-Au 键合可能会随粘附材料和/或厚度的不同而变化。

虽然作者没有详细研究 Al-Al 键合，但一些文献中有可靠的证据表明（Harman，2007 年），其界面在较高温度下也是比较牢固的。Al 的熔点是 660℃（Au 为 1060℃），其应用与 Au 相比受到更多限制。Al-Al 界面在 350℃ 下老化 300h 依然牢固（Harman，2007 年）。对于更高温的使用环境，应该使用单金属焊接或能保持固态状态的材料（如金和其他贵重金属）。Al-Ni 系统在高温下也很牢固，应该可用于高温器件。掺镁的铝线能有效抵抗功率循环带来的疲劳失效。其他引线如钯和铂线在高温环境下也有成功的应用案例。虽然它们具有较高的硬度（为 Au 的

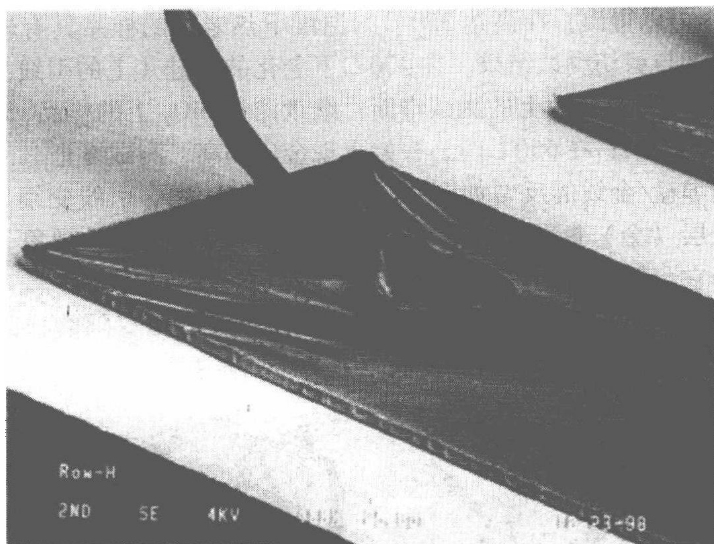



图4.29 经过400℃ 16h老化后放大的金焊盘上键合端部区域SEM图
（注意焊盘上大规模的沉积层，图片放大率接近200倍）

1.5~2.0倍），以及可能会对IC造成损伤，使得它们在键合上有一定困难。

高温下引线键合最重要的是焊接界面强度，在高温下延长退火时间会导致引线的二次效应（强度降低，延伸率变大）。

铝线长时间暴露在高温环境下会损失其初始强度的70%，但是不会引起可靠性的问题，除非封装结构中施加的应力超过其断裂极限，但在目前的封装条件下，这种情况很少发生。在高温老化时，铝线延展率高达30%，但是同样不会影响到可靠性。

金线非常稳定，在高温下退火使其强度与延展性受高温影响较小。在适当环境下，Au-Au界面至少在500℃下依然是牢固和稳定的。

虽然在高温下长时间退火后，合金界面是稳定的，但是当经受较大范围的高低温循环变化（$\Delta T$）时，这些引线的疲劳问题将十分严重。大$\Delta T$环境在太空、油井、发动机和某些控制环境（功率循环）中十分普遍。$\Delta T$在这些环境下能从200℃变化到超过500℃，在特殊应用中低温环境为-140℃，高温环境超过350~400℃。目前，几乎没有平均温度较高的情况下经历温度循环后的引线键合疲劳测试数据。Benoit等人研究了300℃退火后的引线室温下的疲劳失效[7]，发现退火后的引线比没有退火的引线失效更快。该领域需要开展更多的研究工作，以保证引线键合在高温和大$\Delta T$环境下的可靠性。

## 4.10 总结

引线键合一直是初级芯片互连中最受关注的问题，世界上超过90%的芯片封

装采用引线键合。由于体积小、柔韧和成本低，引线键合将在下一个十年或更长时间里继续作为芯片互连的主要方式。引线键合使用不同的引线与焊盘冶金学方式，通过三个基本的工艺步骤完成。引线键合是牢固的，在刚性衬底上显示出极高的可靠性（失效率在 $10^{-6}$ 的数量级）；键合到柔性衬底或小焊盘上时，则面临非传统冶金方式与堆叠组件提出的挑战。即使面临着这些挑战，但是通过对键合过程的深入了解和操作过程的合理控制，引线键合可以获得较高的可靠性并大量生产。目前，引线键合技术不断创新前进，包括自动化技术发展、焊接动力学改进、引线与焊盘冶金学改善、清洗方法优化及对键合技术更加深入和全面的了解等。极端温度下的引线键合研究工作也已开始，如金线-金焊盘界面可承受高达700℃（-200～500℃）的温差变化。

## 致谢

约翰斯霍普金斯大学应用物理实验室（Johns Hopkins University Applied Physics Laboratory，作者非常感谢 JHP/APL）技术服务部工程制作部门在样品制作与测试方面的支持和帮助，特别感谢 Angalene Sutton 女士在手稿准备方面的付出。

## 参考文献

1. ASTM Standard Test Method: F458-06 (2006), “Standard Non-Destructive Pull Testing of Wire Bonds,” in Annual Listing of ASTM Standards, ASTM International West Conshohocken, Pennsylvania, USA
2. ASTM Standard Test method: F459-06(2006), “Standard Test Methods for Measuring Pull Strength of Microelectronic Wire Bonds” in Annual Listing of ASTM Standards ASTM International, West Conshohocken, PA, USA
3. ASTM Standard Test Method: F1269-06(2006), “Test Method for Destructive Shear Testing of Ball Bonds,” in Annual Listing of ASTM Standards, ASTM International West Conshohocken, Pennsylvania, USA
4. Banda, C. V., Mountain, D. J., Charles, Jr., H. K., Lehtonen, J. S., Keeney, A. C., Johnson, R. W., Zhang, T., and Hou, Z. “Development of Ultra-thin Flip Chip Assemblies for Low Profile SiP Applications,” in Proc. 37th Int. Microelectronics Symposium, Long Beach, CA, pp. 551–555 (2004)
5. Banda, C.V., Johnson, R.W., Zhang, T., Hou, Z., and Charles, Jr., H.K. “Flip Chip Assembly of Silicon Die on Flex Substrates” IEEE Trans on Electronic Packaging Manufacturing, Vol. 31, No. 1, pp 1–8, (2008)
6. Bardeen, J. and Brattain, W. H. “The Transistor, A Semiconductor Triode,” Physical Review, 74, 230 (1948)
7. Benoit, J., Chen, S., Grzybowski, R., Lin, S., Jain, R., and McClusky, P., “Wire Bond Metallurgy for High Temperature Electronics” Proc. 4th International High TemperatureElectronics Conference, Albuqyerque, NM, pp 109–113 (1998)
8. Bischoff, A., Aldinger, F., and Heraeus, W. “Reliability Criteria of New Low Cost Materials for Bonding Wires and Substrates,” in Proc. 34th Electronic Components Conference, New Orleans, Louisiana, USA, pp. 411–417 (1984)
9. Breach, C., Wulff, W., Ditter, K., Calpito, D. R., Garnier, M., Boillot, V., and Wei, T. C., “Reliability and Failure Analysis of Gold Ball Bonds in Fine and Ultra-fine Pitch Applications”, Proceedings of Semicon Singapore, pp. 1–10 (2004)

10. Charles, Jr., H. K., Romenesko, B. M., Uy, O. M., Bush, A. G., and Von Briesen, R. "Hybrid Wirebond Testing – Variables Influencing Bond Strength and Reliability," The International Journal for Hybrid Microelectronics 5(1), 260–269 (1982a)
11. Charles, Jr., H. K., Romenesko, B. M., Wagner, G. D., Benson, R. C., and Uy, O. M. "The influence of contamination on aluminum-gold intermetallics," in Proc. Int. Reliability Physics Symposium, San Diego, California, USA pp. 128–139 (1982b)
12. Charles, Jr., H. K., Clatterbaugh, G. V., and Weiner, J. A. "The Ball Bond Shear Test: Its Methodology and Application," in Gupta D C (ed), Semiconductor Processing, ASTM STP 850, 429–457 (1984)
13. Charles, Jr., H. K. "Ball Bond Shearing: An Interlaboratory Comparison," in Proc. International Microelectronics Symposium, Atlanta, GA, pp. 265–274 (1986)
14. Charles, Jr., H. K. and Clatterbaugh, G. V. "Thin Film Hybrids.," in Minges M L. (ed), Electronic Materials Handbook, Vol. 1, Packaging, ASM International, Materials Park, Ohio, USA, 313–331 (1989)
15. Charles, Jr., H. K., Mach, K. J., and Edwards, R. L. "Multichip Module (MCM) Wirebonding," in Proc. International Symposium on Electronic Packaging Technology (ISEPT '96), Shanghai, Peoples Republic of China, pp. 336–341 (1996)
16. Charles, Jr., H. K., Mach, K. J., Edwards, R. L., Lehtonen, S. J., and Lee, D. M. "Wirebonding on Various Multichip Module Substrates and Metallurgies," in Proc. 47th Electronic Components and Technology Conference, San Jose, California, USA, pp. 670–675 (1997)
17. Charles, Jr., H. K., Mach, K. J., Edwards, R. L., Francomacaro, A. S., Lehtonen, S. J., and DeBoy, J. S. "Wirebonding: Reinventing the Process for MCMs," in Proc. International Symposium on Microelectronics, San Diego, California, USA, pp. 645–655 (1998)
18. Charles, Jr., H. K., Mach, K. J., Edwards, R. L., Francomacaro, A. S., Lehtonen, S. J., and DeBoy, J. S. "Multichip Module and Chip-On-Board Wirebonding, in Proc. 12th European Microelectronics Conf., Harrogate, Yorkshire, England, pp. 525–532 (1999)
19. Charles, Jr., H. K., Mach, K. J., Edwards, R. L., Francomacaro, A. S., DeBoy, J. S., and Lehtonen, S. J. "High Frequency Wirebonding: Its Impact on Bonding Machine Parameters and MCM Substrate Bondability," in Proc. 34th International Microelectronics Symposium, Baltimore, MD, pp. 350–360 (2001)
20. Charles, Jr., H. K., Mach, K. J., Lehtonen, S. J., Francomacaro, A. S., DeBoy, J. S., and Edwards, R. L. "High-Frequency Wirebonding: Process and Reliability Implications," in Proc. 52nd IEEE Electronic Components and Technology Conference, San Diego, CA, pp. 881–890 (2002)
21. Charles, Jr., H. K., Mach, K. J., Lehtonen, S. J., Francomacaro, A. S., DeBoy, J. S., and Edwards, R. L. "Wirebonding at High Ultrasonic Frequencies: Reliability and Process Implications," Microelectronics Reliability, Vol. 43, pp. 141–153 (2003)
22. Charles, Jr., H.K. "The Wirebonded Interconnect: Mainstay for Electronics" Chapter 3 in Micro-and Opto-Electronic Materials and Structures: Physics, Mechanics, Design, Reliability, Packaging, Vol.2. E. Suhir, Y.C.Lee, and C.P. Wong editors, Springer, pp 71–120 (2007)
23. Chen, G. K. C. "The Role of Micro-Slip in Ultrasonic Bonding of Microelectronic Dimensions," in Proc. 1972 International Microelectronic Symposium, Washington DC, October 30 – November 1, 1972, pp. 5¬A-1-1 to 5-A-1-9
24. Ching, T. B. and Schroen, W. H. "Bond Pad Structure Reliability," 24th Annual Proc. Reliability Physics Symposium, Monterey, CA, pp. 64–70 (1988)
25. Clatterbaugh, G. V., Weiner, J. A., and Charles, Jr., H. K. "Gold-Aluminum Intermetallics," Ball Bond Shear Testing and Thin Film Reaction Couples," IEEE Trans. Components, Hybrids Manufacturing Technology, CHMT-7(4), 349–356 (1984)
26. Clatterbaugh, G. V. and Charles, Jr., H. K. "The effect of high temperature intermetallic growth on ball shear induced cratering," IEEE Trans. Components, Hybrids and Manufacturing Technology, CHMT-13, No. 4, pp. 167–175 (1990)
27. Demmin, J. C. "Ultrasonic Bonding Tools for Fine Pitch, High Reliability Interconnects," in Proc. Int. Conference on Multichip Modules, Denver, Colorado, USA, pp.

397–402 (1996)

28. Ehrlich, V. J. and Tsao, J. Y. "Laster Direct Writing for VLSI," in VLSI Electronics: Microstructure Science, Vol. 7, Academic Press, pp. 129–164 (1983)
29. Endicott, H. W., James, H. K., and Nobel, F. "Effects of Gold-Plating Additives on Semiconducting Wire Bonding," Plating and Surface Finishing V, pp. 58–61 (1981)
30. Evans, K. L., Guthrie, T. T. and Hayes, R. G. "Investigations of the Effect of Thallium on Gold/Aluminum Wire Bond Reliability," in Proc ISTFA, Los Angeles, CA, pp. 1–10 (1984)
31. Gehman, B. L. "Bonding Wire for Microelectronic Interconnections," IEEE Trans. Components Hybrids and Manufacturing Technology, CHMT-3(8), 375–380 (1980)
32. Geppert, L. "Solid State," IEEE Spectrum 35(1), 23–28 (1998)
33. Glaser, A. B. and Subak-Sharpe, G. E. Integrated Engineering: Design Fabrication and Applications, Addison-Wesley, Reading, West Virginia, USA (1979)
34. Goldfarb, S., "Wire Bonds on Thick Film Conductors", proc. 21st IEEE Electronics Components Conference, Washington, DC pp 295 – (1971)
35. Gonzalez, B., Knecht, S., and Handy, H. "The Effect of Ultrasonic Frequency on Fine Pitch Al Wedge Wirebonds," in Proc. 46th Electronic Components and Technology Conference, Orlando, Florida, USA, pp. 1078–1087 (1996)
36. Gonzalez, C. G., Wessel, R. A., and Padlewski, S. A. "Epoxy-Based Aqueous-Processable Photodielectric Dry Film and Conductive Via Plug for PCB Build-Up and IC Packaging," in Proc. 48th Electronic Components and Technology Conference, Seattle, Washington, USA, pp. 138–143 (1998)
37. Harman, G. G. "Wirebonding – Towards 6$\sigma$ Yield and Fine Pitch," in Proc. 42nd Electronic Components and Technology Conference, San Diego, California, USA, pp. 903–910 (1992)
38. Harman, G. G., "Metallurgical Interconnections for Extreme High and Low Temperature Environments", Chapter 4, Micro- and Opto-Electronic Materials and Structures: Physics, Mechanics, Design, Reliability, Packaging: Volume 2, Ephraim Suhir, Y. C. Lee, and C. P. Wong (Editors), Springer, 2007
39. Harman, G. G. "Wire Bonding to Multichip Modules and Other Soft Substrates," in Proc 1999 International Conference and Exhibition on Multichip Modules, Denver, Colorado, USA, pp. 292–301 (1995)
40. Harman, G. G. Wire Bonding in Microelectronics: Materials Processes, Reliability and Yield, McGraw-Hill, New York, New York, USA (1997)
41. Harman, G. G. and Canon, C. A. "The Microelectronic Wire Bond Pull Test, How to Use It, How to Abuse It," IEEE Trans. Components, Hybrids and Manufacturing Technology, CHMT-1(3), 203–210 (1978)
42. Heinen, G., Stierman, R. J., Edwards, D., and Nye, L. "Wire Bond Over Active Circuits," in Proc. 44th Electronic Components and Technology Conference (ECTC), Washington, D.C., pp. 922–928 (1994)
43. Hirota, J., Machinda, K., Okuda, T., Shimotomai, M., and Kawanaka, R. "The Development of Copper Wirebonding for Plastic Molded Semiconductor Packages," in Proc. 35th IEEE Electronics Component Conference, Washington, DC, pp. 116–121 (1985)
44. Horsting, C. "Purple Plaque and Gold Purity," 10th Annual Proc. IRPS, Las Vegas, NV, pp. 155–158. (1972)
45. Ito, S., Kuwamura, M., Akizuki, S., Ikemura, K., Fukushima, T., and Sudo, S. "Solid Type Cavity Fill and Underfill Materials for New IC Packaging Applications," in Proc. 45th IEEE Electronic Components and Technology Conference, Las Vegas, Nevada, USA (1995)
46. Jaecklin, V. P. "Room Temperature Ball Bonding Using High Ultrasonic Frequencies," in Proc. Semicon: Test, Assembly and Packaging, Singapore, pp. 208–214 (1995)
47. Jellison, J. L. "Effect of Surface Contamination on the Thermocompression Bondability of Gold," IEEE Trans. Parts, Hybrids and Packaging, Vol. PHP-11, pp. 206–211 (1975)
48. Jellison, J.L., "Kinetics of Thermocompression Bonding to Organic Contaminated Gold Surfaces" IEEE Trans. Parks, Hybrids and Packaging, PHP-13, pp 132–137 (1977)

49. Jellison, J.L., and Wagner, J. A. "role of Surface Contaminants in the Deformation Welding of Gold to Thick and Thin Films" Proc. 28th Electronic Components Conference pp 336–345, (1979)
50. Johnston, C. N., Susko, R. A., Siciliano, J. V., and Murcko, R. J. "Temperature Dependent Wear-out Mechanism for Aluminum/Copper Wire Bonds," in Proc. International Microelectronics Symposium, Orlando, FL, pp. 292–296 (1991)
51. Kilby, J. S. "Invention of the Integrated Circuit," IEEE Trans. Electronic Devices, ED-23, 648–654 (1976)
52. Klein, H. P., Durmutz, U., Pauthner, H., and Rohrich, H. "Aluminum Bond Pad Requirements for Reliable Wire Bonds," in Proc. IEEE Int. Symposium on Physics and Failure Analysis of ICs, Singapore, pp. 44–49. (1989)
53. Koch, T., Richling, W., Whitlock, J., and Hall, D., "A Bond Failure Mechanism" Proc. 24th Annual Reliability Physics Symposium, Anaheim, CA. pp 55–60 (1986)
54. Kurtz, J., Cousens, D., and Defour, M. "Copper Wire Ball Bonding," in Proc. Int. Electronic Packaging Society Conference, New Orleans, Louisiana, USA, pp. 1–5 (1984)
55. Langenecker, B. "Effects of Ultrasound on Deformation Characteristics of Metals," IEEE Transactions on Sonics and Ultrasonics, Vol. SU-13, pp. 1–8 (1966)
56. Levinson, L. M., Eichelberger, C. W., Wognarowski, and Carlson, R. O. "High-Density Interconnect Using Laser Lithography," in Proc. International Symposium on Microelectronics, Seattle, Washington, October 17–19, 1988, pp. 301–306
57. Ling, J. and Albright, C. E. "The Influence of Atmospheric Contamination in Copper to Copper Ultrasonic Welding," in Proc. 34th Electronic Components Conference, New Orleans, Louisiana, USA, pp. 209–218 (1984)
58. Liu, D., Zhang, C., Graves, J., and Kegresse, T. "Laser Direct-Write (LDW) Technology and Its Applications in Low Temperature Co-Fired Ceramic (LTTC) Electronics," in Proc. 2003 International Symposium on Microelectronics, Boston, Massachusetts, Nov. 18–20, 2003, pp. 298–303
59. Lo, George and Sitaraman "G-Helix: Lithography-Based, Wafer-Level Compliant Chip-to-Substrate Interconnect," in Proc. 54th Electronic Components and Technology Conference, Las Vegas, Nevada, June 1–4, 2004, pp. 320–325
60. Meisser, C. "Bonding Techniques for Plastic MCMs," Semiconductor International 14, 120–124 (1991)
61. Microbonds, Inc., 151 Amber Street, Unit 1 Markham, Ontario, Canada L3R3B3, www.microbonds.com
62. Miller, L. F. "Controlled Collapse Reflow Chip Joining," IBM J. Res. Dev., 13, 239–250 (1969)
63. Moore, G. E. "VLSI: Some Fundamental Challenges," IEEE Spectrum, 16(4), 30–37 (1979)
64. Mundt, R., O'Dell, G., and Ruben, D., "Laser Ribbon Bonding: A novel Interconnect Method" Proc. 37th International Microelectronics Symposium, Long Beach, CA. Session THA12-2 (2004)
65. Newsome, J.L., Oswalkm R.G., and rodrigues de Miranda, W.R., "Metallurigical Aspects of Aluminum Wire Bonds to Gold Metallization" Proc. 14th Annual Reliability Physics Symposium, Las Vegas, NV, pp 63–74 (1976)
66. Onoda, H., Itashimoto, K., and Touchi, K. "Analysis of Electromigration-Induced Failures on High Temperature Sputtered Al-Alloy Metallization," J. Vacuum Science Technology, A(13), 1546–1555 (1995)
67. Onuki, J., Suwa, M., Iizuka, T., and Okikawa, S. "Study of Aluminum Ball Bonding for Semiconductors," in Proc. 34th Electronic Components Conference, New Orleans, Louisiana, USA, pp. 7–12 (1984)
68. Otsuka, K. and Tamutsa, T. "Ultrasonic Wire Bonding Technology for Custom LSIC with Large Number of Pins," in Proc. 31st IEEE Electronic Components Conference, Atlanta, Georgia, USA, pp. 350–355 (1981)
69. Philofsky, E. "Intermetallic Formation in Gold-Aluminum Systems," Solid State Electronics 13(10), 1391–1399 (1970)

70. Prather, J.B. Robertson, S.D., and Slemmons, J.W., "Aluminum Wire Bonding to Gold Thick-Film Conductors" Electronic Packaging and Productions, p. 68 – (1974)
71. Ramsey, T. H. and Alfaro, C. "The Effect of Ultrasonic Frequency on Intermetallic Reactivity of Au-Al Bonds," Solid State Technology, Vol. 34, pp. 37–38, (1991)
72. Ravi, K. V. and Philofsky, E. M. "Reliability Improvement of Wire Bonds Subjected to Fatigue Stresses," in Proc. 10th IEEE Reliability Physics Symposium, Las Vegas, Nevada, USA, pp. 143–149 (1972)
73. Riddle, J. "High Cycle Fatigue (Ultrasonic) Not Corrosion in Fine Microelectronic Bonding Wire," in Proc. 3rd ASM Conference on Electronics Packaging, Materials, Processes, and Corrosion in Microelectronics, Minneapolis, Minnesota, pp. 185–191 (1987)
74. Romensko, B. M., Charles, Jr., H. K., Clatterbaugh, G. V., and Weiner, J. A. "Thick-film Bondability: Geometrical and Morphological Influences," The Int. J. for Hybrid Microelectronics, Vol. 8, pp. 408–419 (1985)
75. Romenesko, B. M., Charles, Jr. H. K., Cristion, J. A., and Sui, B. K. "Gold-Aluminum Wirebond Inteface Testing Using Laser-Induced Ultrasonic Energy," in Proc. 50th Electronic Components and Technology Conference, Las Vegas, NV, pp. 706–710 (2000)
76. Schaller, R. R. "Moore's Law: Past, Present, and Future," IEEE Spectrum, 34(6), 53–59 (1997)
77. Shirai, Y., Otsuka, K., Araki, T., Seki, I., Kikuchi, K., Fujita, N., and Miwa, T. "High Reliability Wire Bonding Technology by the 120 kHz Frequency of Ultrasonic," in Proc. 1993 International Conference on Multichip Modules, Denver, Colorado, pp. 366–375, (1993)
78. Spencer, T.H. "Thermocompression Bond Kinetics – The Four Principle Variables" Int. J. hybrid Microelectronics, Vol. 5 No. 1 pp. 404–408 (1982)
79. Takahashi, T., Rutter, Jr., E. W., Moyer, E. S., Harris, R. F., Frye, D. C., St. Joor, V. L., and Oakes, F. L. "A photo-definable benzocyclobutene resin for thin-film microelectronic applications," in Proc. Int. Microelectronics Conference, Yokohama, Japan, pp. 64–70 (1992)
80. Takeda, K., Ohmasa, M., Kurosu, N., Hosaka, J. "Ultrasonic Wirebonding Using Gold Plated Wire onto Flexible Printed Circuit Board," in Proc. 1994 International Microelectronics Conference, Oamya, Japan, pp. 173–177 (1994)
81. Tay, A. A. O., Yeo, K. S., Wu, J. H. "The Effect of Wirebond Geometry and Die Setting on Wire Sweep," IEEE Trans. on Components, Packaging and Manufacturing Technology – Part B 18(1), 201¬209 (1995)
82. Teverosky, A. "Effect of Vacuum on High Temperature Degradation of Gold/Aluminum Wire Bonds in PEMS", Proc. 42nd Annual Reliability Physics Symposium, Phoenix, AZ, pp. 547–556 (2004)
83. Thomas, A. and Berg, H. M. "Micro-Corrosion of Al-Cu Bonding Pads," in Proc. 23rd IEEE Reliability Physics Symposium, Orlando, Florida, USA, pp. 153–158 (1985)
84. Tsujino, J., Mori, T., and Hasegawa, K. "Characteristics of Ultrasonic Wire Bonding Using High Frequency and Complex Vibration Systems," in Proc. 25th Annual Ultrasonic Industry Association Meeting, Columbus, Ohio, pp. 17–18, (1994)
85. Tuckerman, D. B., Ashkenas, D. J., Schmidt, E., and Smith, C. "Die Attach and Interconnection Technology for Hybrid WSI," 1986 Laser Pantography States Report UCAR-10195, Lawrence Livermore Laboratories (1986)
86. Tummula, R. R., Rymazewski, E. J., Klopfenstein, A. G. Microelectronics Packaging Handbook, Vols. I, II, & III, Chapman Hall, NY, USA (1997)
87. Wakabayashi, S., Murata, A., and Wakobauashi, N. "Effects of Grain Refinement in Gold Deposits on Aluminum Wire-Bond Reliability," Plating and Surface Finishing V, pp. 63–68 (1981)
88. Weiner, J. A., Clatterbaugh, G. V., Charles, Jr., H. K., and Romenesko, B. M. "Gold Ball Bond Shear Strengths Effects of Cleaning, Metallization and Bonding Parameters," in Proc. IEEE 33rd Electronic Components Conference. Orlando, Florida, USA, pp. 208–220 (1983)

89. The Welding Handbook, Vol. 2, eighth edition, "Ultrasonic Welding," pp. 784–812 (1991)
90. Yao, Y. F., Lin, T. Y., and Chua, K. H. "Improving the Deflection of Wirebonds in Stacked Chip Scale Packages CSP," in Proc. 53rd Electronic Components and Technology Conference, New Orleans, LA, pp. 1359–1363 (2003)

# 第5章 无铅焊接

Ning-Cheng Lee

**摘要：** 由于全球绿色制造的趋势，无铅焊接成为电子制造业的主流选择。一般无铅焊料采用 SnAgCu 合金，有时也采用 SnCu（+Y）、SnAg（+Y）和 BiSn（+Y）等合金（其中 Y 代表微量添加元素）。SnAgCu 焊料的工艺窗口比 Sn63 窄，主要是因为 SnAgCu 焊料具有更高的熔点，以及器件与电路板的高温承受能力有限。Sn 的高表面张力导致润湿困难，同时 Sn 的高反应活性限制了熔融焊料与基体金属或焊料容器间的接触时间。SnAgCu 的蠕变率在低应力时比较慢，但在高应力时比 Sn63 快。从而导致应用于低焊接应变时温度循环寿命延长，但应用于高焊接应变时温度循环寿命变短。提高 Cu 含量可以稳定 SnAgCu 焊料与 NiAu 界面的金属间化合物（IMC）结构。SnAgCu 焊料的高硬度提高了焊点脆性，但通过降低 Ag 含量或提高 Cu 含量或掺杂方法，焊点脆性可得到显著改善。

**关键字：** 焊料，钎焊，无铅，SnAgCu，SAC，锡银铜，表面处理，可靠性。

## 5.1 全球无铅焊接行动

作为一种全球趋势，电子制造业正朝着绿色制造方向前进。在钎焊领域，主要受到欧洲“降低有害物质”（Reduction of Hazardous Substances，RoHS）法案的驱动，从2006年7月1日开始，除了某些特殊项目，铅被有效禁止使用。中国采纳了欧洲 RoHS 法案，并列出了类似的禁止使用物质清单，其第一个执行阶段在

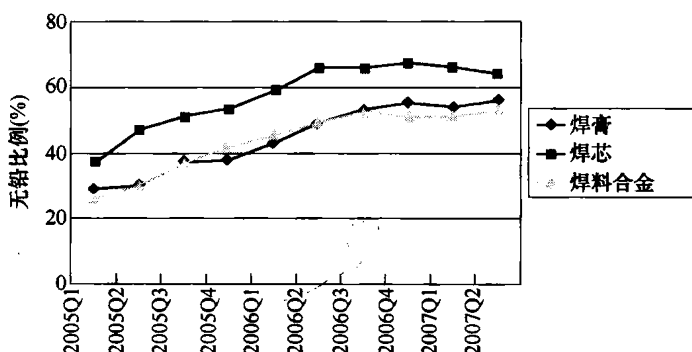



图 5.1 IPC 报告的无铅焊接应用状况

2007年3月1日生效。在日本，通过立法来管理电子产品的回收与再利用。家用电子产品回收的法案在2001年4月1日生效，但仅适用于电视机、冰箱和类似产品。尽管没有明确针对铅，但该法案有效地促进了日本工业向无铅焊接发展。上述这些法案引导了无铅化趋势，有力地推动世界上的其他国家朝着无铅焊接方向发展（见图5.1）。

## 5.2 主要无铅焊料合金

在大量的无铅焊料中，共晶焊料SnAg、共晶焊料SnCu、共晶焊料SnAgCu、共晶焊料SnZn、共晶焊料BiSn与它们的系列衍生物因为具有特定的性能，成为业界的首选，如图5.2所示。图5.2也给出了一些相关应用，包括回流焊、波峰焊和手工焊接。下面将重点介绍这些无铅焊料的特性及其在电子产品中的潜在性能。

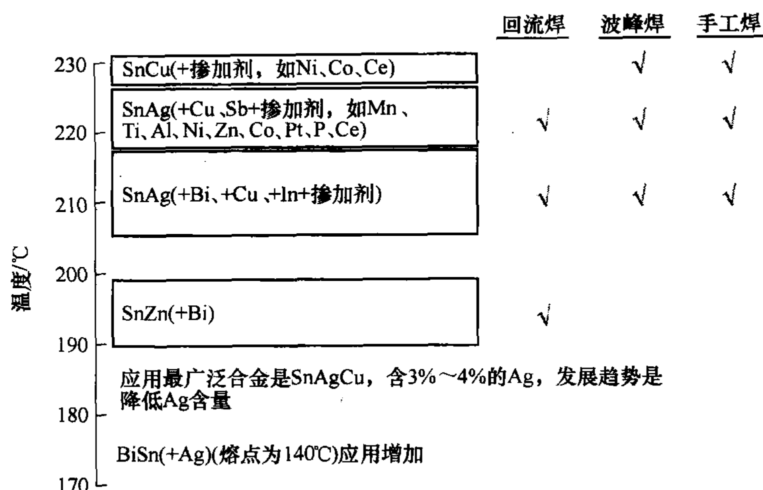



图5.2 主要无铅焊料及其应用

### 5.2.1 SnCu（+掺加剂（如Ni、Co、Ce））

Sn99.3Cu0.7共晶焊料的熔点为227℃。与共晶焊料SnAg和SnPb相比，Sn99.3Cu0.7具有较低的抗拉强度和较高的延伸率。这反映了SnCu焊料的柔软性和延展性[2]。共晶SnCu焊料的蠕变强度比Sn100高，但在20℃和100℃时，比共晶SnAg和SnAgCu低。Hunt等人的润湿平衡测试结果表明，当不使用具有活化作用的助焊剂时，焊料润湿能力按如下顺序降低：共晶SnPb > SnAgCu > SnAg > SnCu[3]。共晶焊料SnCu一般用于波峰焊和手工钎焊。

通过添加少量掺加剂如Ni、Ge、Co和Ce，可以增强共晶SnCu的机械性能和润湿性能。据报道，采用Sn99.3Cu0.7Ni0.05 + Ge(SN100C)[4]和Sn99.5Cu0.5Co

<0.05（Co995）[5]焊料波峰焊时，润湿时间缩短，铜溶解速率降低，钎焊接头表面更光亮，而Sn99.3Cu0.7Ce0.02具有更好的延展性和抗跌落性能[6,7]。

### 5.2.2 SnAg（+Cu、+Sb、+掺加剂(如Mn、Ti、Al、Ni、Zn、Co、Pt、P、Ce)）

SnAgCu（SAC）是用于电子钎焊最多的焊料合金体系。三元共晶焊料SnAgCu如Sn96.5Ag3Cu0.5（SAC305）、Sn95.6Ag3.5Cu0.9（SAC359）、Sn95.5Ag3.8Cu0.7（SAC387）、Sn95.5Ag3.9Cu0.6（SAC396）和Sn95.5Ag4.0Cu0.5（SAC405）通常用于回流焊、波峰焊和手工焊，熔点都在217℃左右。在这些焊料中，SAC305在亚洲最受欢迎，并且得到了IPC支持。共晶Sn96.5Ag3.5也是通常使用的，其熔点为221℃。

对于SnAgCu焊料，其硬度、抗拉强度、屈服强度、剪切强度、冲击强度和蠕变强度都比共晶SnPb(Sn63）要高[2]。润湿特性也好于共晶SnCu和共晶SnAg，但比Sn63差[8]。据报道，添加Sb到SAC中得到的焊料Sn96.2Ag2.5Cu0.8Sb0.5(CASTIN)，其金属间化合物的生长速度较慢[9]。

由于硬度较高，通常无铅焊料结点在跌落测试中会碰到脆性断裂问题，这是便携式电子产品要特别关注的一个问题。降低Ag含量，如Sn98.5Ag1.0Cu0.5(SAC105)、Sn99Ag0.3Cu0.7(SAC0307)[10]和Sn98.9Ag1.0Cu0.1（SAC101)[11]，可以降低焊料脆性[12]。但这种方法通常导致液相温度升高到约227℃。据报道，通过添加少量Mn、Ti、Bi、Y、Ce[6,7]、Al、Ni[13]、Zn[14]、Co、Pt和P[15]，焊料性能也可以得到进一步改善。

### 5.2.3 SnAg（+Bi、+Cu、+In、+掺加剂）

含Bi的无铅焊料通常熔点较低，而且与其他无铅焊料相比，具有更好的润湿性[16]。据推测是因为Bi的表面张力较低（Bi的表面张力为0.376N/m，而Sn为0.537N/m)[17]。低熔点和良好的润湿性为用户提供了很好的焊接工艺保障。添加Bi到SnAgCu体系中，能降低金属间化合物（IMC）的晶粒尺寸，防止IMC的过度生长[18]。掺加少量In能降低熔点，提高无铅焊料的延展性[7]。

然而，含Bi合金焊料通常具有较高硬度，对包括高CTE失配或大温度服役范围的应用会造成影响。另外，由于存在铅污染，三元共晶相Bi52Pb30Sn18的96℃的熔点较低会导致其在温度循环测试过程中很快就失效[19]。

掺杂SnAgBi的体系主要为日本制造业所用，例如日本松下公司（SnAgBiCu、SnAgBi、SnAgBiIn)、日本日立公司（SnAgBi)、日本索尼公司（SnAgBiCu)[20,21]。下面列出了一些主要提供给日本制造业的焊料合金[22]：

Sn97.4Ag1.3Bi0.8Cu0.5（214~219℃，日本减摩）

Sn95.5Ag2.0Bi2.0Cu0.5（211~221℃，日本千寿）

Sn94.25Ag2.0Bi3.0Cu0.75（207~218℃，日本千寿）

Sn96.0Ag2.5Bi1.0Cu0.5（214~221℃，日本千寿、日本阿米特、日本田村化研、日本减摩）

Sn95.7Ag2.8Bi1.0Cu0.5（214~215℃，日本减摩）

Sn93.6Ag2.9Bi3.0Cu0.5（205~216℃，日本田村化研）

Sn92.8Ag3.0Bi1.0Cu0.7In2.5（204~215℃，日本千寿）

Sn93.3Ag3.0Bi3.0Cu0.7（206~215℃，日本阿米特）

Sn91.5Ag3.5Bi2.5In2.5（日本松下电子）

Sn92.5Ag3.5Bi3.0Cu0（208~213℃，日本日秀）

Sn91.7Ag3.5Bi4.8（205~210℃，美国圣地亚国家实验室）

### 5.2.4 SnZn（+Bi）

共晶焊料Sn91Zn9的熔点为199℃。虽然在低熔点方面具有吸引力，但较高的表面张力（Zn的表面张力为0.768N/m），以及与助焊剂和氧的高反应活性使其无法用于电子焊接。添加Bi，比如Sn89Zn8Bi3（189~199℃），除了进一步降低熔点外，还能有效降低表面张力和反应活性。因此，一些日本企业，如NEC和松下公司，能够使用SnZnBi合金代替无铅焊料。

然而，与其他无铅焊料相比，SnZnBi仍然对助焊剂和氧具有较高的反应活性，因此在应用上受到一定限制。并且，在Cu表面形成的CuZn金属间化合物（IMC）顶部容易产生空洞，该趋势进一步限制了该焊料在消费类产品中的应用[23,24,25]。其他合金焊料，如Sn86.5Zn5.5Bi3.5In4.5（174~186℃，Indium（铟）），由于熔点更低也具有很大吸引力。

### 5.2.5 BiSn（+Ag）

对于BiSn合金焊料，Bi在凝固过程中体积增大3.87%，Sn体积收缩但收缩量很小。因此含有超过47%Bi的BiSn合金焊料在凝固时体积膨胀[26]。早在30多年前，美国IBM公司就将Bi58Sn42（共晶点138℃）用于波峰焊。为了降低热冲击，美国Unisys公司将这种合金用于波峰焊焊接超过50层的主板（厚度为1/3in），焊点温度约200℃[27]。

在大多数情况下，Bi58Sn42性能非常接近Sn63[28]。然而，Bi58Sn42比Sn63对应变率更加敏感。也就是说，它的延伸率随着应变率的增加下降更快。Glazer报告中指出，该焊料在低应变率时延伸率增加，老化后导致塑性失效，而在高应变率时，产生准脆性断裂失效。后一种失效模式包括了富Bi相中的裂缝和焊料/IMC界面处的断裂[26]。

Bi58Sn42的延展性可通过添加Ag得到改善，如形成Bi57Sn41Ag2[29]。另一方面，添加1%Cu可显著降低Bi58Sn42的晶粒粗化[30]。

## 5.3 无铅焊膏

焊膏是焊料粉末与助焊剂的混合物。焊料粉末尺寸取决于具体应用，细粉末主要用于细间距PCB组装。粉末大小由IPC规定，见表5.1[31]。

在朝着小型化发展的同时，也必须发展助焊剂技术，以满足越来越多的性能需求。

对于更小的助焊剂/焊膏点，由于氧化扩散路径变短，焊料粉末、焊盘和器件的氧化将更加明显。随着焊点尺寸减小，单位体积的表面积增加，这种情况将进一步恶化。图5.3给出了在免清洗助焊剂热重分析（Thermogravimetric Analysis，TGA）研究中，助焊剂烧蚀（burn-off）量与助焊剂体积间的关系[32]。如图5.3曲线所示，加热后助焊剂烧蚀量随着样品尺寸的降低而迅速增加。换句话说，残留下来保护器件不被氧化的助焊剂量随着器件尺寸减小而下降。

表5.1 标准焊料粉末的颗粒大小

| 类型 | 至少80%之间 | 至少在85%之间 |
|---|---|---|
| 1 | 75 ~ 150μm | — |
| 2 | 45 ~ 75μm | — |
| 3 | 25 ~ 45μm | — |
| 4 | — | 20 ~ 38μm |
| 5 | — | 15 ~ 25μm |
| 6 | — | 5 ~ 15μm |
| 7 | — | 2 ~ 11μm |

因此，为了获得满意的焊接结果，需要助焊剂具有更有效的抗氧化能力，或者回流气压具有更低的氧分压。Jaeger和Lee研究了焊接性能、抗氧化能力与氧分压间的关系，如图5.4所示。此处焊接性能值为1表示助焊性能良好，小于1表示助焊性较差。助焊性差具有润湿性差、焊料成球、产生空洞或结合力差等现象[34]。

图5.4中$K$表示焊膏回流时的氧化倾向，对于可在空气中回流的典型RMA焊膏，$K$值等于1。很明显，这种焊膏（$K=1$）在空气中回

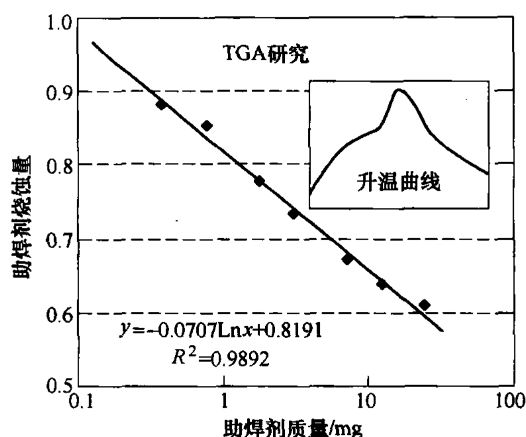



图5.3 免清洗助焊剂（作为焊膏使用）热重分析中助焊剂烧蚀量与其质量间的关系（通过程序控制加热曲线，得到峰值温度为230℃的回流曲线）[32]

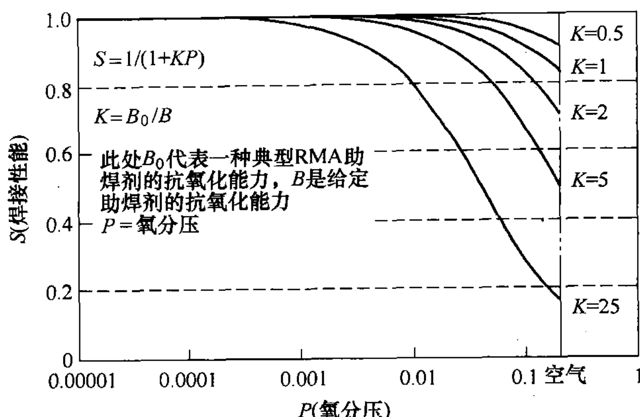



图 5.4 对于典型表面贴装技术（Surface Mount Technology，SMT）中的焊料沉积而言，焊膏的焊接性能、抗氧化能力与氧分压间的关系

流时，已经对焊接能力造成了损害。对于沉淀量较小的焊膏，这种损害作用进一步加强。为了获得良好的焊接性能，需要在惰性气体中回流或者采用低氧化倾向($K<1$)的焊膏。由于惰性气体成本比空气高，剩下的惟一可行方案就是采用低氧化倾向的焊膏，这意味着必须采用能提高抗氧化能力的助焊剂。

随着进一步微型化，除了提高抗氧化能力，助焊剂还必须具有如下特征：1）免清洗；2）低挥发性；3）不含卤素；4）高助焊能力；5）高残余电阻；6）高抗氧化和碳化能力；7）低活化温度；8）当焊料开始熔化时，润湿速度低；9）（更）少飞溅；10）（更）高的针刺能力；11）焊料冷却时的诱导核化能力；12）（更）高的抗塌陷能力[17]。

焊料粉末的形态如图 5.5 所示[35]，Sn63 类型 3 的粉末表面相当光滑，富锡相（暗色）和富铅相（光亮）明显分开。Sn63 类型 7 的粉末具有相似的两相形态，在高放大倍率下表面褶皱非常明显。

与 Sn63 焊料粉末相比，无铅焊料粉末的表面更粗糙。就类型 3 SAC387 粉末而言，相当不规则，像橘皮一样的表面使两种合金焊料很容易被识别出来。这主要归功于在高锡合金中形成了树枝状结晶的 β 锡，类型 6 粉末比 Sn63 的皱纹更明显。就 Bi58Sn42 而言，也很容易区别这两种相态——富 Sn 相（暗色）和富 Bi 相（光亮），Bi 相含量稍多。富 Bi 相的晶体结构产生了膨胀凸起，如图 5.5 所示的类型 5 粉末的 3500 倍放大图片。

用于回流焊的 10 种主要无铅焊料合金的发展前景如图 5.6 所示[16]。这些焊料合金与多种有代表性的助焊剂的兼容性十分重要，主要通过工艺能力来评价，包括保存寿命和附加时间，以及钎焊能力如焊料成球、润湿和钎焊接头外观等性能。结果表明，控制组 Sn63 仍然是兼容性最好的焊料，在满分为 30 时的评分为 27.1。Sn63 区别于其他焊料合金的首要因素是焊接性能，特别是润湿特性和焊料外观。

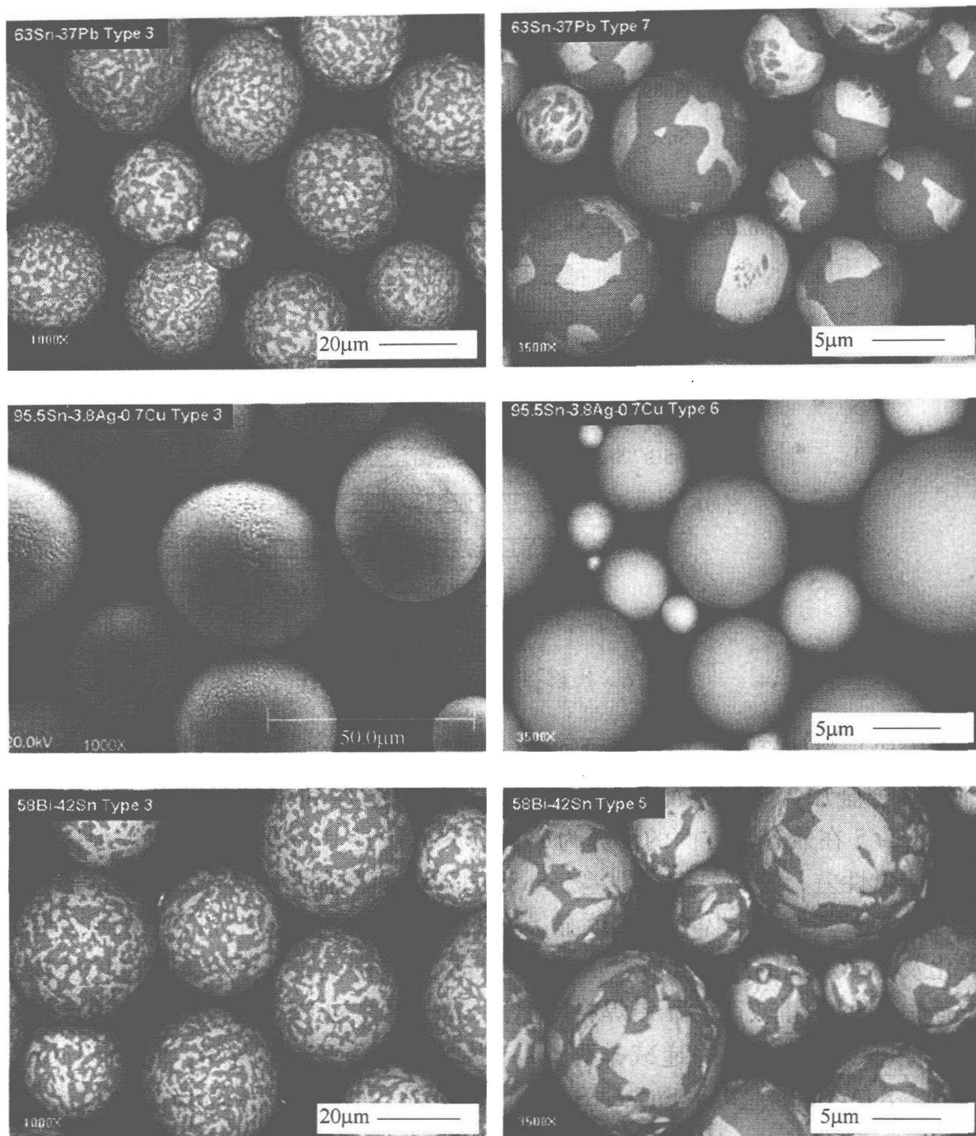



图5.5　多种尺寸的Sn63、SAC387和Bi58Sn42焊料粉末图片

至于焊料成球特性，Sn63仍是最好的，已相当接近最好的无铅焊料。

在无铅焊料体系中，所研究的两种SnAgBi合金焊料——Sn91.7Ag3.5Bi4.8和Sn90.5Bi7.5Ag2，都是无铅焊料体系中最好的，评分分别为22.9和22.8。这主要是因为它们具有较好的润湿特性和焊料成球性能。SnAgBi体系的保存寿命和使用时间也相当好，虽然其焊料外观最多被认为是平均水平。Sn99.3Cu0.7、Sn95.5Ag3.8Cu0.7、Sn93.6Ag4.7Cu1.7、Sn96.2Ag2.5Cu0.8Sb0.5、Bi58Sn42和Sn95Sb5六种合金的性能彼此相当，评分在19.3~20.3。总的来说，整个体系的润

湿性比 SnAgBi 体系要差得多。

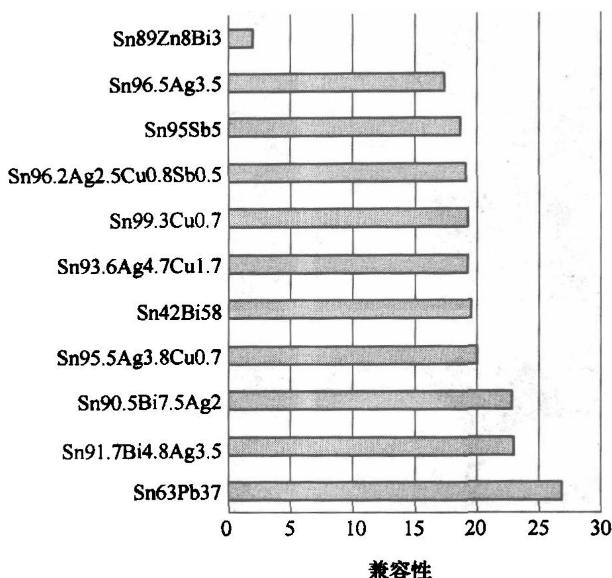



图 5.6 焊料合金与回流焊的兼容性

在无铅焊料体系中，Bi58Sn42 的焊料成球性能较差，但焊料外观非常好。在六种焊料合金中，Sn96.2Ag2.5Cu0.8Sb0.5 的润湿性和焊球外观性能相对较差。Sn96.5Ag3.5 在兼容性方面的评分为 17.1，排在上述其他合金的后面，原因主要在于焊料成球性差，特别是润湿性差。Sn89Zn8Bi3 的兼容性评分为 2.2，在各项性能方面明显差于其他合金体系。很明显，这归因于 Zn 的反应活性高，导致金属的过度氧化及与助焊剂的过度反应，从而在焊膏应用中产生一些不令人满意的性能。回流过程中，Sn 含量较高的无铅焊料产生比 Sn63 更厚的 IMC 层。总的来说，焊料回流兼容性可以按如下顺序递减排列：1）共晶 SnPb；2）SnAgBi；3）SnAgCu、共晶 SnBi、SnAgCuSb、共晶 SnCu、SnSb；4）共晶 SnAg；5）SnZnBi。

## 5.4 无铅焊料表面处理

### 5.4.1 无铅焊料表面处理类型

表 5.2 列出了用于 PCB 的无铅焊料表面处理选项。整个系统按照关键元素进行分类，每一大类又根据工艺类型和化学特性进一步细分[35]。

对于 PCB 表面处理，有机保焊剂（Organic Sdderability Preservatives，OSP）、热空气焊料流平（Hot Air Solder Level，HASL）、浸银（Immersion Ag，ImAg）、化学镀镍浸金（Electroless Nickel/Immersion Gold，ENIG）和浸锡（Immersion Sn，

ImSn）是主流选择，2007年全球市场份额估计如图5.7所示，预计年均增长率（Calculated Annual Growth Rate，CAGR）如图5.8所示[36]。

表5.2 无铅焊料表面处理清单，对于多层抛光，材料排列从基底金属的顶面开始

| 表面处理体系 | 处理工艺和化学成分 |
|---|---|
| 有机保焊剂（OSP） | 苯并三唑<br>咪唑<br>苯并咪唑（取代）<br>前助焊剂（松香/合成树脂） |
| Ag | 化学镀（沉浸，或电镀）Ag |
| Au/Ni | 电解Ni/Au，或EG<br>化学镀Ni/化学（沉浸）镀Au，或ENIG<br>化学镀Ni/化学（自动催化）Au<br>化学镀Ni/化学（衬底催化）Au |
| Bi | 化学（沉浸）镀Bi |
| Pd | 电解Pd或Pd合金<br>化学镀（自动催化）Pd<br>化学镀（自动催化）Pd/化学镀（沉浸）Au |
| Pd/Ni | 化学镀Ni/化学镀（沉浸）Pd<br>化学镀Ni/化学镀（自动催化）Pd<br>化学镀Ni/化学镀（自动催化）Pd/化学镀（沉浸）Au |
| Pd(X)/Ni | 电解Ni/PdCo/Au闪镀<br>（化学镀）Ni/（化学镀）PdNi/化学镀（沉浸）Au |
| Sn | 电解Sn<br>化学镀（沉浸）Sn<br>化学镀（改性沉浸+自动催化）Sn |
| Sn/Ni | 电解Ni/电解Sn |
| SnAg | 电解SnAg |
| SnBi | 电解SnBi |
| | 化学镀（沉浸）SnBi |
| SnCu | 电解SnCu |
| SnNi | 电解SnNi |

## 5.4.2 表面处理性能

Horaud等人通过润湿平衡评估了焊料的各种表面处理方法的润湿性能。结果

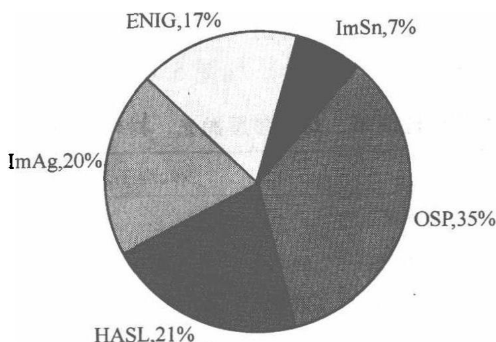



图 5.7 2007 年全球 PCB 表面处理方法市场份额估计[36]

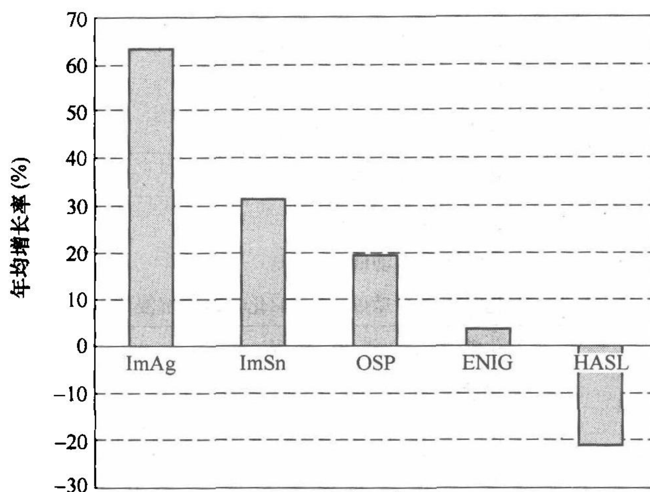



图 5.8 各种 PCB 表面处理方法预计年均增长率[36]

显示，润湿时间按如下顺序增加：ImAg < ENIG，HASL < ImSn < OSP；而润湿力按如下顺序下降：ImAg > ENIG > HASL > ImSn >> OSP；另一方面，焊料的伸展性按如下顺序排列：HASL、ENIG > ImSn > ImAg > OSP。总的说来，如果经过适当的表面处理，焊料的润湿性可归纳为“金属比非金属好，贵重金属比贱金属好”。这个规律的适用条件有限，并且 HASL 不适用该规律。通常 HASL 处理后焊料很容易润湿，原因在于润湿过程仅涉及熔化焊料与熔化表面间的融合。

如果将上述规律作为一种准则，就会存在一些问题，由于加工条件不理想而产生很多例外情况。例如，当受到严重的黑斑症（Black Pad Symptom）影响时，ENIG 处理的焊料润湿性差，而刚经过 ImSn 处理的焊料的可焊性非常好。

对于无铅焊接而言，PCB 表面处理方式影响到润湿性、键合强度、气孔、老化能力，甚至影响到可靠性。

表面处理导致的润湿性差异严重影响焊点的气孔性能。润湿性差气孔率就高。

因此，焊料中形成大气孔的趋势按如下顺序递减：OSP（产生气孔趋势最高）> HASL > ImAg、ENIG > ImSn[37]。

OSP 和 ImSn 处理对老化更加敏感。在老化过程中，经 ImSn 处理焊料的润湿能力、键合强度和气孔率都快速恶化。OSP 在润湿和产生空洞方面表现较差，但键合强度高。无铅四侧引脚扁平封装（Quad Flat Package，QFP）焊接头的抗拉强度按如下次序递减：OSP > HASL > ImAg > ImSn > ENIG[38]。通过在较高热分解温度下加入新的 OSP 组分，可以降低 OSP 处理焊料的热老化敏感性[39]。ENIG 在润湿能力、老化能力和气孔方面表现良好，但是键合强度最低。

图 5.9 给出了间距为 50mil（50×25.4μm）的 SOIC 采用不同表面处理后的无铅焊点在热循环前后的抗拉强度[40]。经过 Pd 处理的焊料抗拉强度低是因为焊点中的气孔率较高。由于形成了大量金属间化合物 $PdSn_4$ 或 $AuSn_4$，焊料表面较厚的 Pd 或 Au 层对可靠性和空洞方面十分有害。在这两种情况下，形成的金属间化合物的体积大约是 Pd 或 Au 体积的 5 倍，这个值相当高。相比而言，$Cu_6Sn_5$、$Ni_3Sn_4$ 或 $Ag_3Sn$ 等金属间化合物的体积通常小于表面处理金属体积的 2 倍。考虑到液态焊料中存在大量的金属间化合颗粒，不可避免地会阻碍钎焊过程中气孔的逃逸，导致焊点中气孔率高、键合强度低。

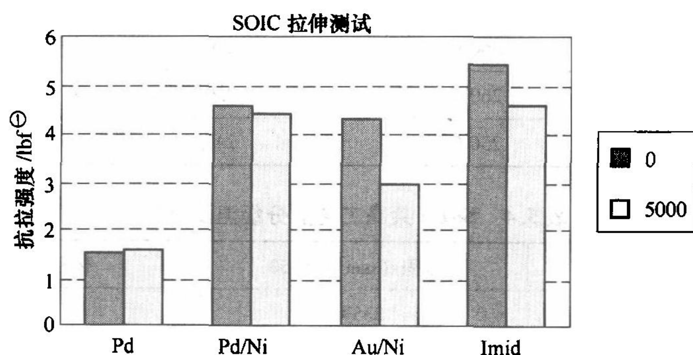



图 5.9 经过不同表面处理的无铅焊点在热循环前后的抗拉强度[40]

ImAg 处理的焊料总体性能良好。虽然 ImAg 既不是在可焊性方面最牢固的表面处理方式，也不是在焊接强度或可靠性方面最高的。但如果处理得当，它在这两种特性方面都没有明显的不足。因此，它经常成为最佳选择，具有最高的年增长率（CAGR）。然而，如果处理不当，容易在 ImAg 层下面形成铜洞，在焊接时产生微小空洞[41-43]。由于阻焊膜周边的铜图形被完全去除[44]，长时间电镀甚至可能导致电路断开。

⊖ 1lbf = 0.454kgf。

## 5.5 无铅焊接器件

欧洲 RoHS 规定除了要求无铅外，还对用于电子器件的聚合物材料方面有双重影响。首先，由于无铅焊料具有更高的熔点，需要选用更高的钎焊温度；其次，禁止使用多溴化联苯（Polybrominated Biphenyls，PBB）和多溴化联苯醚（Polybrominated Diphenyl Ethers，PBDE），它们通常在封装和衬底聚合物材料中作为阻燃剂。禁止使用 PBB 和 PBDE 包括戊、辛、癸-溴化物，是因为在燃烧过程中产生了有毒的二恶英和呋喃类产物。

### 5.5.1 温度耐受力

JEDEC/IPC J-STD-020D 规定了用于表面组装器件（Surface Mount Device，SMD）封装的温度分级，小封装结构需要较高的温度耐受力，见表 5.3 和 5.4[45]。一般来说，无铅工艺的分级温度大约比 Sn63 工艺的高 25 ~ 40℃。

表 5.3 无铅工艺的分级温度（$T_c$）

| 封装厚度 | 体积（$mm^3$）<350 | 体积（$mm^3$）=350 ~ 2000 | 体积（$mm^3$）>2000 |
|---|---|---|---|
| <1.6mm | 260℃ | 260℃ | 260℃ |
| 1.6 ~ 2.5mm | 260℃ | 250℃ | 245℃ |
| >2.5mm | 250℃ | 245℃ | 245℃ |

表 5.4 SnPb 共晶工艺的分级温度（$T_c$）

| 封装厚度 | 体积（$mm^3$）<350 | 体积（$mm^3$）≥350 |
|---|---|---|
| <2.5mm | 235℃ | 220℃ |
| >2.5mm | 220℃ | 220℃ |

热稳定性包括化学结构稳定性和物理结构稳定性。化学结构稳定性反映了受热分解，而物理结构稳定性与分层和翘曲有关。在 Chung 等人的研究中，发现了两种潜在的无卤化合物在可靠性热循环测试（TCT）过程中封装翘曲的变化。具有较大封装翘曲的化合物在焊点处会产生较大的累积塑性能，从而在 TCT 过程中导致早期失效[46]。

### 5.5.2 湿度敏感等级

虽然无铅焊料的分级温度增加了器件热稳定性的门槛，但对电子组装影响最大的是湿度敏感等级（Moisture Sensitivity Level，MSL）的退化，表 5.5 列出了湿度敏感等级[45]。

表5.5 湿度敏感等级

| 等级 | 基本寿命时间 | 条件 |
| --- | --- | --- |
| 1 | 无限长 | ≤30℃/85%RH |
| 2 | 1年 | ≤30℃/85%RH |
| 2a | 4周 | ≤30℃/85%RH |
| 3 | 168小时 | ≤30℃/85%RH |
| 4 | 72小时 | ≤30℃/85%RH |
| 5 | 48小时 | ≤30℃/85%RH |
| 5a | 24小时 | ≤30℃/85%RH |
| 6 | 标签时间（Time on Label，TOL） | ≤30℃/85%RH |

根据报道，实际峰值温度（Practical Peak Temperature，PPT）每升高5~10℃，器件的MSL就降低一级。PPT定义为最小焊接温度+$\Delta T$（电路板与器件温度差）+工艺温度差+测量误差[47]。对于一些湿度敏感器件，缺陷率会随着峰值回流温度或预热升温速率的增加而增加[48]。

## 5.6 用于无铅焊接的衬底材料

RoHS规定对衬底的影响与对塑料器件管壳的影响相似，衬底材料不能使用卤素元素，并要求能承受较高的工艺温度。

### 5.6.1 热分解

Khan等人的报道指出，有显著迹象表明，使用当前层压材料制备的高端产品难以承受无铅焊接工艺[49]。在较高的工艺温度下，导电阳极丝（Conductive Anodic Filament，CAF）方面的问题进一步恶化[50]。无铅工艺的衬底最关键性能的改进可能就是抗热分解能力。玻璃化转变温度高并不代表热分解温度高[51,52]，见表5.6。此处的玻璃化转变温度和热分解温度是两种独立特性，HGHD样品的热稳定性最差。

表5.6 具有高和低的玻璃化转变温度（$T_g$）、热分解温度（$T_d$）值的材料

| 材料 | 标记 | 玻璃化转变温度/℃ | 热分解温度/℃ |
| --- | --- | --- | --- |
| 低玻璃化转变温度，低分解温度 | LGLD | 140 | 320 |
| 低玻璃化转变温度，高分解温度 | LGHD | 140 | 350 |
| 高玻璃化转变温度，低分解温度 | HGLD | 175 | 310 |
| 高玻璃化转变温度，高分解温度 | HGHD | 175 | 350 |

### 5.6.2 尺寸稳定性

在无铅焊接温度升高的情况下，保持电路板的尺寸稳定性正变得越来越困难。当一块大的电路板在焊接过程中被放置在回流炉的隔板上时，需要特别注意。对于波峰焊，电路板下垂的问题可通过选用具有更高 $T_g$ 的树脂材料得到矫正（见表5.7），或者通过在电路板下面增加支撑托架得到缓解。形状稳定性对柔性印制电路（FPC）也很重要。对于细间距设计，FPC 翘曲很容易引起开裂，选用高 $T_g$ 的树脂对提高屈服性能十分关键。

表 5.7 树脂类型与 $T_g$

| 树脂 | $T_g$/℃ |
| --- | --- |
| 标准 FR4 环氧树脂 | 15 ~ 125 |
| 改性 FR4 环氧树脂 | 120 ~ 130 |
| 多功能环氧树脂 | 140 ~ 180 |
| BT 环氧树脂 | 160 ~ 180 |
| 氰酸酯 | 230 ~ 250 |
| 改性聚酰亚胺 | 220 ~ 260 |
| 普通聚酰亚胺 | 250 ~ 270 |

尺寸稳定性对防止通孔环上的焊盘移动也很关键。铜的热膨胀系数（CTE）是 $17\times10^{-6}$/℃，比传统层压板 $Z$ 轴方向的 CTE（见表 5.8）要低很多[54]。在焊接过程中，层压板比铜膨胀更多，引起垫圈升高。当使用相同的焊接峰值温度时，使用具有较高 $T_g$ 的树脂能降低高 CTE 的不利影响，有效降低尺寸的不匹配，从而减轻垫圈升高的问题。

表 5.8 典型层压板 CTE（单位：$10^{-6}$/℃）

| 材料 | $x$ 轴，$y$ 轴 | $z$ 轴 |
| --- | --- | --- |
| 聚酰亚胺电子玻璃 | 15 ~ 18 | 45 ~ 60 |
| 环氧树脂电子玻璃 | 15 ~ 18 | 45 ~ 60 |
| 改性环氧树脂/芳香族聚酰酪 | 6.5 ~ 7.5 | 95 ~ 110 |
| 改性环氧树脂/石英 | 11.0 ~ 14.0 | 55 ~ 65 |

## 5.7 无铅回流焊组装

iNEMI 的研究表明，无铅焊膏的可印制性与 Sn63 相当[55]。这是理所当然的，因为一种稳定焊膏的可印制性取决于焊膏的流变性，而流变性又依次受焊料颗粒的

体积分数、焊料颗粒形状大小和助焊剂的流动性控制，而与焊料的合金成分无关[34]。采用相同的丝网设计，焊料合金密度的差异将影响到印制焊膏的重量，而不影响沉积的焊膏体积。

### 5.7.1 设备

用于无铅焊膏的丝网孔尺寸最好是稍大于铅锡焊膏的尺寸，这主要是由于无铅焊料的润湿性较差，这将在后面进行讨论。为了在回流后焊盘获得类似的覆盖范围，需要采用更大的孔尺寸设计。至于丝网印制机，从有铅工艺转变到无铅工艺并不会在印制机设计方面带来不同。

然而，无铅焊接的回流炉需要做一些改进。由于无铅焊料的熔点较高，需要更高的回流温度，这必然导致加热过程的孔板变长，因此需要控制的加热时间延长。总的来说，为了维持与铅锡焊接过程控制相当的水平，无铅焊料回流炉需要增加一或两个加热区域。另外，由于无铅焊料的润湿性较差，对于某种产品设计，氮气保护就显得十分必要，这将在下文进行讨论。

### 5.7.2 回流曲线

无铅焊接工艺除了回流温度提高外，其升温曲线与铅锡焊接工艺大致相同。总体而言，无铅焊膏的回流曲线形状可分为均热曲线和线性升温曲线，如图5.10所示。

Lee通过机理分析，详细预测和讨论了线性升温曲线的优点[34]。该预测后来获得了很多研究的支持。例如，与均热曲线相比，线性升温曲线情况下的焊接强度明显提高，焊接强度的范围变窄[56]。此外，根据报道，与均热曲线相比，采用线性升温曲线的情况下产生失效的跌落数会加倍[57]。

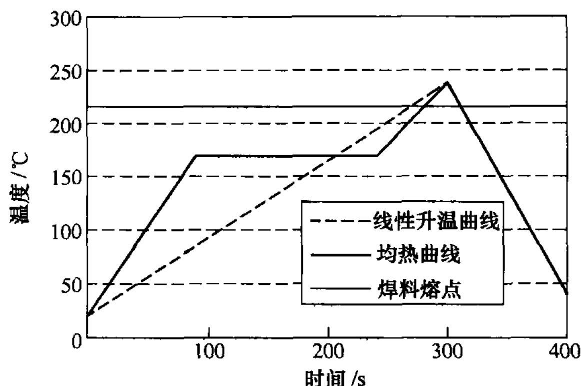



图5.10 无铅焊料回流曲线的主要类型

至于回流峰值温度，虽然铅锡共晶焊料通常的做法是回流温度比熔点高30℃以上，但努力降低无铅焊料回流的峰值温度正成为一种趋势。美国摩托罗拉（Motorola）公司已经采用峰值温度为235℃±5℃，液相线上时间为70s±10s的线性升温曲线，加工的超过1亿台手机的成品率高、质量高[58]。美国旭电（Solectron）公司将SAC387在空气中的回流峰值温度降低到225℃，所报道的可靠性大于3500次热循环（0~100℃）[59]。在后一种情况下，峰值温度超过液相线温度的值低于8℃。

Shina 等人还研究了处于液相线上的时间影响。当处于液相线以上的时间从60s 增加到 90s 接着到 120s 时，焊接强度几乎不变[56]。

## 5.7.3 特殊曲线

尽管线性升温曲线与传统的均热曲线相比优势明显，但它并不总是加工过程中的最佳选择。例如对于可能存在孔洞问题的产品设计（如通孔焊盘设计），产生最少孔洞的最佳回流曲线与环境有关。

焊接空洞是由焊料熔化时焊料接头中的除气作用引起，通过降低除气作用或提高润湿性，以及两者共同作用可以降低孔洞[60]。回流曲线对孔洞的影响主要体现在这两个方面。

### 5.7.3.1 除气控制

图 5.11 所示为助焊剂随着热量输入增加的典型除气行为。总的说来，随着热量输入的增加，实际上所有助焊剂的除气率在最初都会提高，到达最高点后逐渐下降。熔化温度以上的最少除气作用区域在点 1 或点 2 位置。点 1 代表热量输入最小值，伴随着一个短暂、快速的升温过程和低峰值温度，如图所示曲线 1。其目的是在主要除气作用开始前完成回流过程。点 2 代表长时间的保温和低峰值温度，如图所示曲线 2。其目的是在焊料熔化前除去易挥发物质。长时间保温有助于去除挥发物，而低峰值温度有助于降低焊料熔化时进一步的除气作用。美国旭电（Solectron）公司的研究已经证实了长时间保温与低峰值温度对控制除气的有效性[61]。

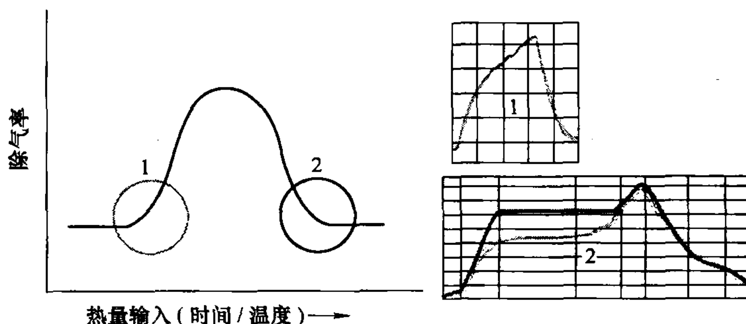



图 5.11 助焊剂除气率和热量输入间的关系（此处热量输入是时间与温度的共同作用，点 1 和点 2 分别代表曲线 1 和曲线 2）

### 5.7.3.2 润湿控制

随着温度增加和时间延长，助焊剂反应增强，润湿性也随着提高。因此，具有高温和长时间的回流曲线有助于提高浸湿作用[62]。图 5.12 所示为无铅焊膏 C 在不同回流曲线下回流时的空洞性能。焊膏 C 的抗氧化性很强，从 2min 到 8min，保温时间依次增加，峰值温度也从 230℃ 提高到 255℃。此时，孔洞不仅随着保温时间增加而减少，而且随着峰值温度增加而减少。从而有力地证明了提高润湿性对降低

孔洞的作用。

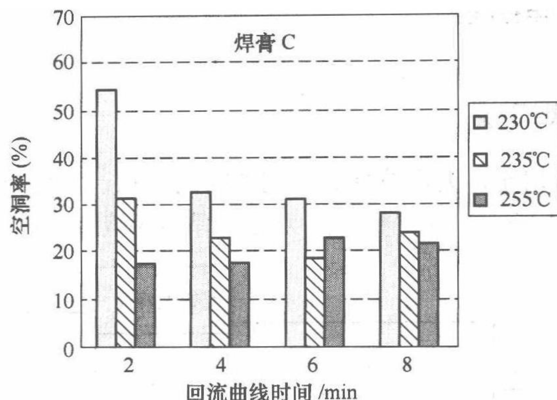



图 5.12 无铅焊膏 C（抗氧化性强）在不同回流曲线下回流时的空洞率

### 5.7.3.3 除气与润湿平衡

然而，由于助焊剂损失和氧化作用，润湿行为就变得复杂了。助焊剂随着热量输入增加逐渐挥发。此外，在空气中，助焊剂的氧化作用也随着温度和时间增加而增强。图 5.13 所示为无铅焊膏 A 在不同回流曲线下的空洞性能。焊膏 A 的抗氧化性较差，由于去除了挥发物，增加保温温度对峰值温度为 230℃和 235℃的回流曲线的最初降低孔洞是有利的，而最后孔洞的增加是由于氧化作用增强。峰值温度为 255℃的回流曲线清楚地表明了氧化作用增强的效果[62]，最佳回流曲线应该是同时考虑润湿和除气作用的一种平衡。

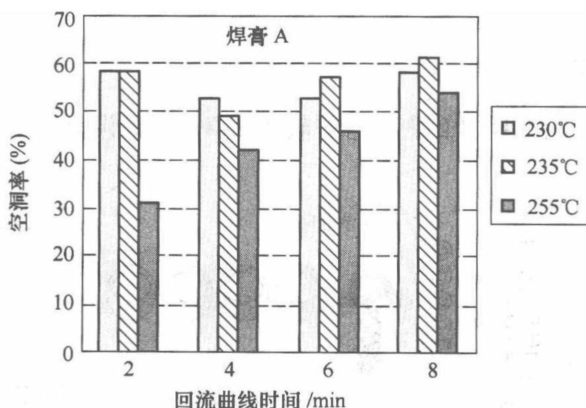



图 5.13 无铅焊膏 A 在不同回流曲线下的孔洞性能，焊膏 A 的抗氧化性较差

# 5.8 无铅波峰焊组装

## 5.8.1 无铅波峰焊工艺

与锡铅焊接工艺相比，无铅波峰焊工艺的时间更长、温度更高，以满足预热和起波要求，如图 5.14 所示。这主要是因为无铅焊料的熔点较高、润湿性较差。

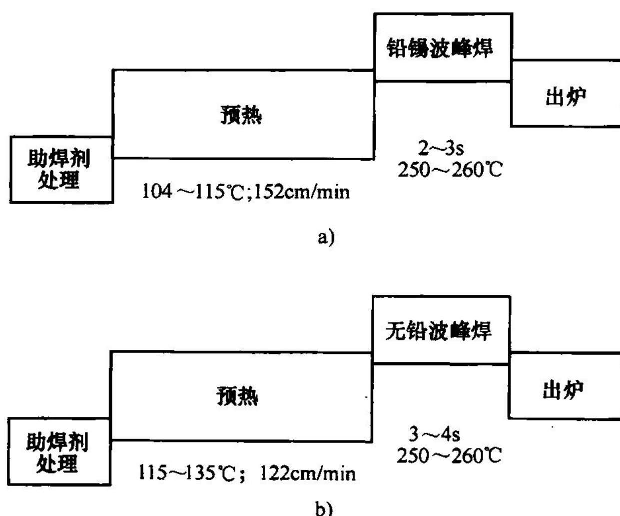



图 5.14 铅锡焊料和无铅焊料波峰焊工艺的比较
a）铅锡焊料 b）无铅焊料

## 5.8.2 PCB 设计

为了应对有铅到无铅波峰焊工艺的转变，对 PCB 设计做了一些修正，如图 5.15 所示。

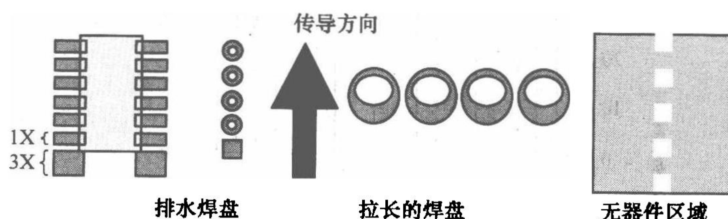



图 5.15 无铅焊料波峰焊 PCB 设计

（1）在 PCB 下方采用中心线支撑，可以解决由于温度升高引起的电路板下垂问题。为了固定该中心线，必须在电路板底部中心安装一条约 3~4mm 宽的非元器

件线。

(2) 为了充分填满通孔并降低孔洞，设计的通孔直径必须比引脚直径至少大10mil (0.25mm)。

(3) 为了便于焊料溢出，最好是一个溢流垫挨着一排焊点，沿着移动方向延长的通孔焊盘也有助于减少桥结。

为了控制倒圆角升高，除了可以增加冷却速度，也可以通过降低焊料掩膜所确定的外露焊盘尺寸来实现。

除了上述设计的修正，一些用于铅锡焊接工艺的常规设计经验也可以用于无铅焊接。例如，为了降低桥连，分立元件应该与移动方向平行对准[63]。

### 5.8.3 设备侵蚀

无铅焊接朝着波峰焊转变的最初影响是设备侵蚀。在波峰焊机中，锡与铁反应很容易形成金属间化合物 $FeSn_2$，导致不锈钢部件的快速侵蚀。由于无铅焊料槽的温度更高，这种侵蚀会进一步恶化。为了补偿锡侵蚀，研发了一些新设备与材料，见表5.9。

表5.9 用于无铅波峰焊机的材料研发

| 材料 | 优点 | 缺点 | 寿命 |
|---|---|---|---|
| 304不锈钢 | 成本低 | 抗腐蚀性最小 | 1月 |
| 316不锈钢 | 成本低 | 抗腐蚀性最小 | 3~6月 |
| 铸铁 | 成本低 | 耐腐蚀性最小 | 1~2年 |
| 表面涂层不锈钢 | 抗锡腐蚀性好 | 涂层刮伤后性能降低 | 6~12月 |
| 表面涂层铸铁 | 抗锡腐蚀性好 | 涂层刮伤后性能降低 | 3~5年 |
| 钛 | 抗锡腐蚀性很好 | 制造成本高 | 10年 |

### 5.8.4 厚PCB通孔填充

对于通孔填充，IPC-A-610D规定必须填满孔洞的75%[64]。对于1级要求，孔洞填充率可以是50%，对于2级是有条件的，3级是绝对不允许。对于2级，当通孔（PTH）连接到大热沉（heat sink）上，并且围绕孔壁和引角的焊料润湿是均匀的，50%的孔洞填充率也是可以接受的。

虽然普通板厚的无铅焊接应用满足IPC的规定，但工业界在厚板或大板方面碰到了很大困难，特别是采用OSP表面处理时[65-67]。尽管对不满足规定的接头进行返修是惯常的做法，但由于返修时会过度加热，焊接头的可靠性受到损害。美国惠普公司提出了一种用于厚板通孔填充的替代标准[67]。在该标准中，经过各种加速测试后的通孔焊点抗拉强度最小是5lbf。研究发现，抗拉强度只取决于孔内的引脚浸湿长度。根据板厚和特定产品应用要求建立填孔要求，应用要求越严格，填孔要

求越高。此外，最严格条件下的填孔要求要作为相同板厚的所有应用的准则。例如，板厚为0.062in、0.097in和0.130in的填孔要求分别是75%、47%和35%。

## 5.9 无铅焊点检查

英国国家物理实验室（National Physical Laboratory，NPL）评估了自动光学检测（Automated Optical Inspection，AOI）技术检查无铅焊点的能力。结果表明，大部分AOI系统可用于检查无铅焊料表面组装，获得的测试数据与锡铅焊料组装的相同或更好，两者组装方式的伪缺陷率也大致相当。

然而，总的说来，无铅焊料焊点比锡铅焊料焊点更粗糙、条纹更多，如图5.16所示。国家电子制造协会（National Electronics Manufacturing Initiative，NEMI）的研究表明，由于焊料焊点的外观类型增多，很难区分无铅焊料焊点的好坏，需要采用调节更精密的光学检测设备，特别是对于无铅和有铅焊膏混合涂覆的器件，并且混合涂覆将增加设备的编程时间[69]。




图5.16 Sn95.5Ag3.8Cu0.7和Sn99.3Cu0.7焊接点的实例

NPL完成的X-射线图像研究指出，自动X射线检测（Automated X-ray Inspection，AXI）系统在反映不同无铅材料方面没有问题[68]。NEMI也获得了相似的结论[69]，虽然日本佳能（Cannon）公司的报道中指出，倒装芯片无铅焊料焊接头的真实质量难以探测[70]。NEMI总结指出，大多数检测设备可用于无铅焊接检查，但必须培训操作人员和调整供应商[69]。

## 5.10 无铅焊点返修

### 5.10.1 手机返修

Goudarzi等人研究了手机的无铅焊料焊点返修[71]。经过评价，首选设备包括热空气单元、烙铁和底部加热器。根据可靠性和肉眼观察，选择含有2.7%的助焊剂，直径为15mil的焊丝。返修工艺与普通的锡铅焊料回流工艺进行了比较，见表5.10。

表5.10 有铅与无铅焊料系统返修工艺比较

| | | SnPb焊料 | 无铅焊料 |
|---|---|---|---|
| 温度曲线 | 上部 | 300℃ | 升高25℃ |
| | 下部 | 80℃ | 升高20℃ |
| 循环时间 | | 取决于质量 | 增加30% |
| 步骤 | | 与无铅焊料相同 | 与铅锡焊料相同 |
| 检查 | | 应使用标准检查规范 | 无铅焊料外观不同 |

### 5.10.2 BGA返修

总的来说，相比于共晶SnPb焊料，无铅焊料的返修要求设备具有更大的功率和更快的响应时间，要求具有更快的升温速率和降温速率。另外，提高冷却速率是减少空洞的关键[72]。

对于BGA返修，减小器件顶部和BGA焊料焊接头间的温度梯度是关键，可以通过喷嘴的设计来实现。底部加热十分重要，在顶面应该避免直接加热器件顶部，加热后用氮气水平喷向部件侧面。在Yoon等人的研究中，通过截面和X射线分析，及通过使用0～100℃循环条件下3500次热循环检查，返修后的焊料焊接头是合格的[73]。

重新组装BGA时，对于无铅焊料推荐使用凝胶型助焊剂蘸湿工艺。这是因为凝胶型助焊剂比液体助焊剂更能避免蒸发，因此更适合高温无铅焊接工艺。使用凝胶型助焊剂的额外好处是可以更好地控制焊盘处助焊剂的体积[72]。液体助焊剂，包括助焊剂圈，对于时间为3～5s的手工焊接是不错的，但并不适合焊接时间为几

分钟的无铅回流焊接。

## 5.11 无铅焊点可靠性

用于评价电子器件无铅焊点可靠性的两种最重要特性是温度循环性能和抗跌落性能。材料、工艺和环境对可靠性的影响将在下面讨论。因为微结构控制了可靠性，所以首先了解焊点的微结构十分关键，特别是在焊点中形成了金属间化合物（IMC）。

### 5.11.1 微结构

锡银铜焊料 SAC387 的微结构如图 5.17 所示，大量短棒状明亮 $Ag_3Sn$ 微粒和一些小的暗灰色 $Cu_6Sn_5$ 颗粒分散在灰色树枝状锡晶组成的锡基体中，少量大颗粒 $Cu_6Sn_5$ 随机分散。在 Ag 含量超过约 2.5%（质量分数）的地方，也可形成大的片状 $Ag_3Sn$。

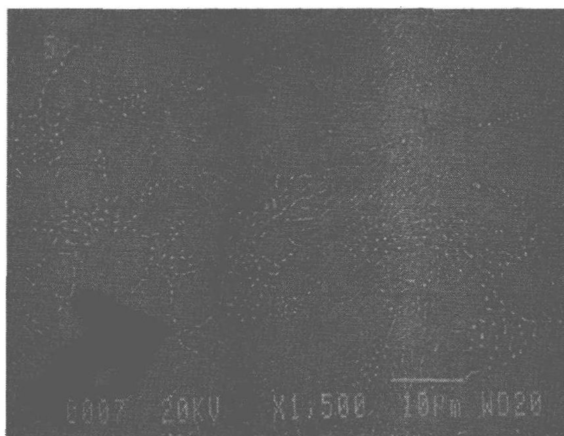



图 5.17 在 Cu 上回流的 SAC387 焊料横截面 SEM 图

回流过程冷却时，可能先形成大的片状 $Ag_3Sn$，接着液态焊料中形成树枝状锡晶体。随着进一步冷却，小颗粒 $Ag_3Sn$ 和 $Cu_6Sn_5$ 从树枝状锡晶体中析出[75]。

对于共晶合金 SnAg 和 SnCu，同样可在树枝状锡晶体间形成小棒状的 $Ag_3Sn$ 和 $Cu_6Sn_5$ 颗粒。

### 5.11.2 焊点金属间化合物

#### 5.11.2.1 铜基板上的锡银铜

对于锡银铜（SAC）焊料，在 Cu 界面形成的金属间化合物是在靠近焊料边形成的 $Cu_6Sn_5$ 和靠近 Cu 边形成的 $Cu_3Sn$。对于波峰焊，IMC 厚度非常薄，多数情况

下≤0.1μm，几乎不可辨别[76]；但对于回流焊，IMC的典型厚度约为2μm，以$Cu_6Sn_5$为主导相。通过老化，$Cu_3Sn$层快速生长，变得与$Cu_6Sn_5$相当，如图5.18所示。对于有些BGA焊点，IMC厚度可高达5μm。Kao报道指出，加入小于0.1%的Ni就可以防止在铜上形成$Cu_3Sn$[77]。

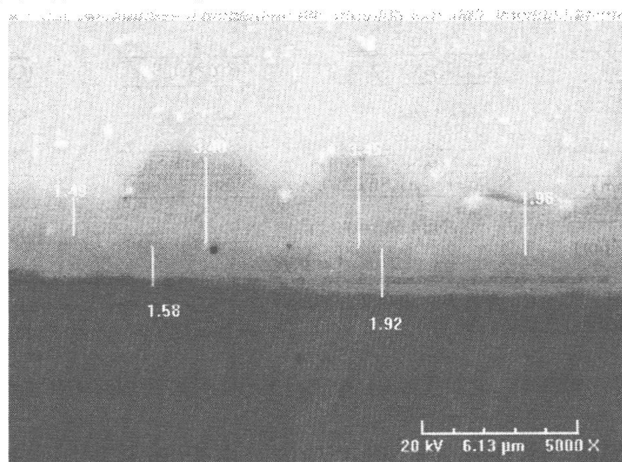



图5.18　Cu基板上的SAC305焊点在150℃下老化10天的SEM图

（当焊料靠近$Cu_6Sn_5$和Cu靠近$Cu_3Sn$时，在界面形成了IMC）

#### 5.11.2.2　镍基板上的锡银铜

在NiAu上形成IMC比在Cu上更复杂。Kao研究了焊料中Cu含量对Ni基板上IMC结构的影响，见表5.11[77]。对于焊料较少的焊点，Cu含量随着IMC生长下降很快，这导致界面处平衡相的转移，最后有可能导致IMC层大量碎裂。

**表5.11　Cu含量对在Ni基板上形成IMC的影响**（如果Cu量供应充足）

| 焊料中铜含量（质量分数）（%） | 形成IMC |
|---|---|
| ≤0.3 | 只形成$(Ni, Cu)_3Sn_4$ |
| 0.4～0.5 | $(Ni, Cu)_3Sn_4$和$(Cu, Ni)_6Sn_5$ |
| >0.5 | $(Cu, Ni)_6Sn_5$ |

Lu等人研究了焊料中铜含量对在Cu基板和化学镀镍浸金（ENIG）衬底间形成IMC结构的影响[78]，结果如图5.19所示。在Cu基板上残留的IMC为$(Cu, Ni)_6Sn_5$，但是在ENIG衬底上形成的IMC化合物随着焊料中Cu含量的增加而变化。当Cu含量为0%时，在Ni表面形成多层IMC；随着Cu含量增加，$(Ni, Cu)_3Sn_4$变成$(Cu, Ni)_6Sn_5$，NiPSn和$Ni_3$（SN，P）逐渐熔化并最终消失。当Cu含量为0%～5%（质量分数）时，最开始在焊点任何位置都没有发现$Ag_3Sn$。另一方面，Cu含量高会导致Cu-Sn的IMC疯狂生长，并促进$Ag_3Sn$片状结构的生长。

对于SnAgCu和Au/Ni（P）/Al焊点，在5次回流后对界面结构的TEM图进行

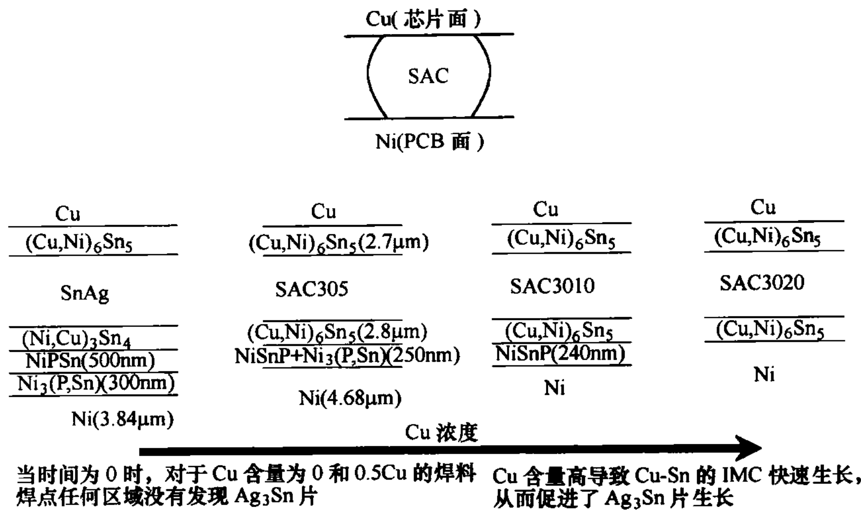



图 5.19 焊料中 Cu 含量对 Cu 衬底与 ENIG 衬底间焊点 IMC 结构影响

了分析[79,80]。在厚度为 0.1μm 的 NiSnP 层内，由于 Sn 从该层中扩散出来产生了微孔洞。

#### 5.11.2.3 IMC 生长

Song 等人研究了 150℃热老化对 OSP 和 ENIG 基板上无铅焊料 IMC 形成率的影响，结果如图 5.20 所示[81]。OSP 基板比 ENIG 具有更高的 IMC 生长率，主要归因于 Cu 的扩散率高于 Ni。在 OSP 基板上，SAC405 的生长率低于 Sn96.5Ag3.5（SA）。这可能是因为在焊料中存在 Cu 时，延迟了 Cu 衬底扩散。在 ENIG 基板上，SAC405 的 IMC 生长率也比 SA 稍低。

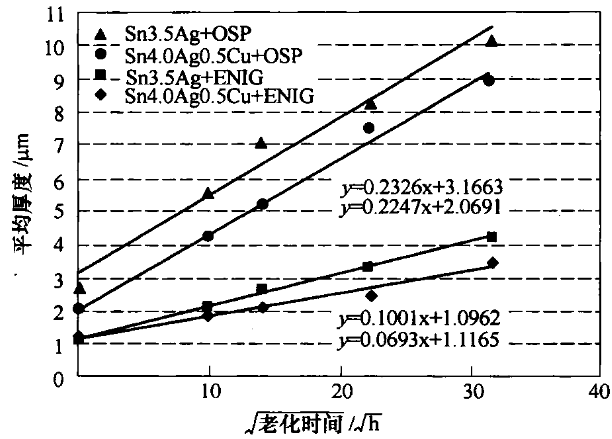



图 5.20 IMC 厚度与 150℃老化时间的相互关系（Cu-Sn 相存在两种 SA 中，SAC405 在 OSP 基板上，SAC405 中的 Ni-Cu-Sn 相在 ENIG 基板上，SA 中的 Ni-Sn 相在 ENIG 基板上）[81]

Xu 等人比较了等温老化、温度循环和热冲击对 SAC387/NiAu BGA 样品 IMC 生长率的影响。测试条件分别为，等温老化 125℃；温度循环（$T_C$）为 -40 ~ 125℃，高温保温 15min，1h/循环；热冲击温度（$T_S$）为 -55 ~ 125℃，高温保温 5min，17min/循环。在 $T_C$ 和 $T_S$ 的测试中，在 500、1000、1500 和 2000 次循环后分别测量 IMC 厚度，如图 5.21 所示[82]。不出所料，IMC 厚度随着测试时间的延长而增加。有趣的是，虽然在相同的测试时间跨度内，等温老化过程在 125℃ 下暴露的时间最长，但 IMC 生长率按如下顺序排列：$T_S$ 下的 > $T_C$ 下的 > 等温老化下的。很明显，在加速 IMC 生长方面，热应力比 125℃ 的条件起着更关键的作用，高热应力提高了 IMC 的生长率。

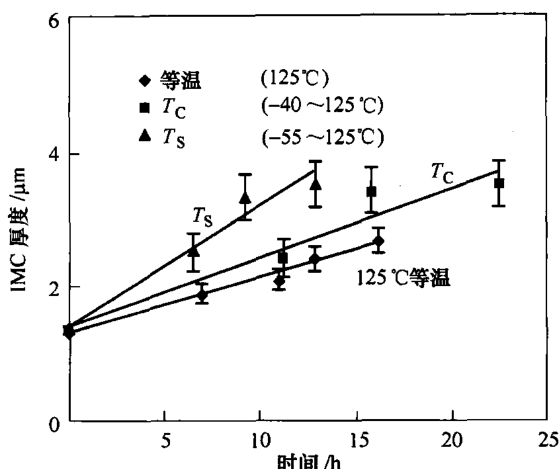



图 5.21 $T_C$、$T_S$ 与等温老化下的 IMC 厚度比较

（采用 SA C387 与 Ni-Au 基板）[82]

## 5.11.3 温度循环

Osterman 等人使用能承受各种热循环条件的 CLCC 组装，确立了 SAC397 和 SA 焊料互联结构的可靠性[83]。测试结果表明：

（1）在较低的热循环平均温度下，无铅焊料的可靠性优于 SnPb 焊料；

（2）在峰值温度为 125℃ 的最高热循环平均温度下，SnPb 焊料的可靠性优于无铅焊料；

（3）保温时间的影响随着热循环平均温度的升高而减少；

（4）当温度低于 100℃ 时，不管保温时间多长，无铅焊料比 SnPb 焊料更可靠；

（5）相比于 SnPb 焊料，无铅焊料可靠性对热循环中间温度的依赖性更强。

### 5.11.3.1 合金成分影响

焊料成分对温度循环性能有很大影响。Terashima 等人的报告中指出，在

Sn-xAg-0.5Cu系统中，对于 Ag 含量分别为1%、2%、3%、4%的焊料合金，50%失效率分别发生在约 305、375、345 和 605 次热循环后。换句话说，当 Ag 含量从4%下降到1%，铜焊盘上倒装芯片焊点的热疲劳寿命降低了 1/2（50%失效）[84]。所有测试合金都含有 0.5% Cu，测试循环为 -40 ~ 125℃，保温 10min。所报道的焊料断裂是一种混合模式——穿晶断裂和晶间断裂，与银含量无关。Ag 含量对热疲劳寿命的积极影响是因为 $Ag_3Sn$ IMC 颗粒的强化。例如，高浓度 $Ag_3Sn$ 导致焊料变硬部分是由于强化作用，部分是因为 Sn 晶粒尺寸变小。大量 $Ag_3Sn$ IMC 颗粒的存在也有效抑制了微结构粗化，因此保持了较高的耐疲劳性。Cu 含量增加会增强 $Cu_6Sn_5$ IMC 颗粒的影响，可能具有相似的效果。然而，这种方法可通过提高液相线温度，扩大焊料膏状范围来实现。例如，在 Cu 含量为4%（质量分数）时，液相线温度应该高于 300℃，从而给焊接工艺带来挑战。

#### 5.11.3.2 表面处理影响

Zbrzeznya 等人研究了表面处理对用于芯片电阻器的 SAC387 焊点加速温度循环性能的影响[85]。测试的电路板表面包括 Cu（浸 Ag 和 HASL）和 Ni（ENIG），同时测试的器件表面包括 Sn92Pb8 和 100% Sn。表 5.12 中的结果表明，与电路板上的镍焊接点相比，铜焊点产生首次失效的热循环数更高；另一方面，表面为 Sn92Pb8 的器件可靠性比表面为 Sn 的器件要稍好些。

表 5.12 电路板/器件表面与首次失效的循环次数

| | | 电路板表面 | |
|---|---|---|---|
| | | Cu | Ni |
| 器件表面 | Sn92Pb8 | 5081 | 3250 |
| | Sn | 4000 | 1595 |

铜焊点显著优良的可靠性可通过体材料中的 Cu 含量来进行解释。在铜电路板上，Cu 焊盘上 Cu 的溶解导致焊接点 Cu 富集，由于在晶界处存在大量 $Cu_6Sn_5$ 的 IMC 颗粒，从而产生晶粒尺寸较小的焊点，最终导致热循环寿命延长。由于在焊接界面形成了 $(Cu, Ni)_6Sn_5$IMC 层，Ni 电路板上的 SAC387 焊点被 Cu 耗尽，导致晶粒粗大，结果使寿命变短。

### 5.11.4 焊点脆性

与 SnPb 焊点相比，虽然 SAC 焊点在热循环测试中的表现令人满意[83,86,87]，但后来出现的焊点脆性很差被认为是无铅焊料合金意想不到的缺点[87-91]。

#### 5.11.4.1 合金成分的影响

无铅焊点脆性很差归因于无铅焊料具有较高的硬度。受到冲击时，振动能量难以被焊料的延展性所吸收，因此在界面连接最脆弱的 IMC 层产生断裂。对于 SAC 合金，由于形成了 $Ag_3Sn$ 和 $Cu_6Sn_3$ IMC 颗粒，提高 Ag 和 Cu 含量将增加焊料硬

度[89]。虽然Cu含量较低，但主要是为了阻止老化过程中IMC在Ni表面破裂，而减小Ag含量是降低SAC焊料硬度的有效手段。因此，Liu等人的报道指出，在跌落试验中，虽然SAC性能不如Sn63，但SAC105 BGA焊接点的性能比电镀NiAu衬底上的SAC387和SAC305好约5倍，如图5.22所示[92]。

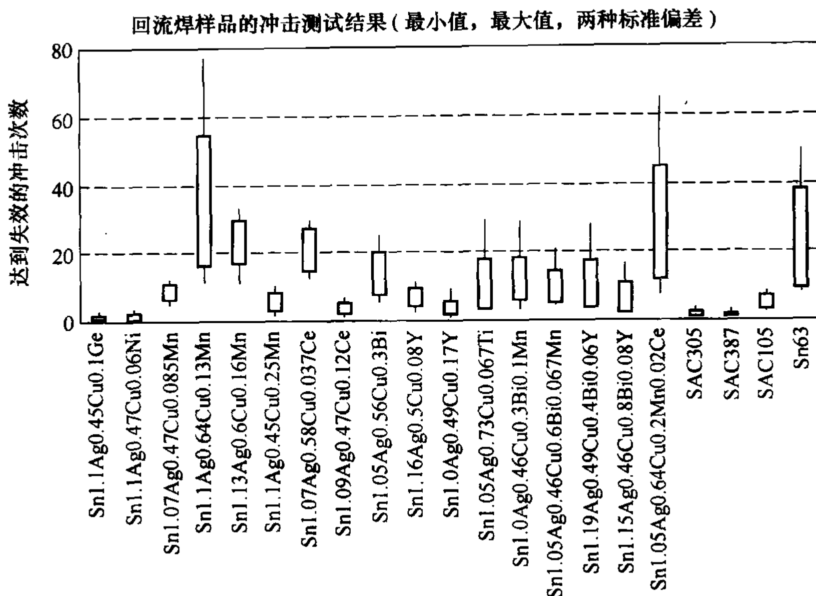



图5.22 刚回流焊加工完成的样品冲击试验结果（线条代表最小和最大值，方形框代表两种标准偏差，中间点是平均值）[92]

Cu含量对脆性的影响不如Ag直观。虽然降低Cu含量导致硬度降低，从而有望降低焊点脆性，但当增加Cu含量到2%（质量分数）时，焊料变成塑性材料，最终可以消除Sn95Ag3Cu2焊点的脆性失效模式[78]。

除了改变Ag和Cu含量，在焊料中少量掺加某种元素也可以有效降低SAC焊料焊点的脆性。Liu等人的报道指出，掺加元素Mn、Ti、Ce、Bi和Y可有效降低SAC焊料焊点的脆性，而Mn和Ti是最有效的[92]。在大多数情况下，SAC-Mn体系性能优于Sn63和SAC105。研究发现，SAC-Ti焊料在ENIG/OSP、NiAu/OSP和OSP/OSP衬底表面形成的焊点具有最佳性能[93]。SAC-Ti焊料的优良性能归因于：1）增加了晶粒尺寸和树枝状晶体大小，从而降低了焊料硬度；2）IMC层中包含了Ti；3）降低了IMC层厚度。Amagai等人发现，焊料中掺加0.2%（质量分数）的In和0.04%（质量分数）的Ni可使抗跌落性能提高20%[94]。Co、Ni和Pt溶解在IMC中，在经过4次焊料回流工艺后，IMC晶粒尺寸和厚度并没有明显增加。在拉伸测试中，断裂主要发生在焊料体内而非焊接界面[95]。

上述降低焊料脆性的方法可通过降低SAC焊料中Ag的含量来验证。如图5.23

所示，降低 Ag 含量通常会损害焊料的热循环耐疲劳性[84]。Huang 等人研究了同时具有高热疲劳特性和低脆性的焊料合金。其结果表明，对于高 Ag 的 SAC 合金，添加 0.1% ~0.6% Al 到 SAC 合金中对降低焊料硬度最有效，并且可使屈服强度下降到 SAC105 和 SAC1505 的水平，而蠕变率仍然保持在 SAC305 水平，如图 5.23 所示[96]。

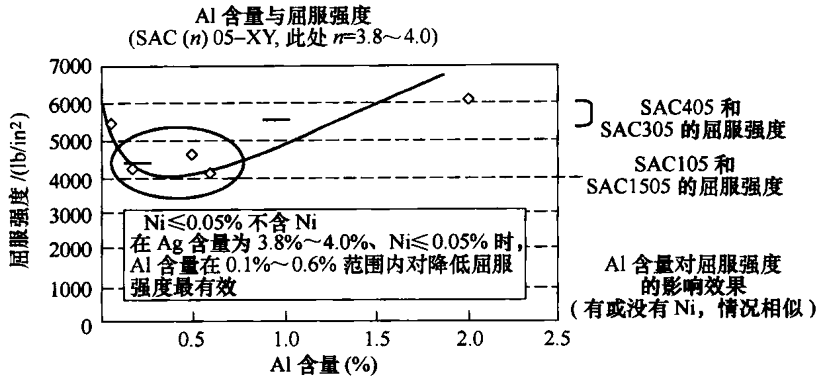



图 5.23　Al 含量对 SAC（n）05-XY 焊料屈服强度的影响[96]

#### 5.11.4.2　表面处理影响

表面处理对无铅焊点的脆性具有显著影响。Arra 等人研究了 SAC396 焊点的抗跌落性，观察到 NiPd、Sn85Pb15 和 Sn98Bi2 的跌落数分别为 10、13 和 20。在另一项研究中发现，通过改变铅涂层会影响焊接强度，但焊料跌落数与焊接强度无关，见表 5.13[98]。

表 5.13　焊接强度与各种铅涂层的冲击次数[98]

| 铅　涂　层 | 平均拉力/N | 跌落循环到失效的平均数 |
|---|---|---|
| Ni/Pd/Au | 23.3 | 3.5 |
| Sn98Bi2 | 20.0 | 9.5 |
| Sn85Pb15 | 17.3 | 6.6 |
| Sn | 14.3 | 5.2 |

Darveaux 等人研究了各种 PCB 表面处理后的焊点在拉伸试验中的失效模式[99]。结果指出，1）更多的回流热量在 Cu 衬底上比在 NiAu 衬底上产生更多的脆性破坏；2）脆性失效下降的趋势为 ImSn、ENIG > OSP > NiAu。

Song 等人也研究了在 OSP 和 ENIG 衬底上的 SAC BGA 焊球在拉伸试验时的失效模式[100]。其结果表明，OSP 比 ENIG 更倾向于产生脆性失效。ENIG 上的脆性失效是由于 IMC 与 Ni 层间连接很弱，以及 IMC 本身的脆性导致，如图 5.24 所示。而 OSP 焊盘上的脆性失效主要是由于 $Cu_6Sn_5$ 和 $Cu_3Sn$ 的 IMC 相间连接不牢固所致。

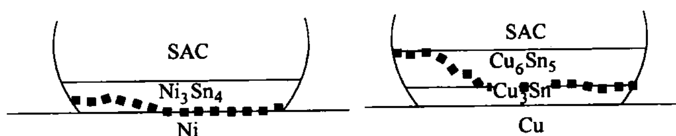



图5.24 拉伸试验中，在Ni和Cu上的SAC焊点的失效位置

## 5.12 总结

无铅焊接的介绍到此结束，其中SAC合金是主流选择。无铅焊料的焊接工艺窗口比Sn63窄，主要是因为SAC焊料的熔点升高，以及部件和电路板的耐高温能力有限。对于热循环性能而言，无铅焊点的可靠性是可接受的。虽然取得了显著改进，但降低焊点的脆性仍然是个难题。

## 参考文献


1. IPC Global Solder Statistical Program Report for 2nd Quarter 2007, August 2007
2. "Electronics Manufacturing with Lead-Free, Halogen-Free, and Conductive-Adhesive Materials" by John H. Lau, C. P. Wong, Ning-Cheng Lee, S. W. Ricky Lee. Hardcover: 700 pages, 1st edition (August 27, 2002), by McGraw-Hill.
3. C. Hunt and D. Lea, "Solderability of Lead-Free Alloys", in Proceedings of Apex 2000, Long Beach, CA, March 2000.
4. Nihon Superior data sheet, www.nihonsuperior.co.jp/english/products/leadfree/#01
5. Indium Corporation data sheet, www.indium.com/_dynamo/download.php?docid = 500
6. Weiping Liu and Ning-Cheng Lee, "Novel SACX Solders with Superior Drop Test Performance", SMTA International, Chicago, IL, September, 2006
7. Indium Corporation, patent pending.
8. Benlih Huang and Ning-Cheng Lee, "Prospect of Lead Free Alternatives for Reflow Soldering", IMAPS'99 – Chicago.
9. AIM data sheet, www.aimsolder.com/techarticles/Comparison of Lead Free.PDF
10. Alpha Metals data sheet. alpha.cooksonelectronics.com/sacxdatalibrary/pdfs/SACX%20Wetting%20versus%20SAC0307.pdf
11. www.europeanleadfree.net/pooled/articles/BF_DOCART/view.asp?Q = BF_DOCART_198565
12. M. Date, T. Shoji, M. Fujiyoshi, and K. Sato, "Pb-free Solder Ball with Higher Impact Reliability", Intel Pb-free Technology Forum, 18th – 20th July 2005, Penang, Malaysia.
13. Benlih Huang, Hong-Sik Hwang, and Ning-Cheng Lee, "A Compliant and Creep Resistant SAC-Al(Ni) Alloy", ECTC, Reno, Nevada, May 26-June 1, 2007
14. Private communication with IBM.
15. Masazumi Amagai, "A Study of Nano Particles in SnAg-Based Lead Free Solders for Intermetallic Compounds and Drop Test Performance", 56th ECTC Proceedings, pp. 1170–1190, San Diego, CA, May 30–June 2, 2006
16. Benlih Huang and Ning-Cheng Lee, "Prospect of Lead Free Alternatives for Reflow Soldering", IMAPS'99 – Chicago
17. Ning-Cheng Lee, "Future Lead-Free Solder Alloys and Fluxes – Meeting Challenges of Miniaturization", International Microsystems, Packaging, Assembly and Circuits Technology (IMPACT) conference, Taipei, Taiwan, Oct. 1–3, 2007.

18. Guo-yuan Li, and Xun-qing SHI, "Effects of bismuth on growth of intermetallic compounds in Sn-Ag-Cu Pb-free solder joints", Transactions of Nonferrous Metals Society of China, Volume 16, Supplement 2, June 2006, pp. s739–s743
19. Zequn Mei, Fay Hua, and Judy Glazer, "SN-BI-X Solders", SMTA International, San Jose, CA, Sept. 13–17, 1999.
20. K. Suganuma, "Japan Leadfree 2001".
21. T. Baggio, "The Panasonic Mini Disk Player – Turning a New Leaf in a Lead-Free Market", IPCWorks'99, Minneapolis, MN, Oct. 27, 1999.
22. "*Lead-free Electronics*", Editor(s): Sanka Ganesan, Michael Pecht, 2003 CALCE EPSC Press., p. 444.
23. Toshikazu Yamaguchi and Takao Enomoto, "Tin-Zinc Solder Paste", Apex, San Diego, CA, Jan. 14–18, 2001
24. Günter Grossmann, Giovanni Nicoletti, Ursin Solèr , "Results of Comparative Reliability Tests on Lead-free Solder Alloys", 52nd ECTC, S30-P1, San Diego, CA, May 28–31, 2002.
25. Hirokazu Tanaka, Yuuichi Aoki, Makoto Kitagawa and Yoshiki Saito, "Reliability Testing and Failure Analysis of Lead-Free Solder Joints under Thermo-Mechanical Stress", Apex, S28-1, Anaheim, CA, Feb. 2004
26. J. Glazer, "Metallurgy of low temperature Pb-free solders for electronic assembly", International Materials Reviews, vol. 40, No. 2, pp. 65–93 (1995).
27. "Lead-Free Solder", Manufacturing Market Insider, pp. 6 (Oct., 1993).
28. Judy Glazer, "Microstructure and mechanical properties of Pb-free solder alloys for low-cost electronic assembly: a review", J. Electronic Materials, vol. 23, no. 8, pp. 693–700 (Aug. 1994).
29. Valeska Schroeder, and Fay Hua, "Feasibility Study of 57Bi-42Sn-1Ag Solder", Apex, San Diego, CA, Jan. 14–18, 2001
30. S.G. Gonya, J.K. Lake, R.C. Long, R.N. Wild, "Lead-free tin-bismuth solder alloys", IBM, Armonk, NY, US Patent 5,368,814, Nov. 29, 1994.
31. IPC J-STD-006B Requirements for electronic grade solder alloys and fluxed and non-fluxed solid solders for electronic soldering applications, Jan. 2006.
32. Ning-Cheng Lee, "Combining Superior Anti-Oxidation and Superior Print - Is it Really Impossible?", EPP EUROPE DECEMBRE 2007, pp. 20–21.
33. Paul Jaeger and Ning-Cheng Lee, "A Model Study of Low Residue No-Clean Solder Paste", in Proceeding of Nepcon West, Anaheim, CA, 1992.
34. Ning-Cheng Lee, "Reflow Soldering Processes and Troubleshooting – SMT, BGA, CSP and Flip Chip Technologies", Newnes, pp. 269, 2001.
35. "Lead-Free Electronics: iNEMI Projects Lead to Successful Manufacturing", edited by Edwin Bradley, Carol A. Handwerker, Jasbir Bath, Richard D. Parker, and Ronald W. Gedney, 472 pages, published by Wiley-IEEE, 2007.
36. K. Wengenroth, Y. Yau, F. Fudala, R. Prendergast, and J. Abys, "Alternative final finishes for PWB", QuickStart Lead-free Workshop, Ft. Lauderdale, FL, July, 27, 2004.
37. Walter Horaud, Sylvain Leroux, Hélène Frémont, Dominique Navarro, "PCB Materials Behaviours towards Humidity ", Apex, S07-2, Anaheim, CA, Feb. 2004
38. Sammy Shina, Liz Harriman, Todd MacFadden, Donald Abbott, Richard Anderson, Helena Pasquito, George Wilkish, Marie Kistler, David Pinsky, Mark Quealy, Karen Walters, Richard McCann, and Al Grusby, "Lead Free Conversion Analysis for Multiple PWB/Component Materials and Finishes using Quality and Reliability Testing", Apex, S29-4, Anaheim, CA, Feb. 2004
39. Koji Saeki, and Michael Carano, "Next Generation Organic Solderability Preservatives (OSP) for Lead-free soldering and Mixed Metal Finish PWB's and BGA Substrates", Apex, S10-2, Anaheim, CA, Feb. 2004
40. U. Ray, I. Artaki, D.W. Finley, G.M. Wenger, T. Pan, H.D. Blair, J.M. Nicholson, and P. T. Vianco, "Assessment of Circuit Board Surface Finishes for Electronic Assembly with Lead-Free Solders", SMI 96, Sep. 10–12, 1996, San Jose, CA

41. Muffadal Mukadam, Norman Armendariz*, Raiyo Aspandiar, Mike Witkowski, Victor Alvarez, Andrew Tong, Betty Phillips, and Gary Long (Intel Corporation), "Planar microvoiding in lead-free second-level interconnect solder joints", SMTAI, Sep., 2006, Chicago, IL
42. John Swanson and Donald Cullen, "Verifying microvoid elimination and prevention via an optimized immersion silver process", APEX, S18-01, Feb. 20–22, 2007, Los Angeles, CA
43. Yung-Herng Yau, Karl Wengenroth and Joseph Abys, "A study of planar microvoiding in Pb-free solder joints", APEX, S18-02, Feb. 20–22, 2007, Los Angeles, CA
44. Jing Li Fang, Daniel K. Chan, "The Advantages of Mildly Alkaline Immersion Silver as a Final Finish for Solderability", APEX, S23-02, Feb. 20–22, 2007, Los Angeles, CA
45. IPC/JEDEC J-STD-020D June 2007 Moisture/Reflow Sensitivity Classification for Non-hermetic Solid State Surface Mount Devices.
46. Cho-Liang Chung, Liang-Tien Lu and Yao-Jung Lee, "Influence of halogen-free compound and lead-free solder paste on on-board reliability of green CSP (chip scale package)", Microelectronics and Reliability, Vol. 45, No. 12, Dec. 2005, pp. 1916–1923.
47. {Lead-Free Component Team}, "Component Implications of Lead-Free Reflow Assembly", IPC/NEMI Symposium on Lead-Free Electronics, Sep. 18–19, 2002, Montreal, Canada
48. Vijay Gopalakrishnan, Vivek Venkataraman, Robert Murcko, Krishnaswami Srihari, Scott J. Anson, "Moisture and Reflow Sensitivity Evaluations of SMT Packages as a Function of Reflow Profile at Eutectic and Lead Free Temperatures", Apex, S19-3, Anaheim, CA, Feb. 2004
49. Arshad Khan, Rex Lam, and Bruce Houghton, "Printed Circuit Board Reliability in High Temperature Lead-Free Processes", Printed Circuit Board Reliability in High Temperature Lead-Free Processes", Apex, S40-1, Anaheim, CA, Feb. 2004
50. L.J. Turbini, W.R. Bent, W.J. Ready, "Impact of higher melting lead-free solders on the reliability of printed wiring assemblies", SMTA International, Chicago, IL, Sep. 20–24, 2000.
51. Edward Kelley, "An Assessment of the Impact of Lead-Free Assembly Processes on Base Material and PCB Reliability", Apex, S16-2-1, Anaheim, CA, Feb. 2004
52. Alan Rae, "Improved Electrical Properties of Epoxy Molding Compound and Circuit Board Materials Using Halogen-Free Flame Retardant Systems", Apex, P5-05, Anaheim, CA, Feb. 2004
53. Christiane Faure, Jean-François Couderc, Gilbert Zanon, Kim Hyland, Dennis Willie, "Lead Free Assembly: Process Considerations", IPC/Soldertec Global 3rd International Conference on Lead Free Electronics", Barcelona, Spain, June 8–9, 2005.
54. C. A. Harper, Electronic Packaging and Interconnection Handbook, McGraw-Hill, New York, 1991.
55. Jasbir Bath, "Lead-free Reflow Process Experience {Lead-Free Process Team}", IPC/NEMI Symposium on Lead-Free Electronics, Sep. 18–19, 2002, Montreal, Canada
56. Sammy Shina, Hemant Belbase, Karen Walters, Tom Bresnan, Peter Biocca, Tim Skidmore, David Pinsky, Phil Provencal, Don Abbott, "Selecting Material and Process Parameters for Lead-Free SMT Soldering Using Design of Experiments Techniques", Apex, San Diego, CA, Jan. 14–18, 2001
57. Yueli Liu, Guoyun Tian, Shyam Gale, R. Wayne Johnson, and Pradeep Lall, and Larry Crane, "Lead Free Assembly of Chip Scale Packages", Apex, S34-1, Anaheim, CA, Feb. 2004
58. Vahid Goudarzi, "Pb-free Manufacturing Process Development and Implementation", Indium Corporation "Quick Start" Workshop, Libertyville, IL, Sep. 2004.
59. Sam Yoon and Roy Wu, Jasbir Bath, Chris Chou and Samson Lam, "Assembly, Rework and Reliability of Lead-free FCBGA Soldered Component", Apex, S29-2-1, Anaheim, CA, Feb. 2004
60. Ning-Cheng Lee, "Critical Parameters in Voiding Control At Reflow Soldering", Chip Scale Review, August–September 2005.
61. H. Ladhar and S. Sethuraman, "Assembly Issues with Microvia Technologies", SMTA International, Chicago, IL, Sept. 2003.

62. Yan Liu, William Manning, Benlih Huang, and Ning-Cheng Lee, "A Model Study of Profiling for Voiding Control at Lead-free Reflow Soldering", Nepcon Shanghai, China, April 11, 2005
63. Jennifer Nguyen, Robert Thalhammer, David Geiger, Harald Fockenberger and Dong-kai Shangguan, "Large and Thick Board Lead-Free Wave Soldering Optimization", APEX, S34-01, Feb. 20–22, 2007, Los Angeles, CA,
64. IPC-A-610D. 7.5.5.1
65. Bala Nandagopal, Sue Teng and Doug Watson, "Effect of OSP Chemistry on the Hole Fill Performance During Pb-free Wave Soldering", APEX, S08-01, Feb. 20–22, 2007, Los Angeles, CA
66. Jennifer Nguyen, Robert Thalhammer, David Geiger, Harald Fockenberger and Dong-kai Shangguan. "Large and Thick Board Lead-Free Wave Soldering Optimization", APEX, S34-01, Feb. 20–22, 2007, Los Angeles, CA,
67. Ernesto Ferrer, Elizabeth Benedetto, Gary Freedman, Francois Billaut, Helen Holder, David Gonzalez, "Reliability of Partially Filled SAC305 Through-Hole Joints", APEX, Anaheim, CA, S29-02, Feb. 5–10, 2006
68. Michael J Smith, "Test and Inspection of Lead-Free Assemblies", Apex, S27-3, Anaheim, CA, Feb., 2004
69. Jasbir Bath, "Lead-free Reflow Process Experience {Lead-Free Process Team}", IPC/NEMI Symposium on Lead-Free Electronics, Sep. 18–19, 2002, Montreal, Canada
70. Mark Cannon, "Lead Free First Article Inspection: The Key to Success", Apex, S05-5, Anaheim, CA, Feb. 2004
71. Gold Goudarzi and Olga Diaz, "Lead free repair process", QuickStart Lead Free Soldering Workshop, Oct. 07, 2003, Ft. Lauderdale, FL.
72. Paul Wood, "Lead-Free Array Rework - What's Important In Lead Free Rework", Nepcon Shenzhen, August 30th, 2005
73. Sam Yoon and Roy Wu, Jasbir Bath, Chris Chou and Samson Lam, "Assembly, Rework and Reliability of Lead-free FCBGA Soldered Component", Apex, S29-2-1, Anaheim, CA, Feb. 2004
74. Sung K. Kang, Won Kyoung Choi, Da-Yuan Shih, Donald W. Henderson, Timothy Gosselin, Amit Sarkhel, Charles Goldsmith and Karl J. Puttlitz, "Formation of Ag3Sn Plates in Sn-Ag-Cu Alloys and Optimization of their Alloy Composition", 53rd Electronic Components & Technology Conference, S02P5C, New Orleans, LA, May 27–30, 2003
75. Polina Snugovsky, Zohreh Bagheri, Matthew Kelly, Marianne Romansky, "Solder joint formation with Sn-Ag-Cu and Sn-Pb solder balls and pastes", SMTA International, September 22–26, 2002, Chicago, IL
76. Private communication with Denis Barbini, Soltec.
77. C. Robert Kao, "Cross-interaction between Cu and Ni in lead-free solder joints", TMS Lead Free Workshop, San Antonia, TX, March 12, 2006.
78. Henry Y. Lu, Haluk Balkan, Joan Vrtis, and K.Y. Simon Ng, "Impact of Cu Content on the Sn-Ag-Cu Interconnects", 55th ECTC, P.113-119, May 31–June 3, 2005
79. K. Zeng and K. N. Tu, "Reliability Issues of Pb-free Solder Joints in Electronic Packaging Technology", Dept. of Materials Science and Engineering, UCLA, Los Angeles, CA 90095-1595, USA, to be published in 2002.
80. J. Kivilahti, Helsinki University of Technology, Finland
81. Fubin Song and S. W. Ricky Lee, "Investigation of IMC Thickness Effect on the Lead-free Solder Ball Attachment Strength: Comparison between Ball Shear Test and Cold Bump Pull Test Results", 56th ECTC Proceedings, pp. 1196–1203, San Diego, CA, May 30–June 2, 2006
82. Luhua Xu and John H.L. Pang, "Effect of Intermetallic and Kirkendall Voids Growth on Board Level Drop Reliability for SnAgCu Lead-free BGA Solder Joint", 56th ECTC Proceedings, pp. 275–282, San Diego, CA, May 30–June 2, 2006
83. Michael Osterman, Abhijit Dasgupta, and Bongtae Han, "A Strain Range Based Model for Life Assessment of Pb-free SAC Solder Interconnects", 56th ECTC Proceedings, pp. 884–890, San Diego, CA, May 30–June 2, 2006

84. S. Terashima, Y. Kariya, T. Hosoi, and M. Tanaka, "Effect of silver content on thermal fatigue life of Sn-xAg-0.5 Cu flip-chip interconnects ", Journal of Electronic Materials, Vol. 32, No. 12, p.1527 (2003).
85. A.R. Zbrzeznya, P. Snugovskya, D.D. Perovicb, "Reliability of Lead-Free Chip Resistor Solder Joints Assembled on Boards with Different Finishes Using Different Reflow Cooling Rates", IPC/JEDEC 5th International Conference on Lead Free Electronic Components and Assemblies, San Jose, CA, March 18–19, 2004
86. Edwin Bradley, "Lead-Free Solder Assembly: Impact and Opportunity", 53rd Electronic Components & Technology Conference, S02P1C, New Orleans, LA, May 27–30, 2003
87. Gordon Gray, "Lead-free soldering for CSP", IPC/JEDEC 5th International Conference on Lead Free Electronic Components and Assemblies, San Jose, CA, March 18–19, 2004
88. Vijay Wakharkar and Ashay Dani, "Microelectronic Packaging Materials Microelectronic Packaging Materials Development & Integration Development & Integration Challenges for Lead Free Challenges for Lead Free", Lead-free workshop, TMS, San Antonio, TX, March 12, 2006.
89. M. Date, T. Shoji, M. Fujiyoshi, and K. Sato, "Pb-free Solder Ball with Higher Impact Reliability", Intel Pb-free Technology Forum, 18th–20th July 2005, Penang, Malaysia
90. Donald Henderson, "On the question of SAC solder alloy – Cu pad solder joint fragility", Webcast Meeting on SAC Solder Joint Fragility, Binghamton, NY, Sep. 2004.
91. P.A. Kondos & S. Mandke, "Kirkendall voiding in Cu pads and other pad issus", UIC Fragile SAC Joint Meeting. Binghamton, NY, Oct. 7, 2004.
92. Weiping Liu and Ning-Cheng Lee, "Novel SACX Solders with Superior Drop Test Performance", SMTA International, Chicago, IL, Sep. 2006
93. Weiping Liu, Paul Bachorik, and Ning-Cheng Lee, "The Superior Drop Test Performance of SACTi Solders and Its Mechanism", ECTC, Las Vegas, NV, June 2008.
94. Masazumi Amagai, Yoshitaka Toyoda, Tsukasa Ohnishi, Satoru Akita, "High Drop Test Reliability: Lead-free Solders", 54th ECTC, P.1304-1309, June 1–4, 2004, Las Vegas, Nevada.
95. Masazumi Amagai, "A Study of Nano Particles in SnAg-Based Lead Free Solders for Intermetallic Compounds and Drop Test Performance", 56th ECTC Proceedings, P. 1170–1190, San Diego, CA, May 30–June 2, 2006
96. Benlih Huang, Hong-Sik Hwang, and Ning-Cheng Lee, "A Compliant and Creep Resistant SAC-Al(Ni) Alloy", ECTC, Reno, Nevada, May 26–June 1, 2007
97. Minna Arra, DongJi Xie and Dongkai Shangguan, "Performance of Lead-Free Solder Joints Under Dynamic Mechanical Loading", 52nd ECTC, S30-P4, San Diego, CA, May 28–31, 2002.
98. Minna Arra, Todd Castello, Dongkai Shangguan, Eero Ristolainen, "Characterization of mechanical performance of Sn/Ag/Cu solder joints with different component lead coatings", SMTAI, pp.728–734, Chicago, IL, Sep. 2003.
99. Robert Darveaux, Corey Reichman, Nokibul Islam, "Interface Failure in Lead Free Solder Joints", 56th ECTC Proceedings, P. 906–917, San Diego, CA, May 30–June 2, 2006
100. Fubin Song and S. W. Ricky Lee, "Investigation of IMC Thickness Effect on the Lead-free Solder Ball Attachment Strength: Comparison between Ball Shear Test and Cold Bump Pull Test Results", 56th ECTC Proceedings, P. 1196–1203, San Diego, CA, May 30–June 2, 2006

# 第6章 硅片减薄工艺

Werner Kroeninger

**摘要：**薄硅片的生产正成为半导体产业领域所面临的一大挑战。各种不同应用所提出的要求和限制差异巨大，导致制造薄硅片需要不同的解决方案。本章描述了硅片减薄与划片的最新发展，详细回顾了不同材料去除工艺及其损伤缺陷。同时，本章也讨论了不同表面处理方法及其对减薄后硅片机械性能的影响。

**关键词：**减薄，研磨，背面处理，圆片翘曲，损伤，分离，激光，机械性能。

## 6.1 薄硅器件

薄硅器件的一个重要优点就是它能提高集成电路性能，并能针对不同应用提供新颖的封装方式。

在很多应用中，硅片超过95%的部分被减薄去掉。一般而言，在硅片上加工出各种电路后才将硅片减薄到特定厚度，而不是先减薄硅片再加工电路。直观地讲，在薄圆片上加工电路会节约生产成本，然而实际情况并非如此。首先，原始硅片厚度是半标准化的，如果硅片加工从减薄的圆片开始，这些标准都需要修改。其次，由于硅片的热容依赖于圆片厚度，当生产中使用薄圆片后，后续的每一道工艺都需要修改，如金属溅射、绝缘层沉积等。但最主要的原因还是来自于高等级硅圆片生产本身。高等级硅片的成本主要不是来自于硅晶体，而是为达到圆片表面质量要求而进行的研磨和抛光等工艺过程。如果从厚圆片改成薄圆片，需要付出极大的成本对工艺流程进行重新开发。

### 6.1.1 薄硅片优点

简单地说，圆片减薄就是去除部分的硅体材料，留下有效的电路层和减薄的体硅层。越来越多的应用能充分利用体硅材料减薄后的优点，以下为两个实例：

个人电脑处理器：当硅片组装到电路板或基板后，硅片所承受的主要应力是热-机械压力，硅片、基板和电路板的组合体必须共同承受这种应力。封装的一个重要目的是如何有效驱散来自硅片的热，而硅片减薄增强了散热效果（见图6.1）。

智能卡：在智能卡内部，硅片必须能持续承受由于卡弯曲而造成的机械应力。为防止硅片折断，它需要足够的柔韧性。随着硅片厚度减小，就可以提高硅片的柔韧性（见图6.2）[1,2]。

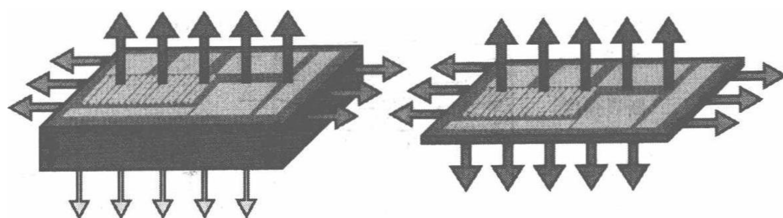


图 6.1　通过降低硅片厚度来提高散热效果

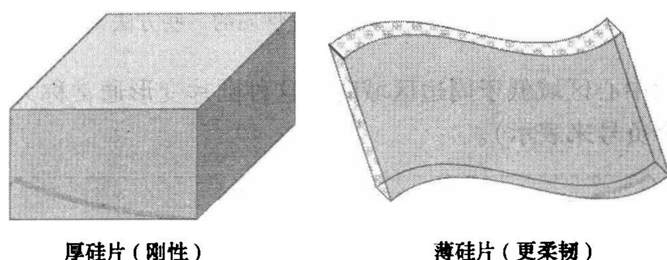



图 6.2　厚硅片和薄硅片的柔韧性比较示意图

### 6.1.2　制作薄硅片的基本考虑

所有的减薄工艺都会给被减薄一侧的硅表面带来损伤。薄圆片主要包含三层：活性层、体硅层和损伤层（见图 6.3）。损伤层对薄硅片机械性能的影响已成为最近研究的主要课题[3]。

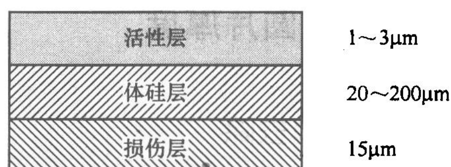



图 6.3　薄硅片三层结构示意图

器件级圆片减薄的一个方法是使用硅上绝缘体（Silicon On Insulator，SOI）方式。减薄过程（如刻蚀）是选择性的，并且在绝缘层上还有较薄的刻蚀停止层。然而，SOI 成本较高，且需要针对薄圆片的夹持和运输系统。

如果硅片弯曲程度超过它的弹性极限，硅片就会断裂。该极限值可通过三点弯曲法来测量。硅片弯曲到特定弧度，一旦超过就断裂。硅片内部的裂纹、损伤和应力会降低它的机械性能。所有这些因素决定了硅片可弯曲的最大半径。有几种方法可以研究减薄后的硅片内部损伤情况，不同技术方法给出了不同深度的信息（见图 6.4）。由于硅片结构包含有源层、体硅层和损伤层，无法单纯通过体硅材料的弹性模量来计算弯曲半径[4,5]。

减薄过程中研磨导致的损伤层包含多晶硅和氧化硅。氧化硅的作用像在硅中插入楔形物一样产生较大的压应力。另一方面，活性层多处于张应力状态。在一级近似下，减薄后的圆片变形（弯曲）是环形的，可以通过弯曲总量加以描述（见图

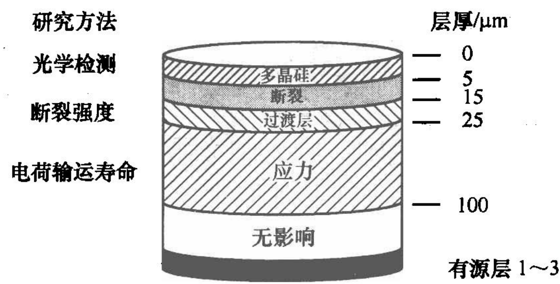



图 6.4 研究减薄后硅片性质的一些方法

6.5)。当圆片的中心区域低于周边区域时，这种圆片变形通常称为“负弯曲”（即在数字前加一个负号来表示）。

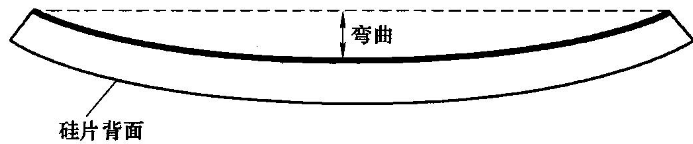



图 6.5 圆片减薄后的弯曲示意图

## 6.2 降低圆片厚度

### 6.2.1 材料去除

硅圆片减薄的标准工艺是使用砂轮研磨来破坏硅晶体，随后还需要对硅表面进行处理。表面处理可愈合硅晶体结构，或者叫去除损伤或释放应力。

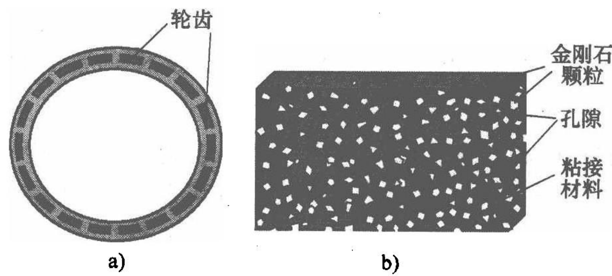



图 6.6 砂轮

a）砂轮结构示意图 b）砂轮磨齿材料组成

砂轮磨齿材料为烧结型复合材料，主要包括金刚石颗粒、粘接材料与微孔（见图 6.6)。合成金刚石与天然金刚石是不同的，前者因为具有恒定的性质，特定

的颗粒大小分布和较好的重复性，适合于制作砂轮。硅圆片的研磨是通过磨齿上暴露的金刚石颗粒进行的（见图 6.7）。

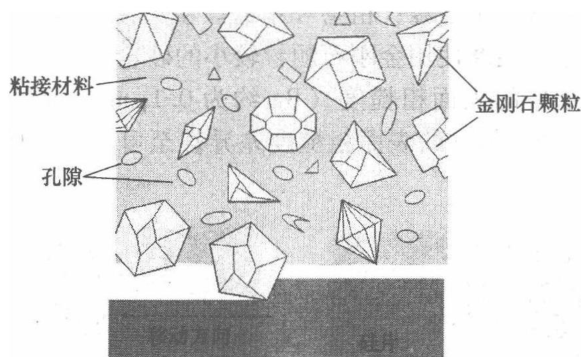


图 6.7　通过砂轮上暴露的金刚石颗粒去除材料示意图

理想情况下，我们希望在去除材料的同时不影响剩下的硅片性能。然而，实际上由于研磨是由金刚石颗粒划过体硅材料，于是不可避免地在硅上产生裂纹等很多缺陷（见图 6.8）。

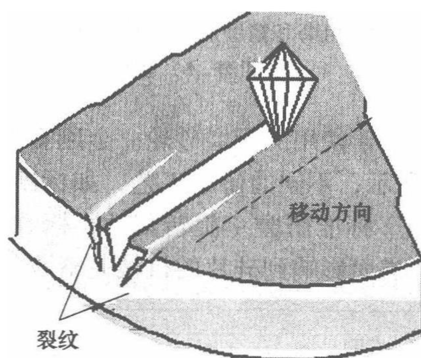


图 6.8　研磨过程中产生缺陷的示意图

## 6.2.2　研磨过程

砂轮磨齿是一种烧结复合材料，因此该烧结复合材料的性能是影响砂轮特性的一个重要因素。有多种不同的砂轮来研磨不同的易碎材料，如 GaAs、InP、SiC 和其他化合物半导体材料。

特别针对占脆性材料研磨市场最大份额的硅片研磨，业界开发了多种不同的砂轮，其所需的性质包括：

（1）研磨过程中产生的损伤最小

（2）研磨过程中产生的热量最少

(3) 材料去除速率快

(4) 砂轮消耗低(长砂轮寿命)

标准研磨过程包含两个步骤:粗磨和精磨。粗磨使用金刚石颗粒较大的砂轮,具有较大的去除速率。精磨使用金刚石颗粒较小的砂轮,去除速率较低,同时造成的损伤也较小。粗磨后的表面粗糙度(Ra 约为 0.1μm)远大于精磨后的粗糙度(Ra <0.05μm)。粗磨与精磨的表面粗糙度差异甚至可通过肉眼观察到,如图 6.9 所示。

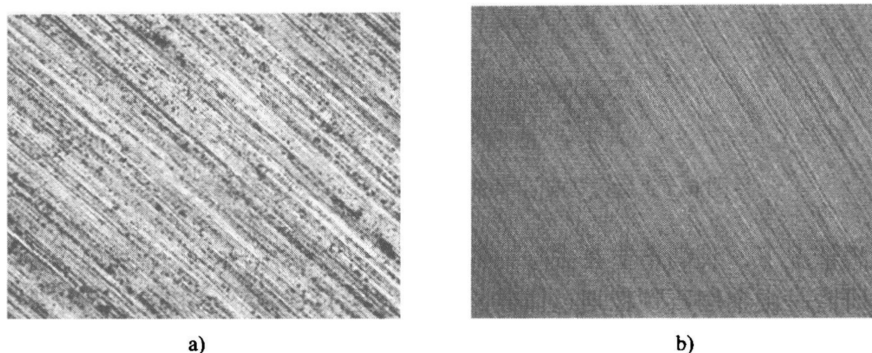



图 6.9 粗磨和精磨后的硅片表面光学图像
a) 粗磨 b) 精磨

硅片表面的粗糙度取决于使用的研磨砂轮。金刚石颗粒越小(较高的目数#),表面越光滑。如图 6.10 所示,不同的研磨工艺,如标准研磨(1500#砂轮)、高目数表面处理(8000#砂轮)、标准研磨 + 旋转刻蚀、标准研磨 + 等离子体刻蚀,将导致不同的表面粗糙度,进而影响到硅片的机械完整性和表面粘接性。

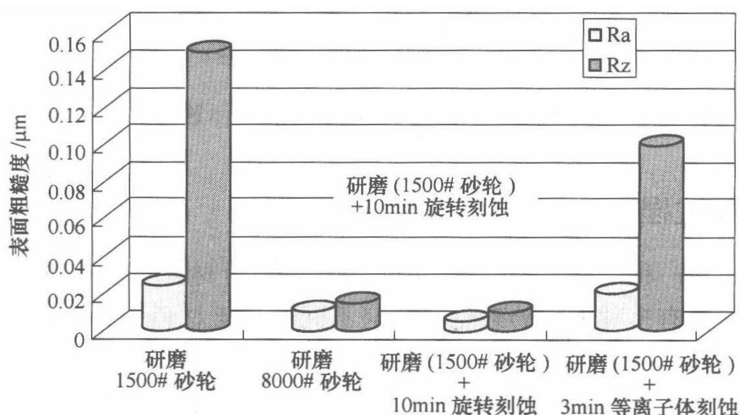



图 6.10 不同砂轮研磨后的硅片(经过后处理)表面粗糙度对比(平均粗糙度(Ra):沿着切线长度中间线距离的峰值与谷值的平均;10 点平均(Rz):切线长度上 5 个最大值和 5 个最小值的平均。)

缺陷（如裂纹和晶格位错等）数量、大小、深度和形状都会影响硅片的机械完整性。例如，尖角裂纹多数情况下会扩展，所以研磨后处理（或应力释放处理）的一个主要目的是平复裂纹。

应力释放可通过研磨去除损伤的晶格层处理。具体可采用多种应力释放处理方式，如湿法化学刻蚀（旋转刻蚀 + 化学机械研磨）[6,7]、干法抛光与等离子体刻蚀等。虽然等离子体刻蚀可去除损伤，它也会产生较大的表面粗糙度，如图6.10和图6.11所示。

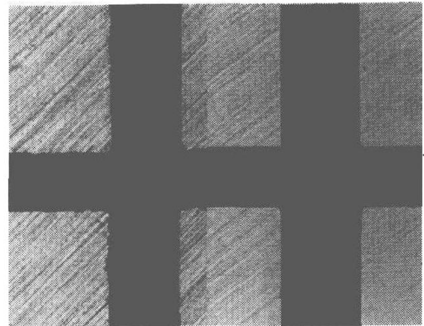


图6.11　等离子体刻蚀之前（左边）和之后（右边）的硅表面形貌

应力释放处理后，硅片机械强度可以提高4到8个量级，如图6.12所示。

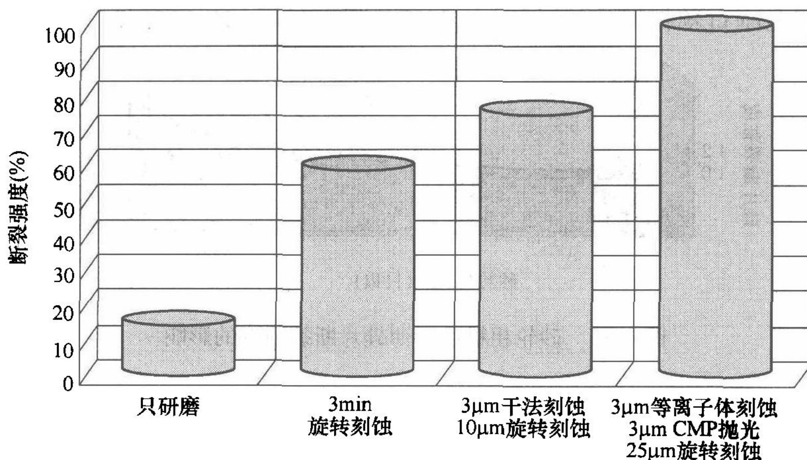



图6.12　不同应力释放处理后的硅片断裂强度比较

研磨工艺中使用的各项参数是相互依赖的，如下给出了几个实例。使用较硬的粘接材料做砂轮磨齿，可以提高砂轮寿命，如图6.13所示。

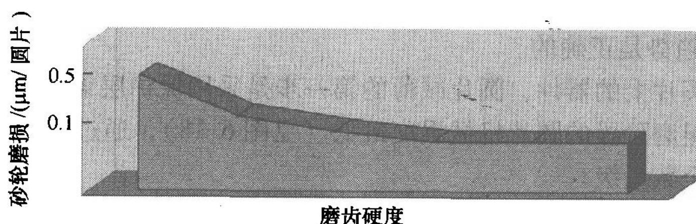



图6.13　砂轮磨齿硬度对砂轮磨损率的影响

在粗磨过程中，为了获得较高的去除速率，通常需要较高的进料速率。然而，高进料速率将会增加砂轮的磨损，从而降低砂轮寿命（见图6.14）。所以，在砂轮寿命与去除速率两方面必须折中考虑。

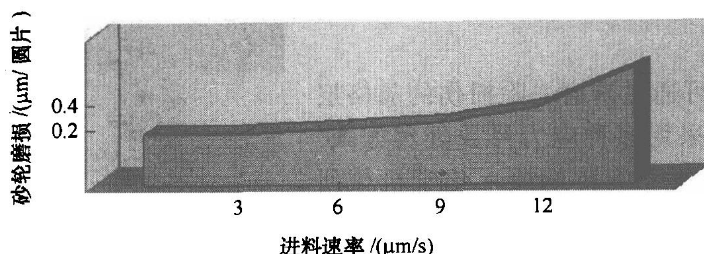



图6.14 进料速率对砂轮磨损率的影响

硅片的机械强度在很大程度上受粗磨阶段的磨齿粗糙度影响，当研磨砂轮粗糙度较小（如金刚石颗粒较小），减薄后的硅片将有较高的机械强度（见图6.15）。

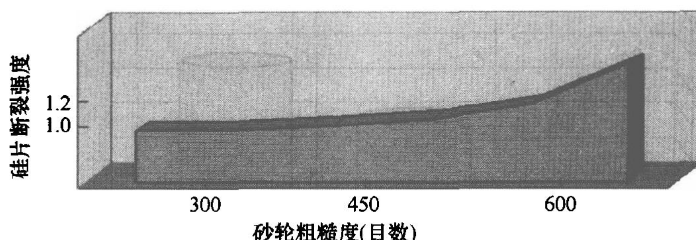



图6.15 砂轮粗糙度对薄硅片断裂强度的影响

## 6.2.3 薄圆片夹持

关于薄硅片处理的另一个重要问题就是薄圆片夹持。有两个主要参数直接影响薄圆片夹持：圆片翘曲与其机械强度。如图6.16和图6.17所示，圆片翘曲和机械强度是圆片厚度的函数。圆片翘曲随着圆片厚度降低而显著增加。当硅圆片厚度为100μm时，有时几乎能完全卷起，所以需要圆片支撑系统来夹持这些薄圆片。圆片翘曲的绝对值取决于具体产品、活性层厚度与圆片大小。然而不论如何，图6.16所示的总趋势是正确的。

为了保护圆片上的器件，圆片减薄的第一步是采用保护层盖住活性层。在减薄处理过程中，粗磨阶段的圆片机械强度最低（见图6.18），通过应力释放处理可将该强度提高一个数量级。

对于某些产品，特别是活性层位于硅片背面的，在圆片切割前的背面金属化等特定工艺步骤中，需要夹持基底圆片。因此，要求支撑系统能承受这些工艺过程。

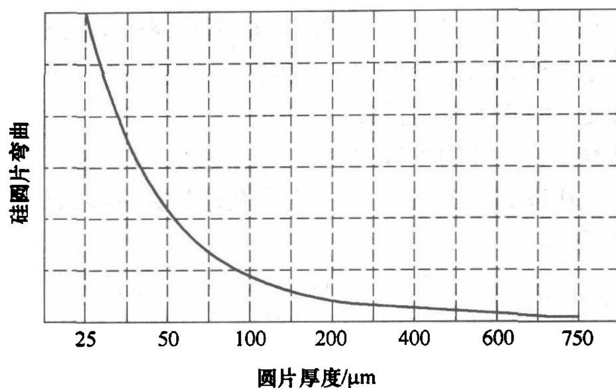



图6.16　各种不同厚度的圆片翘曲（8in硅圆片）

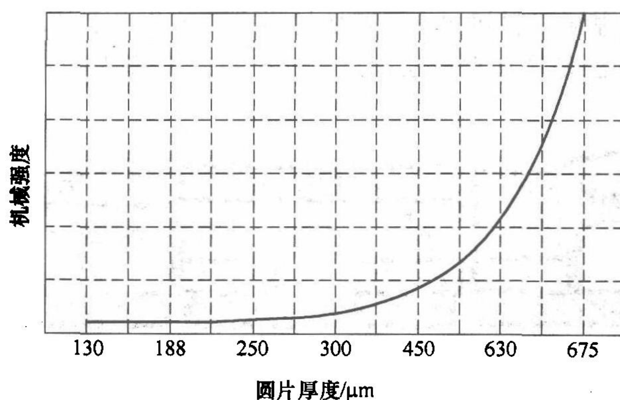



图6.17　不同厚度圆片的机械强度（8in硅圆片）

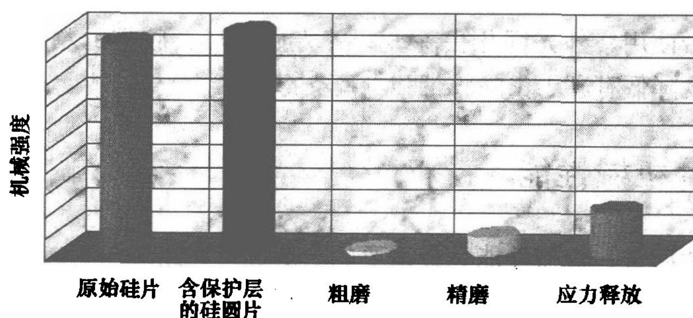



图6.18　不同减薄阶段的圆片机械强度

通常有两种夹持薄圆片的方法。第一种是在硅片研磨前，将另一种刚性、平整的支撑基板粘贴在圆片背面，该支撑基板可以是硅、陶瓷或玻璃，取决于硅圆片与支撑板间的粘接介质。将硅圆片粘贴于支撑基板上，可以使用几种粘接介质，如胶水、石蜡、静电力或胶带，这些支撑基板都已经商业化产品[8,9]。第二种方法是减

薄后将支撑环粘贴于圆片上。另一个相对较新的圆片减薄概念是只减薄圆片的中心区域，而在圆片的背面外沿留下几毫米不进行研磨处理[10]。未减薄的圆片外缘环可极大提高圆片强度，便于夹持薄圆片。

使用支撑基板增加了额外的处理过程，工艺复杂，并增加了硅片加工的工艺成本。选择合适的支撑基板的一个最主要的限制和最重要的考虑是，支撑基板必须与芯片-基板组装工艺兼容。

倒装芯片封装是一种最新的芯片-基板互连方式。该芯片有源层使用凸点垂直连接在衬底上，而不是引线键合。根据凸点形状、高度和图案不同，有多种不同的凸点，其中的凸点高度为 20～120μm 或更高。这些凸点使圆片研磨过程变得复杂，它们会作为潜在的应力集中点，使硅片破裂。如图 6.19a 所示，标准的背部研磨胶带包括基础材料和粘胶层，已提出一些方法来适应圆片上凸点研磨的要求。其中之一就是在粘胶层与基础材料间加一层柔性材料来覆盖凸点上部，如图 6.19b 所示。第二个更常用的方法是增加粘胶层厚度，使凸点完全埋入粘胶层中，如图 6.19c 所示。

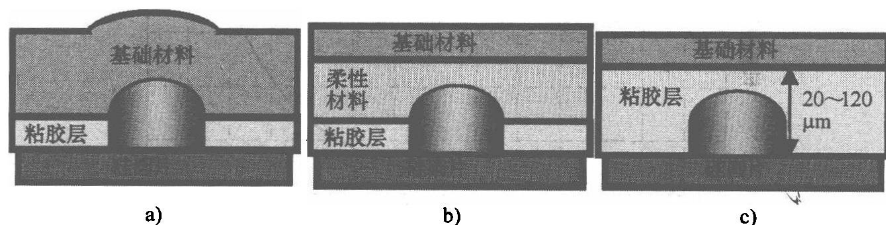



图 6.19 含凸点圆片减薄的粘接介质层方案示意图
a）标准 b）加入柔性材料 c）增厚粘胶层

大多数胶带使用紫外光固化去除。紫外光照射后，胶带的粘附强度将会降低 90%，粘附强度降低有利于去除胶带和剥离支撑板。

## 6.3 薄圆片机械性能

对于薄硅片而言，机械性能是最重要的。薄硅片在组装与封装过程中需要具有较高的断裂强度和柔韧性。首先，当硅片组装到基板或印制电路板上时，需要承受所有组装过程的考验。其次，它需要经受来自应用环境的压力，如 PC 处理器要经受热机械应力，智能卡要经受机械弯曲应力。

### 6.3.1 断裂强度与弹性

为了测量薄硅片的强度，通常采用破坏性的三点或四点弯曲法进行测试。测试中，硅片在力作用下弯曲直至断裂。从原理上讲，三点和四点弯曲测试获得的信息

大体相似。为了获得更准确的值，需要对一种样品进行多次测试[11]。

硅片弹性可通过三点弯曲法测量断裂前的最大弯曲半径来获得（见图 6.20）。应力释放处理可显著增加薄硅片的弹性（见图 6.21）。提高机械强度的主要机制是通过应力释放处理来去除损伤层和平滑裂纹等缺陷。随着损伤层去除量的增加，硅片弹性逐渐达到饱和值，如图 6.21 所示。

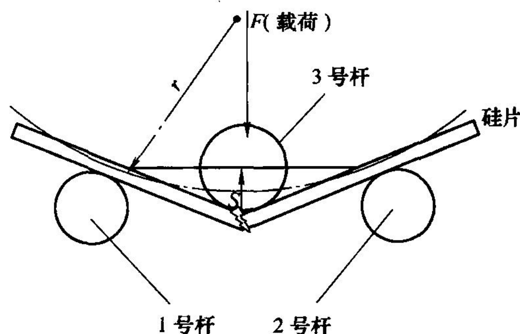



图 6.20　使用三点弯曲法测量薄硅片的弯曲半径（弯曲半径 $r$ 可通过 $S$ 计算）

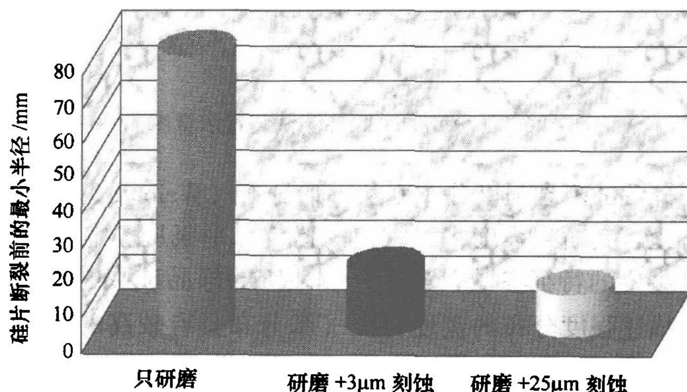



图 6.21　不同应力释放处理条件下薄硅片（120μm）断裂前的最小弯曲半径

圆片切割过程会在硅片侧壁产生潜在性的缺陷。假定减薄处理具有较高的表面质量，圆片切割过程的质量可通过四点弯曲法进行测量。图 6.22 所示的下面两根杆间的硅片侧壁缺陷可通过该法检测出来。

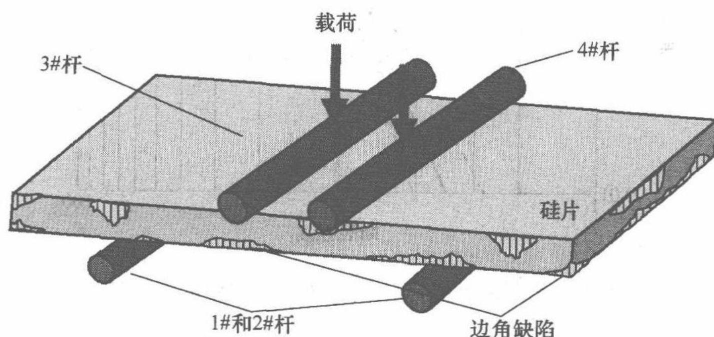



图 6.22　研究圆片切割后的硅片侧壁缺陷的四点弯曲测试装置示意图

为了研究减薄质量，排除划片影响，通常会使用球-环测试法。环上的硅片比环面积大（见图6.23），硅片边缘不与环接触，因此这种测试无法检测到芯片侧壁缺陷的影响，测试结果只反映了硅片底部缺陷的影响。从该测试中得到的机械强度值可用于描述减薄工艺的质量[12,13]。

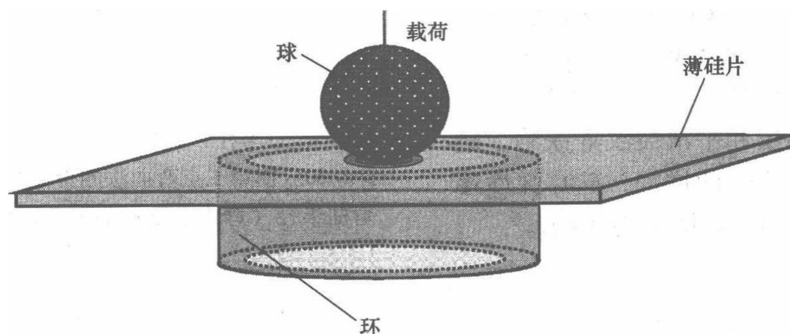



图6.23 薄硅片球-环测试装置示意图

研究发现，硅片的断裂强度分布服从韦伯分布（Weibull Distribution）。对于单块硅片，我们可预言其断裂强度将以一定的置信水平服从一定分布（见图6.24）。韦伯分布有两个主要的特征参数，$F_{中间}$为63.2%的样品破裂时的断裂强度，$m$为优化曲线斜率，描述强度分布的宽度特征（窄分布具有较高的$m$值）[14]。为了提高测试结果的可靠性，常用方法是简化使用大量的样本，因为置信水平是与样本数方均根成正比的。

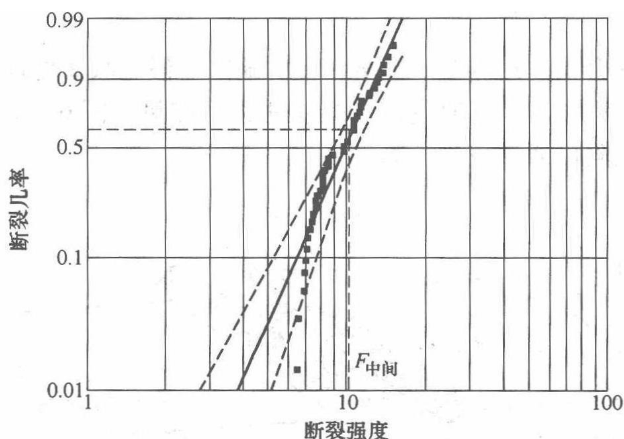



图6.24 断裂强度测试结果服从韦伯分布的一个例子

## 6.3.2 表征研磨过程中产生的应力与损伤

减薄处理会在硅圆片内产生损伤，问题是损伤深度是否与最终的硅圆片厚度有

关。该问题可基于以下两种情形来考虑。

情形1：在减薄过程中，硅片被研磨剂磨蚀，减薄后的硅片不能承受这种机械磨蚀。硅片越薄，产生裂纹的可能性越大。随着硅片越来越薄，损伤区域也越来越深。因此，损伤层深度与硅片厚度成反比。

情形2：硅片越薄，其弹性越好，并能适应研磨砂轮的压力变化。因此，损伤区是不变的，只依赖于研磨参数（磨粒大小、进料速率、振动与冷却等）。在这种情况下，损伤层几乎与硅片厚度无关。

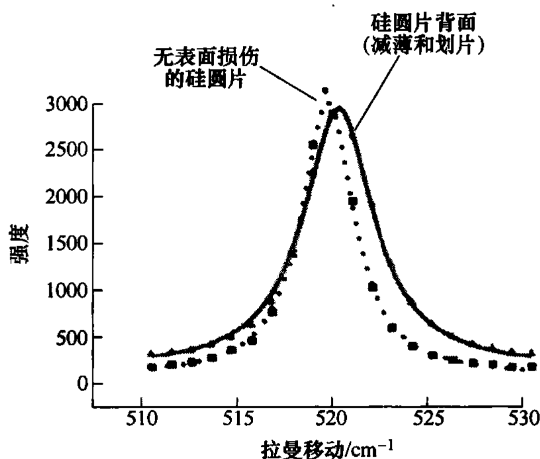



图6.25　采用拉曼线移动研究硅片中的机械应力示意图

为了研究上面哪种情形是正确的，使用拉曼光谱仪研究了损伤深度[15]。图6.25所示为面积为2μm×2μm的典型硅晶体的拉曼光谱，硅的拉曼峰值频率取决于硅上的机械应力。从图6.25可以看出，由于研磨过程中产生了损伤和压应力，减薄后的硅圆片显示出拉曼移动。该技术也可通过拉曼光谱线扫描来研究硅片上一条线上的应力与损伤（见图6.26）。

从试验结果可以发现：

（1）对于厚度为50～500μm的硅片，采用不同的背面处理方法，硅片机械强度在去除相同总量后达到饱和；

（2）拉曼光谱分析显示，薄硅片与厚硅片的损伤层没有太大差别。

上述结论表明，对研磨至厚度为50μm的硅圆片，损伤层深度几乎与硅片厚度无关，因此情形2与试验结果更相符。

### 6.3.3　圆片减薄限制

虽然圆片减薄与夹持过程存在很多限制，硅片厚度的物理极限是活性层厚度加上几微米的硅衬底的厚度。即使硅基板厚度只有5～10μm，对器件功能也不会有太大影响，厚度为30μm的薄硅片已在高性能记忆卡的芯片堆叠封装中得到应用。

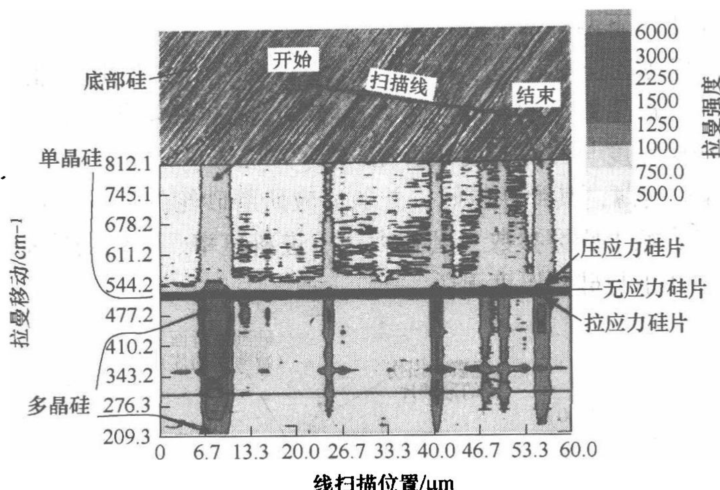



图 6.26 研磨硅片的拉曼光谱线扫描结果

理论上，硅片减薄后的厚度物理极限接近于0，硅片可被减薄到它在可见光下透明为止（见图 6.27）。从图 6.27 可以看出，当硅片厚度为 10μm 左右时，可从硅片背面看见正面某些区域的电路结构。如图 6-27 所示，硅片只在某些特定区域才是透明的，这是由于硅片厚度的变化，而这种变化是圆片减薄的一个主要挑战。对于某些应用（如功率器件），硅片厚度的精确控制是非常重要的[16]。




图 6.27 超薄硅片的背面光学图像

## 6.4 硅片切割

完成前道工艺后，在硅圆片上集中了很多电学功能器件（芯片）。对于一个 8in 圆片，其芯片数可从几百个到几十万个，下一步的任务就是分离这些芯片。现在可采用多种芯片分离技术，但每种都有各自的优缺点。

在传统的封装流程中，圆片通过胶带粘贴在划片机上，被切割成芯片（见图 6.28），随后被组装到最终的封装体中。

### 6.4.1 机械划片

机械划片工艺比较成熟，广泛用于半导体工业中，其市场份额超过 90%。已经开发了几种机械划片工艺，标准划片机有两个切割轴（刀口），可通过平行切割来提高产量，也可以使用不同的刀口。宽刀口（Z1，也叫粗刀口）通常用来切割掉硅片

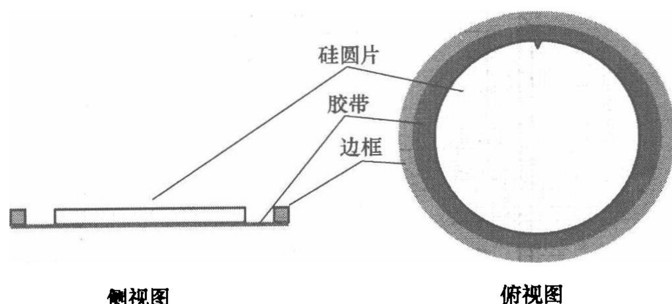



图 6.28　粘贴在划片胶与边框上的圆片侧视图和俯视图

厚度的2/3，然后用薄刀口（Z2）切割掉余下厚度，图 6.29 所示为 Z1 和 Z2 表面。从机械方面来看，切割过程是有磨损的，与研磨很类似。切割硅片的刀口厚度一般在 20μm ~ 50μm，划片过程会产生碎屑，并在硅片边缘产生机械断裂。图 6.30a 所示为硅片切口示意图及硅片切割时产生的碎片，图 b 所示为划片时的十字光学图像。

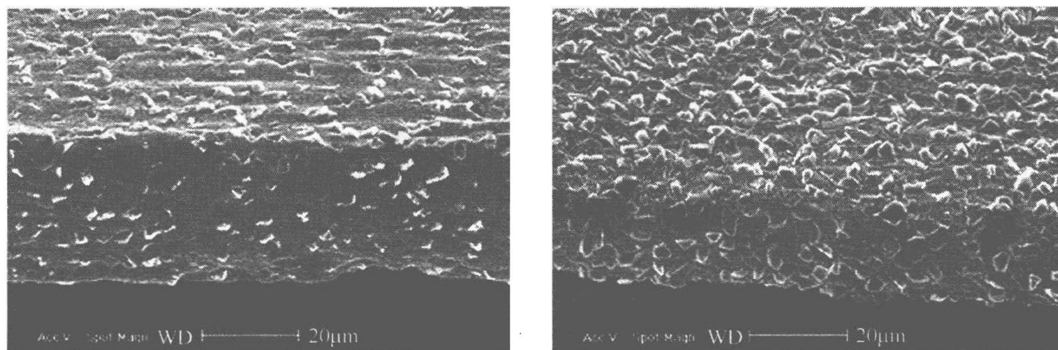



图 6.29　典型的划片机刀口 Z1（左）与 Z2（右）表面

## 6.4.2　激光划片

激光已在工业和医学领域应用了很长时间。在测量和医疗方面应用了各种不同类型的激光。激光的主要参数包括波长、光功率和脉冲频率。激光经常被用于工件焊接，也经常被用于切割。

20 世纪 80 年代，激光首次在硅片切割中得到商业应用，之后它获得了快速的发展和巨大的进步。在下文中，我们将讨论几种激光划片技术。这些系统与传统机械划片所使用的胶带是兼容的，切割胶带的一个主要要求就是必须对激光透明。

### 6.4.2.1　干法激光划片

干法激光去除材料的主要工作机制是烧蚀。“干法”意味着激光切割过程中没有其他液体或气体束流的辅助。在干法激光划片过程中，刀口会产生很多颗粒、氧化物和其他残留物。

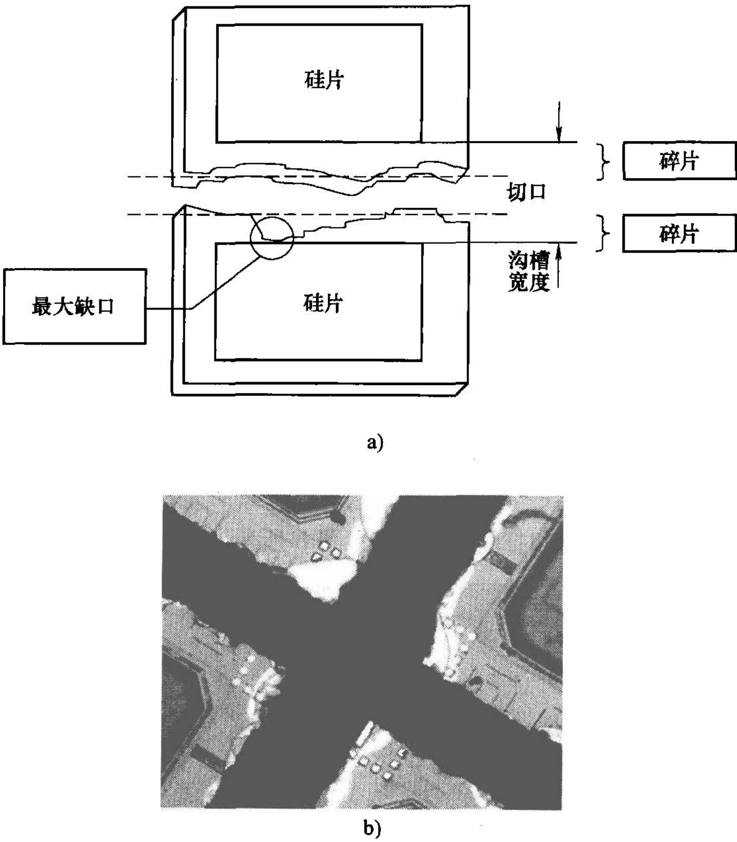



图6.30 硅片切割图像

a）划片机刀口与硅片切割时边缘产生的碎屑示意图 b）硅片切割沟槽的十字光学图像

由于这些颗粒会污染甚至损伤圆片，因此整个圆片正面（包括凸点与金属焊盘）都需要保护（见图6.31）。在划片过程中，圆片被“划片涂层”覆盖，这样残留物就不会损伤圆片表面，划片完毕涂层可清洗去掉。

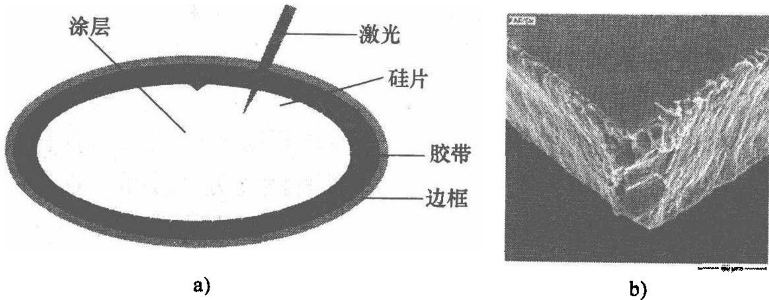



图6.31 干法激光划片

a）硅片置于胶带和边框上进行干法激光划片示意图 b）干法激光划片侧壁SEM图

划片会对硅片造成损伤，损伤意味着分离后的硅片晶格与理想晶格有一定偏差。干法激光划片除了引入损伤，同时还会有热影响和材料再沉积问题。划片过程中产生的热量会导致硅晶体紊乱，降低机械稳定性。另外，从划片刀口分离的材料会再沉积在硅片侧壁，但材料再沉积会在晶格结构中产生应力。干法激光划片可切割厚度为 150μm 甚至更薄的硅圆片。

#### 6.4.2.2　水辅助激光划片

对于水辅助激光划片过程，激光被耦合进直径约为几十微米的一束水流中，然后基于全内反射机理在水流中向前传输[17,18]。水流主要有两个作用：

（1）减小激光划片过程产生的热量；

（2）冲走残渣，并阻止圆片表面残渣的再沉积。

因此，该技术可用于切割较厚的圆片而不使用涂层。

### 6.4.3　减薄分割硅片

通过减薄来分割硅片颠倒了圆片减薄与划片的传统次序，圆片在减薄前需要预切割。图 6.32 所示为在正面预切割沟槽的硅圆片。

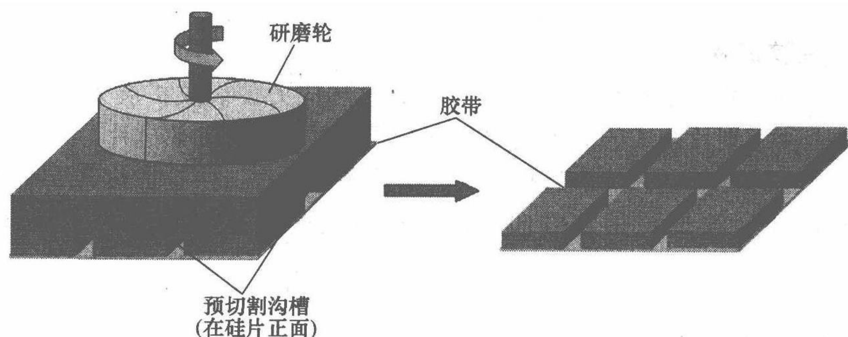



图 6.32　减薄划片示意图

对于预切割步骤，任意切割工艺都可以使用，一般采用机械划片[10]。预切割深度需要稍大于最后的硅芯片厚度，然后从圆片背面减薄直到硅片分离。

为降低损伤，硅片在减薄后可用等离子体刻蚀处理。该处理可减少硅片背面与侧面的损伤，极大提高硅片的机械强度，然后硅片翻转并转移到胶带上用于组装。

### 6.4.4　通过损伤来分割硅片

通过产生损伤的方式来分割硅片是最早的硅片划片方法之一。如划片和裂片就是最早使用的方法之一。划片通过金刚石刀在圆片上划过，引入的损伤可作为相邻硅片分离的起始点，随后硅片通过掰开方式而分离。

#### 6.4.4.1　胶带膨胀

激光也会对硅晶体结构产生损伤[19]。激光聚焦到材料内，而不是材料表面，导致硅晶体内部产生一条穿孔线，如图 6.33a 所示。对于较厚的硅片，需要多次激光穿孔。在圆片中产生穿孔后，硅片通过胶带膨胀分离。分离后的硅片侧壁如图 6.33b 所示。

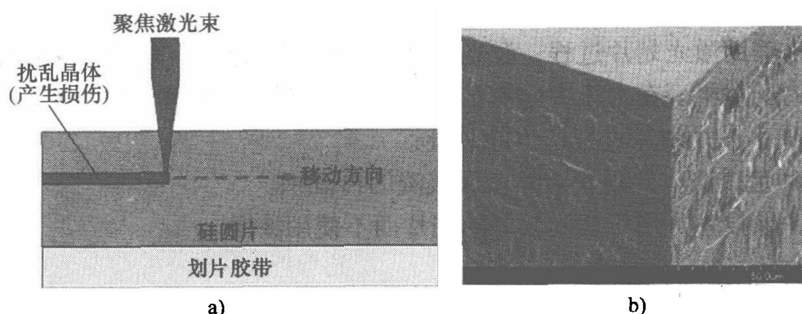



图 6.33　硅片激光穿孔

a）在硅片中产生穿孔线　b）分离后的硅片侧壁 SEM 图

#### 6.4.4.2　裂纹扩展

圆片上有了初始裂纹后，硅片分离可通过热应力使裂纹扩展来实现[20,21]。初始裂纹是金刚石划片造成的。为实现裂纹扩展，可用激光加热硅片，并在加热后使用气溶胶来迅速冷却硅片。该过程必须严格按顺序操作。由于加热造成的热膨胀和随后的冷却使裂纹按照指定方向扩展，从而使硅片在特定方向上裂开（见图 6.33）。

## 6.5　薄硅芯片封装

在封装领域，主要的发展趋势之一就是降低封装外形尺寸。控制封装体的热-机械压力是一大挑战，使用薄硅片来释放应力是一种潜在的解决方案。

对于某些应用，降低硅片上的应力可通过缩小硅片尺寸而不是增加硅片弹性来实现。如果芯片尺寸只有 250μm × 250μm，在封装过程中就不会产生很大的应力。图 6.34 所示为身份识别卡的例子，基板和天线具有较大弹性，惟一的刚性部分就是硅片，由于尺寸很小，所承受应力非常小。从机械压力观点来看，惟一需要担心的是硅片与天线间的连接问题。

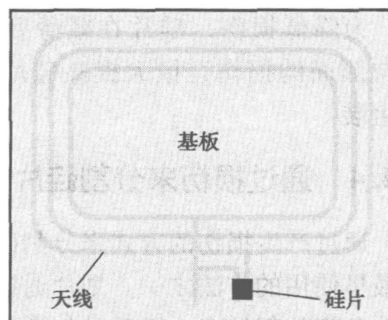



图 6.34　身份识别卡的绝大部分是天线

通常在功率型半导体芯片上，会有电流穿过硅体材料（见图6.35）。当电荷载流子从硅片正面向背面移动时，硅体材料扮演着电阻角色。薄硅片能够降低体硅材料的欧姆电阻，并提高热扩散能力[16]。

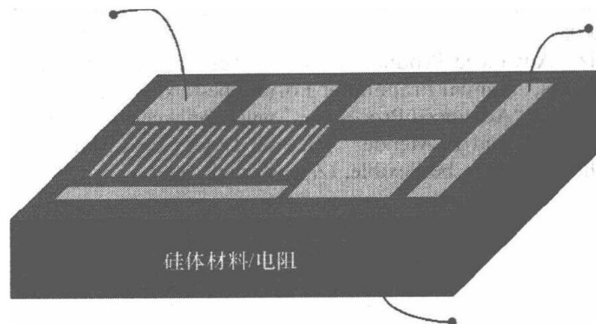



图6.35　功率芯片结构示意图

# 参考文献


1. W. Kröninger and E. Wittenzellner, "Thinning Silicon – Optimizing the Grinding Process Regarding Performance and Economics," Annual Fraunhofer Forum, be-flexible, IZM Munich, 2002, www.be-flexible.com
2. Workshop on Ulrathin Silicon Packaging, Sept. 2002, Fraunhofer ISIT, Itzehohe, Germany
3. "Rotationsschleifen von Si-Wafern," Promotion von Sabine Lehnicke, Institut fur Fertigungstechnik Uni Hannover, Fortschrittsberichte VDI, Reihe 2, Nr. 534, 1999
4. A. Böge, "Mechanik und Festigkeitslehre," Vieweg Verlag, Braunschweig, 21. Aufl. 1990
5. H. F. Hadamovsky et al., "Werkstoffe der Halbleiterindustrie," Dt. Verlag für Grundstoffindustrie, 2. Aufl., 1990
6. J. P. John and J. McDonald, "Spray etching of Silicon in the HNO3/HF/H20 System," Journal of the Electrochemical Society, Vol. 140, No. 9, 1993
7. K. Priewasser, "Thin Dies Manufacturing Methods," Annual Fraunhofer Forum, be-flexible, IZM Munich, 2005
8. C. Landsberger, "Processing of Thin Substrates by Means of Electrostatic Carrier," Annual Fraunhofer Forum, be-flexible, IZM Munich, 2005
9. S. Pargfrieder, "Temporary bonding and de-bonding," Annual Fraunhofer Forum, be-flexible, IZM Munich, 2005
10. K. Yamagishi, "Thin wafer Handling by DBG and Taiko Process," Annual Fraunhofer Forum, be-flexible, IZM Munich, 2006
11. L. Sach, "Angewante Statistik", SpringerVerlag 1983
12. W. Kröninger and F. Mariani, "Thinning and Singulation: Root-causes of the Damage in Thin Dies," Proceedings of 56th Electronic Components and Technology Conference (ECTC), pp. 1317–1322, San Diego, CA, 2006
13. H. Blumenauer and G. Pusch, "Bruchmechanik," VEB Deutscher Verlag für Grundstoffindustrie, Leipzig, 3. Aufl. 1993
14. H. Wilker, "Weibull-Statistik in der Praxis. Leitfaden zur Zuverlässigkeitsermittlung technischer Produkte," Nordersted 2004
15. I. De Wolf, "Micro-Raman Spectroscopy to Study Local Mechanical Stress in Silicon Integrated Circuits," Semiconductor Science and Technology 11 (1996), pp. 139–154

16. T. Schmidt, "Wafer thinning – a Key Success Factor for Power Semiconductors," Annual Fraunhofer Forum, be-flexible, IZM Munich, 2005
17. T. A. Mai, "Laser-Microjet Dicing of Thin Compound Wafers and Low-k Wafers," Annual Fraunhofer Forum, be-flexible, IZM Munich, 2005
18. W. Kröninger, D. Perrottet, J.-M. Buchilly and B. Richerzhagen, "Stress Release Increases Advantages of Laser-Microjet," Semiconductor International, Packaging, Apr. 2005
19. B. Holz, "Advanced Production Technologies for Thinning and Laser Dicing of Ultra thin Wafers," Annual Fraunhofer Forum, be-flexible, IZM Munich, 2004
20. MDI Schott, "Advanced Processing," www.mdi-schott-ap.de (last visit 10.12.2007)
21. H.-U. Zühlke and P. Mende, "Thermal Laser Separation for Wafer Dicing," Annual Fraunhofer Forum, be-flexible, IZM Munich, 2006

# 第7章 先进基板材料与工艺展望

Bernd Appelt

**摘要：**本章主要评述了制造有机基板的材料和工艺，包括用于塑封 BGA（Plastic BGA，PBGA）的层压基板，用于倒装芯片 BGA（Flip Chip BGA，FCBGA）的积层式基板，用于载带组装 BGA（Tape BGA，TBGA）的载带基板，无芯基板，以及一些特殊基板（如专用射频模块基板，具有低介电常数的高性能基板及含嵌入式器件（有源或无源器件）的基板）。除此之外，本章还论述了将来有机基板的发展趋势。

**关键词：**有机基板，覆铜层压板（Copper Clad Laminate，CCL），Ajinomoto 增强膜（Ajinomoto Build-up Film，ABF），无芯夹层板，BGA，盲孔（Blind Via，BV），高密度互连（High Density Interconnect，HDI），低介电常数。

## 7.1 简介

目前，基板已成为电子封装中对成本影响最大的因素，同时也使得封装性能受到限制。封装所用的基板中，陶瓷和多层基板的成本一直很高，但设计自由度很大，可以进行诸如无源器件的集成。惟一美中不足的是它们的介电常数高，热膨胀系数（CTE）与印制电路板（PCB）相比很低，但与硅片却非常接近。与此相反，有机基板的 CTE 与 PCB 相当，但大大高于硅片。

早期使用的有机基板由于具有低成本的 PCB 制造技术、材料及尺寸优势，大大降低了封装成本。此时的陶瓷基板尺寸只能容纳一个到几个单元，而采用 PCB 技术的有机板材尺寸（如 410mm × 510mm）则可以容纳 100 到 1000 个单位。这种形式的变化，类似于晶圆尺寸从 100mm 变到 300mm。

目前，基板主要有以下几大类。

（1）陶瓷基板有：

1）实际均为多层陶瓷（Multi Layer Ceramtc，MLC）基板

2）用于光学传感器的空心陶瓷基板

3）集成无源器件的射频陶瓷基板

（2）有机基板，可以进一步细分为：

1）层压板，塑料球栅阵列（PBGA）

① 含 1 层、2 层、4 层和 6 层电路的 PBGA

② 高密度基板（采用 HDI），用于引线键合的积层式基板

2）载带基板，通常采用聚酰亚胺薄膜（采用 TBGA）

3）积层式基板，通常用于倒装芯片衬底（采用 FCBGA）

4）特殊用途基板

① 嵌入无源器件的基板（Embedded Passives Substrate，EPS）和嵌入裸芯片的基板（Embedded Die Substrate，EDS）

② 掩埋无源器件的基板（Buried Passives Substrate，BPS）

③ 带沟槽基板，芯片位于板上凹槽处

上述几种基板可用于组装大量不同形式的电子封装结构（见图 7.1（由中国台湾日月光集团（ASE Group）公司提供））。从图中可以看到，只要具有足够的信念和商业动机，几乎任何图中能够表达出来的想法都可以最终转化成真实的器件。

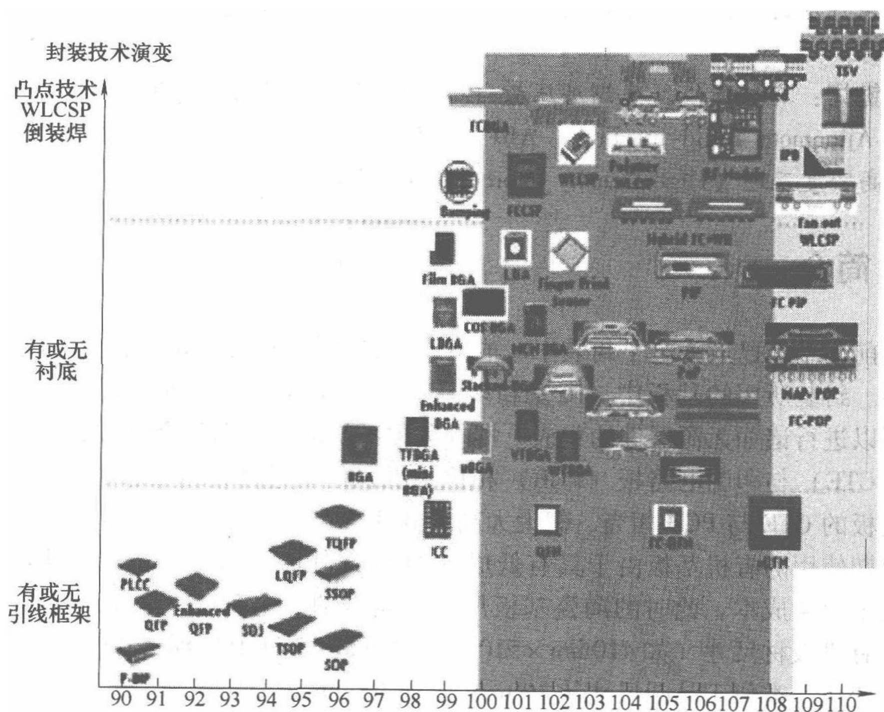



图 7.1　采用基板、引线框架和圆片级封装的封装结构

## 7.1.1　历史简述：从 PCB 到基板

早期的有机基板确实很简单，是一种小型化的 PCB，并且比陶瓷要便宜很多。美国摩托罗拉公司最早引入该基板用作模压树脂密封凸点阵列载体（Over Molded Pad Array Carrier，OMPAC）[4]。随后，为满足不断提高的质量和技术要求，如尺寸（线条和空间）更小、重量更轻和成本更低，采用更加专用的材料和工艺制作基板

显得十分迫切。而此时，除了高可靠性、高输入/输出特性和高性能应用（如CPU/MPU、ASIC、射频应用）等特殊领域外，有机基板正逐步取代陶瓷基板用于几乎所有的芯片封装。然而，目前即使是这些特殊领域，陶瓷基板的使用率也在下降。

Tsukada 发明的积层式 PCB（最初称为表面多层载片（Surface Laminar Carrier，SLC）），使得在 PCB 上实现高密度封装成为可能[12]。SLC 本质上是采用一块 PCB 基板，并在基板的顶层构建精细的引脚分布层（又称构建技术）。这种方式类似于在高端多层陶瓷载片（Multilayer Ceramic Carrier，MLCC）上制作再分布层。之后，这种 SLC 技术迅速应用于 ASIC 衬底的倒装芯片，特别是当引线键合焊盘面积有限或者要求缩短互连线提高电性能时。这种情况下，该种技术的优势尤其明显。而真正推动该技术发展的，则是用于个人电脑的 CPU 对日益增长的 I/O 数、CPU 性能（降低介电常数，DK）及降低成本的要求。

在消费和通信市场（如图像播放器和手机）发挥主导作用之前，降低线宽和线间距的技术发展没有太大变化。在尺寸缩小方面的创新和应用使得消费和通信市场呈现爆炸式增长。这些创新要求采用大量的新器件，在组装和基板方面加速了改进和创新的步伐。目前，相对普通的总厚度为 560μm 的 PBGA 基板与厚度为 120μm 的 WFBGA 基板（更薄且有更多球栅阵列）呈共存状态。

当有机基板市场开始繁荣时，许多 PCB 制造商也试图进入该供应链。由于这些基板生产只需要在单一面板上制作，制造商们被表面上很高的价格和利润所吸引。最开始，基板被认为是复杂得多的 PCB 简化版本。因为这些 PCB 的层内布线具有相同线宽和线间距，但层数要高得多。但是，基板制造要面对很多挑战（见表 7.1）。

**表 7.1 基板与 PCB 制造技术挑战对比**

| 特 性 | 加工面板上的基板 | 加工面板上的 PCB |
|---|---|---|
| 每个面板上的单元数 | 100 ~ 200 | 1 ~ 10 |
| 电路密度 | 基板均匀分布在面板上 | 器件分布在面板上独立区域 |
| 电路缺陷密度影响 | 高 | 仅衬底部位高 |
| 引线键合贴片用金引脚 | 每个基板上 100 ~ 1000 个 | 无 |
| 焊球贴装用金球焊盘 | 每个基板上球边均匀分布 | 只在基板部位 |
| 缺陷对金表面影响 | 高 | 适中 |
| 电路层数 | 2 ~ 4 | 低端为 2 ~ 10，高端为 10 ~ 20 |
| 检测内容 | 高 | 适中 |

获得成功的基板制造企业不多，特别是在美国和欧洲。其中有很多原因：组装产业已经迁移到了亚洲，并且亚洲基板供应商和组装企业间的沟通更加高效。而专用基板制作工序必须进行优化以满足这些特殊需求，从而实现高质量、低成本。

## 7.2 陶瓷基板

陶瓷基板目前仅局限于特殊应用，要么是可靠性要求较高的场合，如大型服务器的多芯片组件和军用产品；要么是射频应用（这种情况下需要将非平衡变压器与电阻、电感和电容等无源元器件直接进行集成）。陶瓷还可以满足气密封装要求，三维结构也很容易采用陶瓷材料模压成型。但相对于有机基板，陶瓷基板总产量相当小，因此本文不作过多介绍。

## 7.3 有机基板

目前应用的有两种芯片组装技术。时间较久且成熟的是引线键合（Wire Bonding，WB）技术，其芯片采用背部键合，引线从芯片上部连接到基板上；而较新的是倒装芯片（Flip Chip，FC）键合技术，其芯片面朝下键合到基板上，采用小焊料球或凸点实现互连。倒装芯片键合的最新变化是金凸点键合。

引线键合基板采用条状布置和加工，组装后再进行分离。通过调整面板（390mm×490mm）有源区内的条带尺寸（如187mm×40mm）和版图，以及条带（6个，27mm×27mm）内的基板版图，可以大幅度降低成本。这种条带形式主要满足PBGA基板要求。目前，组装制造商正努力提高条带尺寸，同时降低条带边沿尺寸以提高面板利用率，从而降低材料消耗和工艺成本。

WB基板成本的下一步优化是开发芯片级封装（Chip Scale Packaging，CSP）。CSP的最初定义是芯片尺寸与基板相当，主要用于I/O数小于300的小芯片。除了基板尺寸缩小外，基板也可以堆砌成三四个模块的混合体（即MAPBGA），模块尺寸部分取决于脱模能力。最新的发展趋势也是提高和优化条带尺寸，以增加每个面板上的单元数。降低条带上的模块数可以增加单元百分比，目的是采用类似于巧克力条的单模模块形式进行工作。

倒装芯片基板以单元模式出厂和运输，因此所有的面板优化工作首先留给了基板生产商。选择单元模式是为了满足基板成品率和组装工艺要求。组装工艺要求是基于正被取代的陶瓷基板技术的。目前，用于CPU、图形、芯片集、ASIC等应用的所有高端倒装芯片基板、FCBGA都以这种单元形式运输。极少量的FCBGA基板以条带形式运输，以减少PBGA组装时的操作工艺。

普通的FCBGA基板采用盲孔技术，从而拥有较高的I/O数、较细的引脚和间距。这些因素导致了在积层技术中应用一种特殊的积层电介质。实际标准的做法是采用Ajinomoto积层膜（ABF）。它是一种由日本Ajinomoto精密技术公司生产的非增强型树脂，采用激光打孔和精细布线工艺进行优化制作而成。此外，倒装芯片基板的可焊表面无金或金含量很低，可保证倒装芯片焊点的可靠性。

在过去的几年中，I/O 数低于 300 的小倒装芯片也可以在 PBGA 基板上组装，更低的 I/O 密度还可以采用层压技术。这些倒装芯片基板（即 FCCSP）采用了与兼容倒装芯片的表面处理 MAPBGA 相同的带状形式。目前，FCCSP 基板是基板行业增长最快的领域。FCCSP 技术目前也在飞快发展，以形成成本最低的基板和组装技术。早期将倒装芯片置于层压板上的，是美国 IBM 公司在四层板上制作的 SRAM 产品（Laine，2000 年）。目前，虽然 PTH 技术的成本更低，但大多数产品还是采用使用盲孔等技术制备的高密度互连（HDI）基板。

采用 HDI 设计是出于 I/O 密度的考虑。HDI 也可用于引线键合基板，但仅限于非常高的端接/密度设计。如前所述，WBCSP 和 FCCSP 的主要区别在于表面处理。因此，FCCSP 的独特要求就体现在表面处理部分。

### 7.3.1　两层 PBGA 基板

如前所述，PBGA 基板有几种简单形式：采用电镀通孔（Plated Through Holes，PTH）进行互连的 2 层（2L）、4 层（4L）及 6 层（6L）电路结构。最近盲孔或通孔也可用于 2 层、1 +2 +1 层、2 +2 +2 层、1 +4 +1 层形式的 HDI 基板。

上述基板的基本结构是具有三明治结构的覆铜层压板（Copper Clad Laminate，CCL），由一块芯片或由玻璃纤维构成并在两层铜箔间涂覆绝缘有机树脂形成。多层浸织物叠层，即所谓的半固化片（Prepreg，PP），可用于制作出所需厚度的芯（core）板。浸织物本身可以采用玻璃纤维纺制，并通过改变纤维厚度和密度对 CCL 厚度进行控制。自从基板要符合 RoHS 规定和“绿色”树脂体系（即所用树脂中氯、溴和锑的含量低于 $900\times10^{-6}$，且不含磷）后，主要有两种树脂体系可以使用：日本三菱气体和化学公司的“BT-NX”系列和日本日立化学公司“E679-FGB”系列。而不同厚度的铜箔也按重量（每平方英寸上铜重量的盎司数）进行区分。虽然在热设计或功率设计中可采用 37μm（等于 1oz）和 75μm（等于 2oz）的铜箔厚度规格，但最常用的还是 12μm（等于 1/3oz）和 18μm（等于 1/2oz）的规格。最常用的芯板材料特性见表 7.2。

表 7.2　常用介质 CCL 材料的特性

| 公　司 | 日本日立（Hitachi）公司 | MGC |
|---|---|---|
| CCL 类型 | MCL-E679FGB | HL832NX |
| $T_g$(DMA)/℃ | 190 | 220 |
| $T_d$(TGA (5%))/℃ | — | 310 |
| CTE($X/Y$)/($10^{-6}$/℃) | 13 ~ 15 | 14 |
| CTE($Z$)/($10^{-6}$/℃) | 23 ~ 33 | 30 |
| 热应力测试时间 $T_{288}$/min | — | 25 |
| 热导率/(W/mK) | 0.71 ~ 0.83 | 0.44 |

（续）

| 公　司 | 日本日立（Hitachi）公司 | MGC |
|---|---|---|
| $D_k$（1GHz） | 4.6 | 4.7 |
| 损耗角正切（1GHz） | 0.017 | 0.013 |
| 体积电阻/(MΩ. cm) | 1.00E+8 | 5.00E+8 |
| 表面电阻/(MΩ. cm) | 1.00E+7 | 5.00E+8 |
| 剥离强度（1/3 oz①)/(kN/m) | 0.65 | 0.75 |
| 弯曲强度/MPa | 450~550 | 450 |
| 弯曲模量/GPa | 37 | 28 |
| 抗拉强度/MPa | 200~300 | 280 |
| 杨氏模量/GPa | 20~26 | 29 |
| 泊松比 | 0.20~0.21 | — |
| 吸水率（%） | 0.05 | 0.47 |
| 可燃性 | 94-V0 | 94-V0 |
| 环境特性 | RoHS 和"绿色" | RoHS 和"绿色" |

①盎司，1oz=28.35g。

图7.2给出了一种制备两层板的典型简化工艺流程。该流程的每一步实际上包含了很多子工艺。例如，图形化这一步就可以分成预处理、涂胶、曝光、显影、刻蚀、剥离和检查等步骤，而这些小步骤又可以进一步根据所采用的不同化学试剂和清洗剂进行细分。所有的湿法化学工艺都采用水剂，以减少有机溶剂用量并降低对环境的影响。

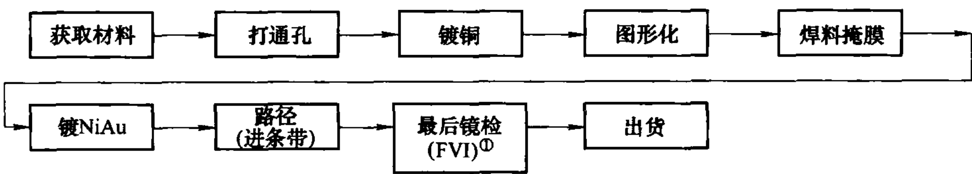



图7.2　两层板的简化工艺流程

① FVI：Final Visual Inspect。

通常，典型CCL的厚度≥200μm，而为了降低基板产品厚度和最终封装体厚度，厚度为150μm和100μm的CCL也开始流行。降低厚度要求在工艺过程中和升级/采用新工艺设备时，更加小心芯板的操作。薄CCL很容易在人工操作或使用平面工艺设备时撕裂、弯曲和起皱。特别是在图案化工艺过程中，当所有区域的铜都被刻蚀成引脚形式，而铜箔又不再足以支撑半固化片（PP）时，这种薄CCL就会变得更加脆弱。关于CCL厚度方面，需要注意的是可将它与直径为100μm的人体头发相比。目前可得到的最薄CCL芯板材料厚度为60μm和50μm。其中，60μm芯板已大量用于生产总厚度为120μm经表面处理的基板产品，下一步目标是使经

表面处理的基板厚度能达到100μm。表7.3给出了一些具有代表性的基板厚度与横截面。

**表7.3 两层板典型厚度** （单位：μm）

| 总厚度 | 100 | 130 | 160 | 210 | 260 | 360 | 560 |
|---|---|---|---|---|---|---|---|
| 焊料掩膜 | 15 | 20 | 30 | 30 | 30 | 30 | 30 |
| Cu层 | 15 | 15 | 20 | 25 | 25 | 25 | 25 |
| 芯板 | 40 | 60 | 60 | 100 | 150 | 250 | 450 |
| Cu层 | 15 | 20 | 30 | 30 | 30 | 30 | 30 |
| 焊料掩膜 | 15 | 20 | 30 | 30 | 30 | 30 | 30 |

注：所有尺寸单位为μm，总厚度偏差为±40μm。

为了进一步降低厚度，必须降低阻焊膜（即焊料掩膜）厚度，并进行严格控制。通常阻焊膜的说明书中给出的厚度平均值为15～30μm。实际使用的工业标准焊料掩膜产品来自日本Taiyo Ink公司。它是一种光可成像的液态油墨，使用时既可采用丝网印制，也可采用滚筒进行涂覆，油墨涂覆后，表面迅速流平。干燥过程中，油墨开始在图形和间隙上形成一层保形结构。也就是说，图形间隔之间的溶剂挥发量大大高于图形的溶剂挥发量，因此复制的引脚/引脚间距图形就形成了山峰和山谷结构。在焊料掩膜退火过程中，由于体积收缩，所形成的图形会更加清晰。在聚合和退火过程中，焊料掩膜中的反应物——具有较高光反应活性的丙烯酸盐和具有热反应活性及化学反应活性的环氧，都表现出很大的收缩。图形收缩可以采取如下几种方式来减少：

（1）小心控制曝光前的干燥图形轮廓。当溶剂挥发时，粘度会提高，从而抑制了流平。这种粘度增加可通过升高温度来弥补，但这种做法也会使挥发速率提高。而且，由于溶剂在表面的挥发会比体扩散速率快，高温还会导致趋肤效应。最有效的温度控制方式可能是步进升温。

（2）加入具有不同沸点的溶剂有助于有效地控制粘度变化，但这要求完成大量的试验来确定最佳溶剂混合比和浓度。对于采用浸织物制作半固化片而言，这是常常需要开展的工作。

（3）在一定温度和压力下对PET涂覆膜（采用聚乙烯对苯二酸盐）进行层压有助于流平，而采用PET薄膜的最大好处是可以提高图形分辨率。丙烯酸曝光反应通常会受到氧气的抑制，而且这种现象甚至会出现在真空曝光系统中，从而造成分辨率下降。PET薄膜则可以降低曝光过程中氧气到阻焊膜（焊料掩膜）的重新扩散，从而可以以更高的分辨率产生锐利的图形。

（4）干膜焊料掩膜。降低图形收缩和厚度最有效且简单的方法是采用干膜焊料掩模。从本质上讲，这是采用一种与干膜光刻胶同样流行的涂覆和供应方式的焊料掩膜法。焊料掩膜涂覆在PET载体膜上，保护阻焊膜（焊料掩膜）不受曝光过

程中的污染、操作和氧气的影响，而使聚乙烯分离层卷起焊料掩膜。干膜焊料掩膜必须要进行真空层压（要控制真空、压力和温度）来包覆引脚而不夹杂空气。它也具有另一个很大的制造优势，就是涂层材料的清洗是由材料供应商而不是基板制造商来完成。干膜焊料掩膜已应用多年，其中最早的是由美国杜邦公司为 PCB 制造提供的产品，商品名为 Vacrel。这种材料的成本明显高于液体掩膜，因此延缓了其应用。但对基板而言，干膜焊料掩模的标准同样来自于日本 Taiyo Ink 公司，名为 AUS 410。典型的焊料掩膜及其性能见表 7.4。

**表 7.4　日本 Taiyo Ink 公司典型的 PSR 4000 焊料掩膜材料性能**

| 性　能 | AUS308 | AUS310 | AUS320 | AUS410 | 测试方法 |
|---|---|---|---|---|---|
| 杨氏模量/GPa | 2.4 | 3.0 | 3.4 | 3.2 | 拉伸 |
| 伸长率（%） | 3.0 | 3.5 | 3.5 | 4.9 | 拉伸 |
| 抗拉强度/MPa | 50 | 70 | 70 | 75 | 拉伸 |
| $T_g$/℃ | 100 | 103 | 114 | 110 | TMA |
| CTE/($10^{-6}$/℃) | 60/130 | 60/140 | 60/130 | 50/160 | TMA |
| 吸水率（%） | 1.3 | 1.1 | 1.1 | 1.0 | 20℃/24h |
| 泊松比 | 0.29 | 0.28 | 0.29 | 0.32 | |
| $D_k$ | 3.9 | 3.6 | 3.9 | 3.6 | |
| $D_f$ | 0.029 | 0.024 | 0.030 | 0.022 | |

## 7.3.2 四层 PBGA 基板

最简单的四层板来源于图形化的 CCL，是利用铜箔和半固化片进行双面层压而成的，同时可形成四个铜箔层。这种原始基板的加工工艺在本质上与两层板相同（见图 7.3）。

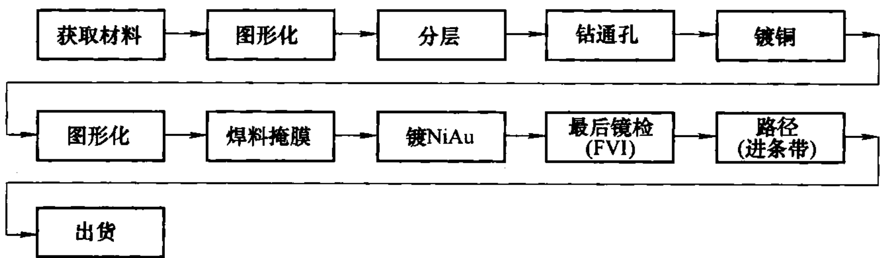



图 7.3　四层 PBGA 板工艺流程

更复杂的四层板可以内嵌 PTH（Buried PTH，BPTH）以提高引线能力。其工艺流程在焊料掩膜前，基本上都与两层板相同。然后，带 PTH 的图形化芯板就像

标准四层板一样进行层压和加工（见图 7.4）。对准要求确实随着每层的复杂性而增加。通常意义上 PTH 连接的内部面积随着尺寸而增加，以保证 PTH 被完全包围，避免通孔断裂。保证该项改进对准操作方式的是采用 X 射线打孔，即采用 X 射线相机，对内部的对准坐标点进行定位，随后用于 PTH 打孔的新工具孔也随之确定下来。

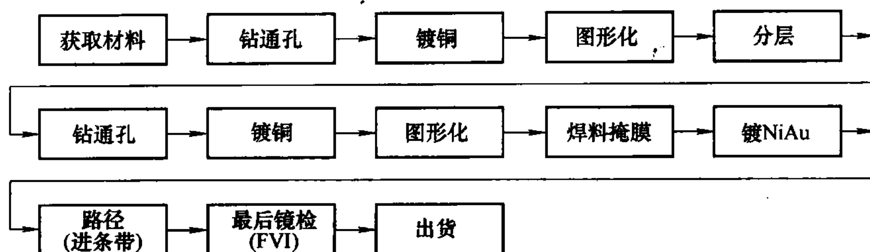



图 7.4　带内嵌通孔的四层板工艺流程

## 7.3.3　六层 PBGA 基板

考虑到成本因素，六层板只在适当的条件下应用。基本上，在所有其他参数相同时，在两层板的基础上每增加一层，成本将增加大约 50%。而且，最简单的六层板（只能通过 PTH 进行互连）既可以采用串联工艺进行制作（见图 7.5），也可以采用并联工艺制作（见图 7.6）。

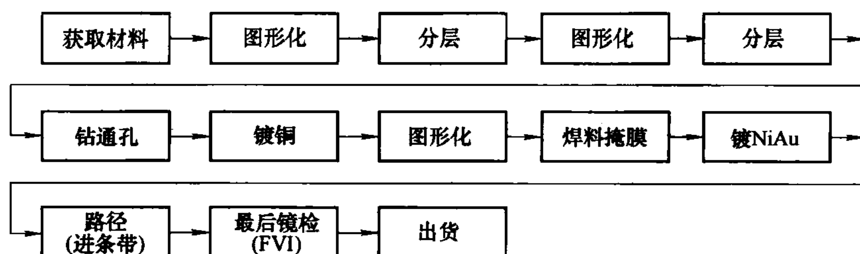



图 7.5　六层板串联工艺流程

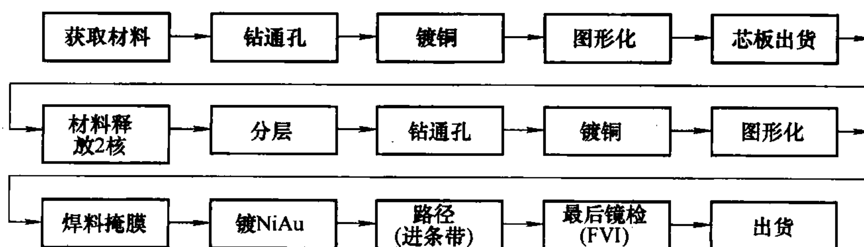



图 7.6　六层板并联工艺流程

串联工艺始于图形化的双层芯板，通过在上面层压半固化片和铜箔形成四层芯板，紧接着进行图形化，将半固化片和铜箔反复进行层压从而形成六层内核。这种结构的加工工艺类似于标准 CCL，不同之处在于采用了含 PTH 的双层芯板，并层压了半固化片和铜箔。在层压为六层板坯之前，可以对四层的芯板坯进行打孔、电镀和图形化。或者，可以将四层芯板坯先进行图形化，再层压制备成六层芯板坯。之后，六层芯板坯就可以像标准的 CCL 一样进行加工了。

并联工艺有几种选择：含或不含 BPTH。通过将两个图形化芯板与半固化片和铜箔从外边层压在一起，就可以形成一个六层的芯板坯，从而可以像标准 CCL 那样进行加工。

相同工艺可用于含 PTH 的芯板中的一块或两块，以形成 6 层含 BPTH 的基板。这种基板可在不过多增加制造复杂性的情况下，允许复杂的引线。

并联工艺的优点是可以减少工艺周期，这是因为内部的四层可以同时进行加工，采用一个而不是两个（最多）层压工艺循环就可以完成。而且由于能够对芯板进行检查和标记，从而可以对成品率进行优化。但并联工艺需要有一个十字图形，以实现层压时的良好对准，从而保证每个 PTH 的通孔不会断裂。

至此，显而易见，BPTH 可以位于四层和六层板横截面的任何位置，这取决于设计要求和成本优化方案。

### 7.3.4 高密度互连基板

随着激光打孔技术的出现，加工可控深度的盲孔成为可能。盲孔也可以采用机械加工，但深度控制要困难得多。在基板或 PCB 制造过程中，主要有两种类型的激光打孔方式：二氧化碳激光和紫外激光。

二氧化碳激光可在玻璃和有机材料中打通孔，但对铜箔不行，且孔的尺寸有限，目前孔径为 65μm 及以上。由于不能钻通铜箔，计划要打的孔图形要先用传统光刻工艺进行制作，例如先采用典型的光刻胶和显影-刻蚀-剥离（Develop-Etch-Strip，DES）技术在铜箔中刻蚀孔。随后，用二氧化碳激光穿过保形铜掩膜，对半固化片进行烧蚀，烧蚀至下面的定位焊盘。孔形状可以通过控制激光器的能量、脉宽和脉冲数来进行调节。

紫外激光器可以像烧蚀半固化片一样对铜箔进行烧蚀，但两者的烧蚀速率不同，因此刻蚀可以停止在定位焊盘上。当顶层的铜箔没有烧穿时，孔的成形速度将会降低。通过紫外激光制作的钻孔典型尺寸直径为 50μm 或更小，以获得较高的钻孔效率。总体而言，采用二氧化碳激光打孔的产品较多，居于主导地位。John Lau 发表于 2001 年的文章是关于激光打孔技术的一篇较好的综述。

激光打孔后，需要对盲孔进行清洗和电镀。这些工艺实际上存在一些问题，如流体动力学在限制液体流动方面存在局限，导致表面润湿、扩散限制和气泡积聚等问题；大规模生产中典型的深宽比（深度与直径比率）仍然是 0.7。电镀供应商在

镀液成分方面取得了很大进步，可以提高深宽比并能够填充铜孔，例如通过电镀铜封闭盲孔。PTH 电镀的挑战是如何使能量很容易地输入盲孔中。PTH 电镀的目标是优先在孔内电镀而不是在表面电镀。

7.3.4.1　**两层焊盘通孔板**（2L HDI）

除了打孔工艺（见图 7.7），两层焊盘通孔（Via in Pad，ViP）基板的工艺流程与标准的两层板相同。如前文所述，如果在一侧（芯片侧）形成了保形掩膜，盲孔则可以采用二氧化碳激光钻制。

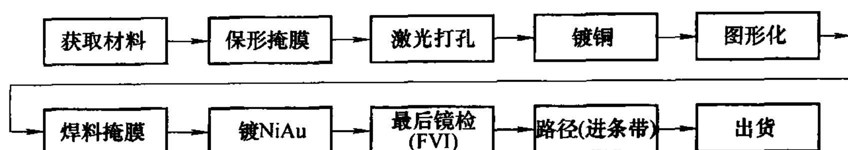



图 7.7　两层焊盘通孔板的工艺流程

典型的芯板厚度仍然是 100μm，因此顶层的盲孔直径约为 130μm。目前，在盲孔方面面临的最大挑战是可靠性。这些孔必须能够承受 1000 次或更多次的热循环（-65～150℃）而不断裂。完成上述热循环后还需要再做电阻漂移测试。要对几百个成链状分布的盲孔进行周期性的热循环和电阻测试。电阻漂移率必须低于百分之几才能合格，这取决于设计要求。研究表明，这种电阻变化对形成孔内断裂极其敏感。反过来，孔内断裂又对孔底清洁度、化学镀铜质量和底部孔形状非常敏感。

采用该设计的原因是 BGA 焊盘可以作为盲孔的定位焊盘。在 PTH 设计中，BGA 焊盘附近必须有 PTH 焊盘。这看起来呈“工”字形（dogbone），需要较多的空间。焊盘通孔（ViP）设计中的一个不足就是在激光打孔过程中，每个面板打孔是一个接一个的，从而限制了产量。另一方面，因为机械打孔工艺允许叠加 2 到 3 层芯板，对于工字形的设计来说可以有很高的产量。采用不是工字形设计的 PTH 也是可行的，但是 PTH 必须填充环氧树脂，并在顶部电镀。为了去除多余的环氧树脂，填充过程完成后必须研磨。这是一项相当具有挑战性的工艺，要小心控制研磨压力，避免芯板的拉伸和撕裂。

7.3.4.2　1+2+1 **型基板**（4LHDI）

这种四层板是首次采用一系列串联工艺构建的高密度基板。最简单的形式是，用含 PTH 的两层图形化芯板与半固化片和铜箔进行层压，以形成四层芯板坯的结构。之后，采用与两层 ViP 相同的工艺流程则可以进行激光制孔，并完成基板制作。由于目前激光盲孔必须位于定位焊盘内，因而需要小心地采用好的对准策略，激光器必须靠近用于形成定位焊盘的基准点。在理想情况下，这些相同的基准点又可以在电镀后再次用于曝光以制作图形。

1+2+1 基板也可以采用 PTH 连接顶层和底层。这种情况下，PTH 要在激光

打盲孔后再打孔，并且需要调整电镀参数，以同时对盲孔和 PTH 进行电镀。

到目前为止，所描述的 BPTH 都是面包圈（面窝）形的，即中心没有覆盖铜层。这是由于在层压第二层时，PTH 内填充了来自半固化片的树脂。为了提高引线密度，PTH 顶部可以覆铜，但这需要一些额外的工艺步骤。对芯板进行打孔和电镀后，必须对 PTH 进行填充或塞满树脂并再次进行电镀，接下来的工艺就是层压半固化片和铜箔等。盲孔可以位于 PTH 帽层的顶部，这就是 PTH 上打孔（Via on PTH，VoP）名称的来源。

传统意义上来说，PTH 填塞环氧树脂可采用丝网印制工艺，使环氧树脂进入 PTH，然后通过退火和研磨去除铜表面露出的多余树脂。研磨一般采用陶瓷砂轮。必须小心控制研磨压力，否则芯板在失控时容易拉伸，从而导致较大的对准误差。过度研磨还会降低铜层厚度的均匀性。填塞环氧树脂的通孔内还经常填充一些陶瓷或二氧化硅颗粒，以缓解热膨胀。这主要是因为担心在后期工艺过程中，较大的热膨胀会在铜帽层上产生应力，导致断裂。而具有较高的玻璃化转变温度（$T_g$）和较高的填料含量可以降低热膨胀系数（CTE）。

也可以采用另一种增强方法，即在铜减薄后再进行研磨，例如对铜表面均匀刻蚀来降低铜厚度。但这会露出填孔环氧材料中的小结点，解决方法就是再次研磨。重复循环该过程，直到获得理想的铜层厚度。在帽层电镀后，这样将会降低芯板上的引脚宽度和引脚间距。

目前，大规模生产中使用的最薄 1 +2 +1 基板厚度为 260μm，但也出现了厚度为 220μm 的基板。

#### 7.3.4.3 1 +4 +1 型基板（6LHDI）

最常见的芯板是带 PTH 的四层芯板，通常 PTH 被覆盖且盲孔是 VoP 的。因此，除了采用了四层内核外，其工艺流程基本上与 1 +2 +1 基板相同。到目前为止，1 +4 +1 型基板的应用范围有限，绝大部分用于对电源分配和屏蔽方面有特殊要求的情况。

#### 7.3.4.4 2 +2 +2 型基板（6LHDI）

在这种情况下，1 +2 +1 型芯板经过盲孔工艺，开始第二层层压构建第二个增强层，2 +2 +2 型基板最常见的设计是交错排列盲孔。

最近，在电镀过程中将铜填充进通孔成为可能。通过适当地对准，这种工艺还能实现多层孔堆叠，从而进一步增加设计密度，最终的设计则是在帽层 PTH 上堆叠盲孔。通常，这种设计中没用采用 PTH 对 1 到 6 层进行互连。除了先进的基板设计，这种结构正成为模组和互连应用中非常流行的一个设计要素。

## 7.4 载带球栅阵列

虽然也有一些 TBGA 基板采用聚酯纤维材料，但大多采用聚酰亚胺（PI）进行

制备。这些薄板的柔韧性要求采用专业的组装线。因为聚酯纤维的成本很高，许多应用都转向可以采用标准组装线进行组装的 TFBGA 型基板。

薄膜电介质材料如聚酰亚胺呈卷状，可以通过将介电材料模压在铜箔上或溅射种子层，然后卷对卷电镀形成金属化连续结构。采用 PI 载带的 TBGA 基板已经应用了很长时间。但由于成本原因，其用量逐渐减少。最初铜箔与 PI 之间采用粘胶进行粘接，后来大规模生产时，开始采用无胶带。TBGA 基板主要制作成两层板，因为电介质面的金属层很薄且平整，所以可在这种电介质上制作相当精细的引脚及引脚间距。

大多数 TBGA 基板为含 PTH 的单金属层或双金属层结构，现在也有 1+2+1 型的结构出现，但产量很低。

目前，也可以采用其他介电材料，如最新的一种材料是来自美国罗杰斯(Rogers)公司的液晶聚合物（Liquid Crystalline Polymer，LCP)，据称比 PI 便宜很多，并且对吸湿非常不敏感。但如 PI 一样，LCP 本身不具有粘接性，需要采用粘胶或键合层来构建多层板。

## 7.5 PBGA 基板发展趋势

### 7.5.1 低成本电介质

如前文所述，日本三菱气体和化学（Mitsubishi Gas & Chemicals）公司的 BT（双马来酰亚胺三嗪树脂）和后来日本日立化学（Hitachi Chemicals）公司的 E679-FGB（环氧基树脂）已成为 PBGA 基板的实际行业生产标准。消费品和移动产品行业成本竞争激烈，而且面临着持续降低成本的要求。最新出现的采用了 TFBGA 型基板（薄型精细 PBGA 基板）的 DDR Ⅱ 存储器也面临着极大的成本压力。这种发展趋势增加了新型电介质材料供应商的机会，改变电介质材料市场。许多新供应商似乎也准备好了满足这种需求。中国台湾南亚塑料（Nan Ya Plastics）公司、韩国 LG 电子材料（LG Electronic Materials）公司、韩国斗山电子材料（Doosan Electronic Materials）公司就是其中的几家。它们生产的 CCL 材料性能见表 7.5。

表 7.5　低成本低 CTE 的 CCL 材料性能

| 供应商① | MGC | MEW | Sum | Doosan | 南亚* | LG* | Doosan* |
|---|---|---|---|---|---|---|---|
| CCL 型号 | HL892 | R1515B | ELC47856S | DS7409 HGS 型 | NPG-200 | LG-P-5006 | DS4709 HG G 型 |
| $T_g$(DMA)/℃ | 270 | 205 | 265 | 260 | 210 | — | 240 |
| $T_g$(TMA)/℃ | 250 | 180 | 220 | — | 165 | 176 | 180 |
| CTE $(x, y)(\alpha_1)$ /($10^{-6}$/℃) | 12~13 | 12 | 11 | 11~12 | 12 | — | 13~14 |

（续）

| 供应商① | MGC | MEW | Sum | Doosan | 南亚* | LG* | Doosan* |
|---|---|---|---|---|---|---|---|
| CTE ($z$)($\alpha_1$) /($10^{-6}$/℃) | 35 | 40 | 16 | 10~15 | 46 | 56 | 24 |
| $D_k$(1GHz) | 4.9 | 4.8 | 4.2 | 4.5 | 4.2 | 4.88 | 4.6 |
| $D_f$(1GHz) | 0.012 | 0.011 | 0.007 | 0.007 | 0.014 | 0.008 | 0.013 |
| 剥离强度/(KN/m) | 0.88 | 0.9 | 1.1 | 0.7 | 1.22 | 0.85 | 0.8 |
| 杨氏模量/GPa | — | 26.5 | 29 | 33 | — | — | 31 |
| 吸水率（%） | — | 0.12 | 0.4 | 0.43 | 0.15 | 0.7 | 4.2 |

① MGC—日本三菱气体和化学公司；MEW—日本 Matsushita 电子公司；Sum—日本 Sumitomo 公司；Doosan—韩国 Doosan 电子材料公司；南亚—中国台湾南亚塑料公司；LG—韩国 LG 化学公司。

* 代表低成本候选材料。

### 7.5.2 低成本焊料掩膜

电介质材料的成本压力同样也存在于基板制作的所有其他材料中。日本 Taiyo Ink 公司焊料掩膜面临的竞争正在增加，但目前其他公司还没有取得很明显的突破。

### 7.5.3 薄基板、薄电介质

随着消费类电子产品和移动产品的爆炸式增长，对薄基板的需求也以同等速度增加。目前，电介质厚度低至50μm 的 CCL 也已出现。同样，对于在制作多层板中使用的半固化片，厚度为40μm 的半固化片也很常见。电介质生产商正在研制厚度为35μm 和30μm 的半固化片，这已经通过改变编织模式和技术得以部分实现。玻璃束含有较少的纤维且易于伸展（无线圈缠绕），从而可使织物更平整。反过来，因为织物难以承受注入塔中的拉力，树脂注入变得越来越具有挑战性。

如果基板技术进一步发展，降低厚度的极限将会到来，而且也会出现新的电介质材料。可预见的两种可能性为卷对卷工艺和薄膜电介质。

大多数水平工艺设备在穿过设备进行传输时，依靠面板进行自我支撑。由于很薄的电介质材料难以在面板模式下通过多个工艺步骤，所以卷对卷工艺似乎非常适合这种材料。很薄的玻璃增强电介质也可以采用卷对卷模式进行加工，这已在智能卡组装中得到了验证。在智能卡组装过程中，带状成品基板叠压在一起并进行卷操作，以实现高速、连续组装。其主要挑战来自长卷轮上供应 PP 基的 CCL。典型的层压采用板片形式而且需要进行粘接。而连续的层压方式曾被德国 Dielektra 公司研发出来并用于大规模生产，但后来又放弃了。

带状或薄膜状电介质可能是降低基板厚度的主要方式。这是因为带状电介质的机械性能优良，可以成卷状进行加工，从而显著改善薄膜材料的加工问题。

## 7.5.4 低膨胀电介质

热膨胀目前还不是 WB PBGA 所面临的问题。倒装芯片基板完全依赖底部填充料为焊料粘合提供必要的强度，从而解决裸芯片与基板间大的热膨胀失配问题。对于倒装的芯片尺寸封装（FCCSP）基板，由于目前芯片尺寸很小，没有必要降低 CTE。但当芯片尺寸增加时，就有必要缩小 CTE 失配来提高封装可靠性。

对于所有的层压电介质，其各个方向上的膨胀是不均匀的。通常 $X$ 方向和 $Y$ 方向（平面内）的 CTE 十分接近，差别仅在于 $X$ 方向或 $Y$ 方向采用了不同的织物束。平面外的膨胀（$Z$ 方向）则通常取决于采用玻璃作为填料的树脂。因此，低于玻璃化转变温度（$T_g$）时，CTE($z$) 一般为 CTE($x$, $y$) 的 3 倍。高于 $T_g$ 时，CTE($z$) 为 CTE($x$, $y$) 的 10 倍或更大。降低树脂热膨胀最有效的方法是掺加填料。填料必须仔细选择，以避免降低机械和化学性能及可靠性。例如，吸湿性的增加会导致脱层或爆米花现象，特别是在无铅焊料组装的高温阶段更是如此。石英玻璃和 S 级玻璃对降低平面内的 CTE 非常有效，但无法像 E 级玻璃那样精细，并且成本也高。因此，目前需要通过填料含量的改变和树脂改性来控制 CTE($z$)。具有代表性的 CCL 材料特性见表 7.5。

## 7.5.5 表面处理

### 7.5.5.1 电镀镍金

行业标准的表面处理方式为电镀镍和金（NiAu）。移动电子产品行业，特别是手机业，提出了新的可靠性要求——跌落测试。而随着无铅焊料的引入，跌落测试变得特别富有挑战性。无铅焊料与镍间形成脆性的金属间化合物，在跌落测试中很容易断裂。

### 7.5.5.2 OSP 和 AFOP

早期的解决办法之一就是将焊料直接沉积在铜上，因为铜可以形成不同的、高强度金属间化合物。然而，这要求避免铜在焊料球沉积前被氧化。PCB 行业还采用了一种方法叫有机保焊剂（Organic Solder Preservative，OSP）方法。OSP 是基于咪唑衍生物的铜配位化合物。最新一代咪唑具有合适的取代物，使它们具有高温稳定性，可以承受多次 260℃ 的回流，因此与无铅工艺兼容。同时，要求键合区的 NiAu 没有有机残余物。有些 OSP 供应商采用了不同方法，即采用添加剂来保持金表面干净。对于引线键合应用，还诞生了一个新名词 AFOP，就是金沉积在键合区而 OSP 涂覆在球型焊盘上。因为对金和 OSP 都有要求，需要采用另一种光刻工艺来保护球焊盘不受键合区电镀 NiAu 的影响，但额外的工艺成本通常超过了节省的金成本。

对于倒装芯片应用，OSP 可同时用于球焊盘和倒装芯片焊盘，因此可以降低表面处理成本。

#### 7.5.5.3 ENEPIG

创纪录的高金价提高了削减成本的压力。成本压力导致在不牺牲引线键合能力时进一步降低金层厚度，有些用户已经将金层最小厚度从 0.5μm 降低到 0.3μm。但是这种压力再次提醒我们，必须开发一种新型的通用表面处理方式。化学镀镍化学镀钯浸金（Electroless Nickel Electroless Palladium Immersion Gold ENEPIG）的化学工艺过程在过去的 10 年里进展很快，使这种表面处理方式再次具有吸引力。

ENEPIG 能够节省成本是由于其很薄的浸金层，估计在 0.1μm 左右。钯厚度大致相当且其成本大大低于金，因此最终成本低于 NiAu。ENEPIG 既可用于引线键合，也可用于焊料，因此被认为是一种类似 NiAu 的通用表面处理技术。跌落测试结果也显示 ENEPIG 具有优良的性能。

因为其金含量大大低于 NiAu，所以由于金浓度高导致的焊料变脆现象有望缓解。由于沉积过程中涉及的化学反应类型不同，ENEPIG 不存在“黑焊盘”缺陷这方面的顾虑，因此其比化学镀镍浸金（ENIG）更具竞争性。

另一个显著的好处是由于化学镀的化学本性，例如不要求电镀连线。这将使背部刻蚀工艺成为多余。由于工艺步骤减少和工艺流程简化，成本优势使其更具竞争力。相同工艺可应用于连线减少工艺，如无电镀线（No Plating Line，NPL）工艺或选择性镀金（Selective Gold，SG）工艺和类似 AFOP 的混合表面处理。

#### 7.5.5.4 **锡表面处理工艺**

第一种经过锡表面处理的基板是 FCBGA 基板，倒装芯片封装过去常采用特殊的陶瓷基板，后来采用增强基板。表面处理通常是 ENIG，然后在倒装芯片焊盘上印制焊料凸点（预制焊料），接着采用廉价的助焊剂回流，凸点顶部经流平可用于定位和放置芯片。ENIG 存在被“黑焊盘”污染及与无铅焊料的润湿性差等问题。作为一种可焊表面材料，锡在许多 FCBGA 产品中得到广泛应用，探索可替换的表面材料，建议采用一种新型化学镀锡直接取代 ENIG。

**浸锡** 化学镀锡的行业用语为浸锡（immersion Tin，iT）。化学反应为锡和铜之间的置换反应，因此具有自限性。如一旦表面铜消耗完，锡的沉积速率就会降低几个数量级。锡层的典型厚度约为 1μm，对于大多数 FCBGA 封装而言，该厚度太小，凸点焊料体积不足，难以形成高的焊料柱。浸锡要求焊料掩膜表面与芯片间保持足够的平衡，从而使底部填充料充分流动形成对焊料凸点的无孔隙塑封。因此，正如 ENIG 那样，仍要使用预制焊料。出于成本原因，对于倒装芯片的芯片级尺寸封装（FCCSP），浸锡是可以接受的，但需要对基准距离进行控制。

浸锡的保质期一般，并且可与所有的无铅焊料浸润，可以应用在倒装芯片焊盘和 BGA 焊盘两个表面。回流和金属间化合物（IMC）形成仅仅发生在锡熔点以上，也就是回流温度 240℃或以上。因此，如果采用共晶焊料作为预制焊料，凸点可以回流，但 BGA 焊盘上的锡不会回流。

**电镀锡**（eT）　电镀锡时，其厚度通常可以通过电镀参数来控制，然而必须应用电镀母线。对于无母线设计，可以采用选择性的电镀工艺：焊料掩膜后，在基板上溅射一薄层铜形成母线层，然后在母线层上涂覆光刻胶来定义镀锡区域。电镀锡后，剥离光刻胶并快速刻蚀掉母线。如果需要，该工艺可实现单面选择性电镀，即第二面采用浸泡工艺电镀，同时对第一面采用可剥离的光刻胶或掩膜材料进行保护，工艺流程如图 7.8 所示。电镀锡既可用于需要厚锡的金凸点倒装芯片组装，也可用于标准间距稍大于浸锡的焊料倒装芯片组装。

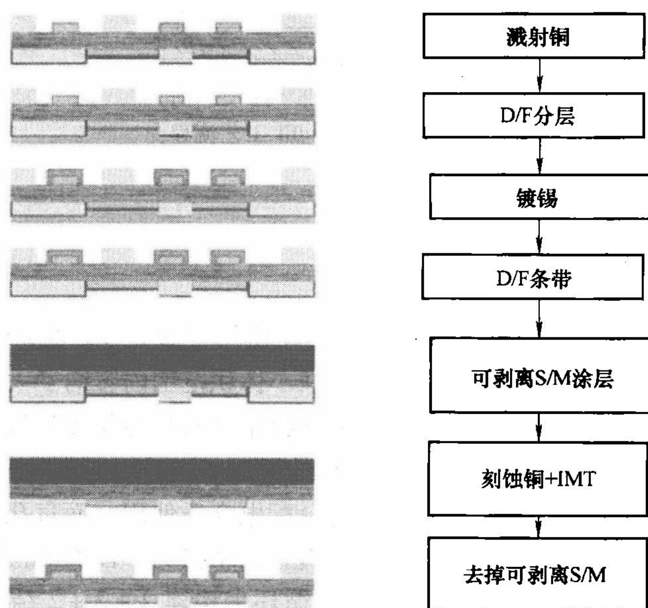



图 7.8　在凸点面电镀锡而在焊球面浸锡的基板镀锡工艺

#### 7.5.5.5　Super Juffit 工艺

Super Juffit 工艺是日本 Showa Denko KK 公司开发的一系列产品及工艺。这是一种无母线的金属化工艺，可以提供多种表面处理方式。其中采用了一种仅粘接在金属表面的粘性有机化合物，然后利用非常细的金属粉末使之与该化合物选择性键合，再经回流后完成表面处理（见图 7.9）。表面处理层厚度可以控制在金属粉末的粒径范围内，可以大于浸锡厚度，但不及最厚的电镀层。Super Juffit 工艺的优点是可以使用任何一种可回流的金属或合金，但考虑到金属粉末成本和技术授权，这是一种成本较高的方案。

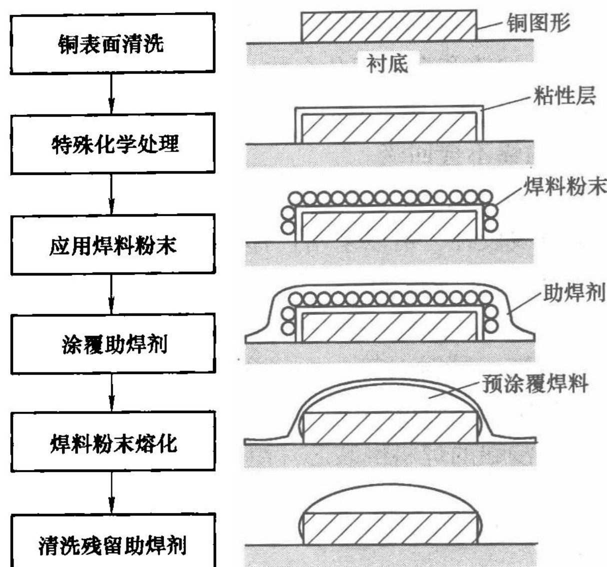



图 7.9 Super Juffit 工艺流程

## 7.6 FCBGA 基板

FCBGA 基板通常又称为增强基板，已经使用了接近 10 年。最早应用于美国 IBM 公司生产的笔记本电脑的 PCB，使其在小体积范围内容纳了大量器件，很快该增强基板技术发展成倒装芯片基板。因为该技术具有可与陶瓷基板竞争的实力，即 $D_k$ 可以提高电性能，成本也低很多。最早的增强基板采用标准的两层或四层芯板，采用环氧树脂填充 PTH，焊料掩膜作为再分配电介质使用，而盲孔采用光刻工艺制备，然后对焊料掩膜粗化以提高与后续电镀铜的粘接力。图案相互消减可得到 1 + 2 + 1 结构，还可以通过重复最后一个工艺循环来构建 2 + 2 + 2 结构，并再次应用焊料掩膜来保护电路的最后一层。典型的表面处理工艺是 ENIG，这是在完成预制焊料和倒装芯片焊盘冲压后进行的。

对于众多的基板供应商而言，增强基板成了必备技术，而且为此开发了大量不同的工艺和材料。由于钻孔速率相当低，最开始激光打孔被认为是有巨大缺陷的，但现在激光加工技术的产量已经提高了几个数量级。可激光加工的材料可用于优化加工性能和最终基板的机械特性。而可光刻的加工材料为了获得适当的光刻特性，不得不牺牲了这些特性，因此激光技术是当前的主流技术。其他目前仍在使用的技术包括日本东芝（Toshiba）公司的 $B^2iT$[8] 和日本 Matsushita 公司的 ALIVH[2]，但仅在一些重要场合才使用。

其他重要事件还有美国英特尔公司采用了增强基板技术。美国英特尔公司非常

系统地推进该技术的进步和标准化，使之成为一种成熟技术。目前美国英特尔公司将增强基板应用于 CPU 和北桥芯片单元的所有生产线，因此成为增强基板的最大用户。其市场支配地位决定了工艺和材料的标准。甚至一些新出现的快速增长产品如图形处理器、游戏处理器等，由于早期阶段的用量无法改变供应链，也采用了该标准。然而在某些情况下，这些新产品会促进更具挑战性的设计方案出现，如盲孔堆叠、更细的引脚和更小的间距、更小的凸点间距或更小的 PTH 间距。

目前，大多数增强基板在 2 +2 +2 和 4 +4 +4 之间存在一个横截面。芯片基板倾向于采用较少的层数，而微处理器则倾向采用较多的层数。目前最先进的 CPU 采用 6 +10 +6 基板，游戏用 CPU 则采用带三层盲孔堆叠和引脚/引脚间距为 18μm 的先进 3 +2 +3 基板。图 7. 10 给出了一种 2 +2 +2 增强板的工艺流程。

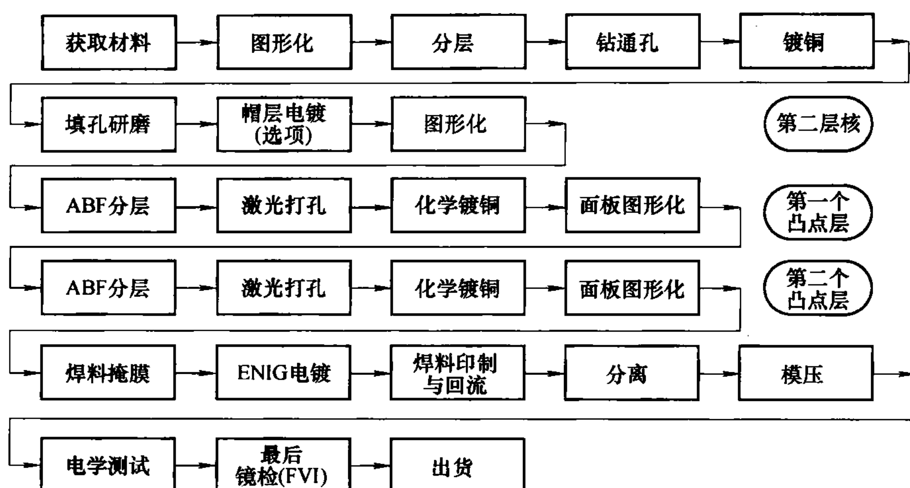



图 7. 10　2 +2 +2 增强基板工艺流程

相对于 $x$ +2 + $x$ 或 $x$ +4 + $x$ 积层式基板，其芯板材料和制作工艺在本质上与两层和四层板是相同的。因此对于引脚和间距从 50μm 到 40μm 的变化，内核设计参数处于同一水平就不足为奇了。当层压技术的半减工艺成熟后，引脚/间距尺寸有望分别降低到 30μm 和 25μm，而这也将导致提高芯板上的引线密度。如果对芯板再配以小尺寸钻孔，就可以制备出高密度芯板。而小尺寸钻孔如直径 100μm 钻孔，又要求采用更薄的芯板，如 400μm 或更薄的芯板。高密度芯板也许可以抑制积层式板层对的增长，或者甚至可以靠重新设计来减小积层式板层对的数目。

一般来说，800μm 厚芯板的通孔电镀厚度（PTH）的典型值大于 150μm；而对于芯片引脚间距为 250μm，厚度为 400μm 的芯板，其 PTH 可以为 100μm。在理想情况下，可以通过减小 PTH 厚度与引脚间距和凸点引脚间距相匹配，就像在陶瓷基板上一样。这种方式可以获得最高密度的设计，例如电流可以直接从凸点向下传送至 BGA 焊球。无芯板基板可以达到这一目标（具体如下）。

积层式基板的标准化是明确积层介电常数最好办法。ABF 就是现行的标准产品。Ajinomoto 曾研究一种树脂薄膜，用来形成许多关键工艺，同时可以使最终的基板拥有热力学及可靠性方面所需的特性。ABF 现在应用于高温真空层压技术中。在上述这些条件下，电路引线可以完全埋入基板中并在基板上形成一层表面。退火后，激光标示的通孔可以通过二氧化碳激光器或紫外激光器进行钻孔，然后对盲孔进行清理，并且通过高锰酸盐表面沾污处理溶液对 ABF 所形成的表面进行粗化。通过控制适当的工艺，可以制作出极好的设计表面粗糙度，从而使其与下道工艺中淀积的铜电极有很好的粘附性。铜层是一层较厚的化学镀层，用于实现半加成工艺，即 SAP。例如电路版图是由光刻胶来定义的，而铜则电镀进光刻后形成的通道和盲孔内。通过电镀化学反应（及工艺参数控制），盲孔可与电路引脚同时镀上一层铜。如果通过工艺控制，使电镀后的盲孔上有很浅的凹陷，那么盲孔就可以层叠从而获得更大的引脚空间。电镀后剥离光刻胶，暴露在外的化学镀铜被迅速刻蚀掉，并通过自动光学检测仪（AOI）进行检测。这种积层式工艺回路可以重复多次，直到积层厚度达到要求为止。成品率和可靠性将决定做多少层才是经济的。对于一个 1+2+1 的还未完成焊料掩膜或表面处理的基板，芯板成品率和积层式堆叠层的成品率应该达到或超过 99%，才能获得大约 97% 的基板成品率。这一成品率要求在激光打孔、图形转移之间有出色配合，并且对所有互连工艺过程有一个透彻的理解，并知道如何控制这些工艺。

早期的 ABF 树脂只能用于共晶预制焊料与组装，但 SH9K 型 ABF 树脂可以承受无铅焊接的高温。高温会导致更大的热膨胀，从而在盲孔中产生应力。因此，必须通过增加填料含量来降低热膨胀系数（CTE），同时减少树脂中氯和溴的含量，使树脂朝着绿色化发展。从表 7.6 中可以看出，除 CTE 外，ABF 树脂其他特性变化很小。

**表 7.6 ABF 材料特性**

| ABF 类型 | SH9K | GX3 | GX13 |
| --- | --- | --- | --- |
| CTE/($10^{-6}$/℃) | 95 | 60 | 46 |
| $T_g$/℃ | 165 | 153 | 156 |
| 杨氏模量/GPa | 3.0 | 3.5 | 4.0 |
| 伸长率（%） | 6.7 | 7.6 | 5.0 |
| 1GHz 时 $D_k$ | 3.4 | 3.4 | 3.35 |
| 1GHz 时 $D_f$ | 0.022 | 0.023 | 0.012 |
| $Ra$/nm | 900 | 900 | 800 |
| 填料（$SiO_2$） | 12 | 18 | 38 |

最后一种重要材料是焊料掩膜。无论是日本日立化学公司的 SR7200G 还是在 Taiyo 油墨公司相应的绿色材料中应用液体焊料掩膜的形式都很普遍。对层压基板

来说，同样面临工艺和洁净度的挑战。

最后一步关键工艺是预焊接，该工艺大都采用丝网印制，凸点间距为 150μm 的印制工艺已经开发成功。预计间距低于 150μm 时需要使用光刻掩膜，以获得足够的精度来控制焊料体积，类似于圆片上的凸点制作。预焊接后，基板需要进行切割、模压、电学测试与检验。如前所述，预焊接可应用于许多不同表面，如 OSP、ENIG、iT 及将来的 ENEPIG。

另一种构建芯板的方法是将 ABF 应用于图形化芯板（如 2 层或 4 层板），再将芯板钻孔、涂敷及图形化。所制备的芯板外部电介质层较薄，可以获得更精细的图形来提高引线密度和电气特性。ABF 也可与铜箔一起层压，提高铜的粘附性，但如果铜厚度增加，会降低图形化密度。

## 7.7　无芯基板

只有对引脚间盲孔设计进行约束，无芯基板的通孔堆叠能力才有望超过多层陶瓷基板。此处，通孔可从相临层穿过任意多层数与顶层或底层互连。该技术最新用于日本东芝（Toshiba）公司的 $B^2$iT 和日本松下（Matsushita，为日本松下 2005 年前的名称）公司的 ALIVH，日本京瓷（Kyocera）公司也开发了类似技术，称为 CP 核心技术。从那时起，众多积层式基板供应商才具备加工无芯基板的基本能力。

有两种常用的加工方法来制作无芯基板，这取决于是用导电焊膏还是电镀铜来填充通孔。

焊膏技术是一种并联工艺，先在一个光面的 B 级（部分固化）电介质薄片上激光打孔，然后将焊膏压进通孔形成叠块 A，随后，在叠块 A 的两面层压铜箔，并采用标准减法工艺（腐蚀）图形化制作成块 B。将 B-A-B 按顺序堆叠层压，就可以制作出一块粗糙的无芯基板，再将该基板按普通的焊料掩膜和表面处理工艺进行处理，就获得了最终的基板。该工艺最早是由日本松下（Matsushita）公司在 ALIVH 产品的研制中发明的，采用浸泡过的芳族聚酰胺纤维垫作为电介质，而其他基板供应商采用了不同的材料，给这种技术带来了一些变化。

串联工艺必须采用电镀工艺技术。在很多实例中，铜箔载体作为支撑基板起到芯板的作用。这种无芯芯板随后像以往一样进行积层工艺，直至达到所需的层数为止，然后通过剥离或刨挖工艺将两块积层板从铜箔载体上分离。虽然该工艺是顺序进行的，但在一个生产周期要求加工两块基板（见图 7.11）。该工艺的优点是可以利用传统的积层式板材和生产工艺。

目前，无芯基板已经很少或不再使用了。这是因为现在的材料硬度不够，以至于芯片到基板装配过程产生很大的翘曲。虽然可以通过在贴片前粘贴一个高硬度层来降低这种翘曲作用，但这种做法不适应大规模生产，无法满足低成本装配要求。这方面还需要更多的创新。

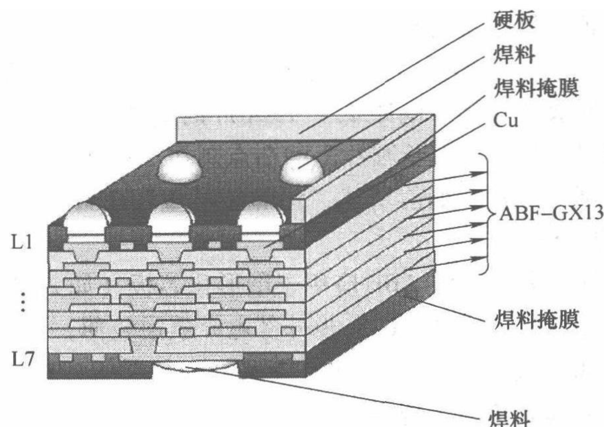



图 7.11 一种无芯基板截面图（中国台湾 ASE 材料公司，2005 年）

## 7.8 特种基板

为了满足某些特殊需要，开发了很多特种基板。这里将简单介绍一些特种基板，如射频模块基板，高性能、低介电常数的 BGA 和嵌入式器件的基板。

### 7.8.1 射频模块基板

虽然很多射频模块都采用 1+2+1 基板，但通常的射频模块并不要求采用高密度电路，而是要求控制阻抗。引脚宽度一般在 75～100μm，要求阻抗变化不超过 10%，设计人员正将这一要求减小到 5%。图形化电镀有助于满足这一新要求，但经常需要对厚达 37μm 的铜进行填孔以满足散热要求。

射频模块早已经在积层式基板中采用了含树脂涂层（Resin Coated Foil，RCF）的铜箔，来代替昂贵的 ABF 作为积层电介质层。在铜箔中刻蚀通孔的开孔，作为后续盲孔工艺的激光钻孔掩膜。盲孔通常采用电镀铜进行填充，而图形则采用减法（刻蚀）工艺。考虑到成本，采用 PP 代替 RCF，这使其横截面非常类似标准 HDI 基板。

芯板经常采用通孔电镀来增强线路互连能力，使引脚或盲孔能够与镀层通孔相连。将来芯板的厚度将减小到 60μm，并且采用铜来填充芯板中的镀层通孔或者采用铜填充激光孔，无论哪一种都可以实现通孔的积层堆叠。这种堆叠设计将使引线更加密集，而且如果通孔直径大于 150μm，还可以采用通孔进行散热。

考虑到电学方面，通常采用具有更低 $D_k$ 的特种树脂。但是这些材料价格昂贵，有时还难以加工，从而导致工艺成本增加。

## 7.8.2 具有低介电常数的高性能基板

用于某些网络和通信服务器的高 I/O 数芯片推动着高性能基板的发展。两个竞争对手拥有两种不同的基板制作方法，但两者都采用了特氟龙（Teflon）型电介质，使 $D_k$ 值为 2.8 ~3。

位于美国纽约恩迪科特（Endicott）的 EI Technologies 公司（IBM 公司前身）开发了一种名为 HyerBGA 的技术。它采用二氧化硅填充产自美国罗杰斯（Rogers）公司的特氟龙（Telflon）树脂。HyperBGA 技术采用 9 层金属顺序减法工艺得到最终基板，采用敷铜的因瓦（Invar）合金（即 CIC（Copper-Invar-Cooper））作为中心的芯板，在芯板上刻蚀孔洞，随后在芯板两面层压美国罗杰斯（Rogers）公司的电介质层和铜箔。内部芯板图形化后，再重新层压两次美国罗杰斯公司的电介质层和铜箔。芯板上采用激光加工 50μm 的通孔，并进行电镀和图形化，接着采用未增强的电介质层制造下一个积层，盲孔直径也是 50μm。通常的表面处理为含预制焊料的化学镀镍浸金工艺（ENIG），如图 7.12 所示。

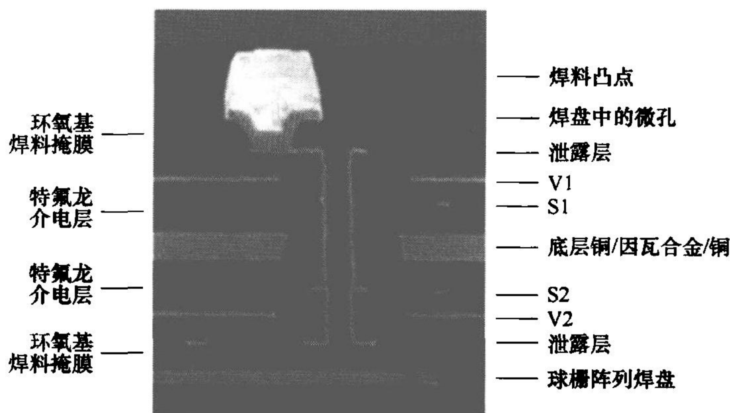



图 7.12　美国 IBM 公司出品的一种 Hyper BGA 基板截面图

使用这种独特的材料组合并不需要学习额外的工艺课程，例如超过 300℃ 的层压工艺，为清洗开孔和后续的镀铜制作种子层所需的独特预处理等。这些工艺挑战都不复存在，并且可以制备非常独特的基板。在贴片前粘接一层高硬度材料可确保基板的平整性。

CIC 与 Telfon 电介质一起抑制了装配时芯片到基板的应力转移。这是因为该材料的可塑性非常高，并且其有效 CTE 大约为 $10^{-5}$/℃。即使对于很大的芯片（>18mm×18mm），也可加工出具有优良电气特性的高可靠性基板。然而，这种独特的材料组合加上非常规的工艺提高了其价格。

位于美国德州奥斯汀（Austin）的 3M 微电子公司（3M Microelectronics，其前身为位于威斯康星州 Eau Claire 的 Gore Microelectronics 公司），采用 Microlam 电介

质开发了一种类似的基板。Microlam 采用在环氧树脂中浸泡过的 Telflon 拉伸后制备，因此可以在标准压力条件下层压。由于主要成分是环氧树脂，电镀工艺也很简单。然而，这种电介质的可塑性及低模数却不如美国 Rogers 公司的电介质，所以更适合于中等尺寸封装。这种基板被称为芯片引脚间开孔（Via on Chip Pitch）基板，以一个七层板为例，在五层芯板上只有一个再分布层[13]。

## 7.8.3 含嵌入式器件的基板

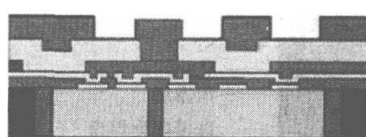
为了释放基板或 PCB 表面，设计和研究人员对器件的嵌入式需求由来已久，其目的是降低基板自身尺寸，尽量减小所需的焊料互连。对此，有两种基本的解决方案：掩埋无源器件和嵌入无源器件与芯片。

### 7.8.3.1 掩埋无源器件基板

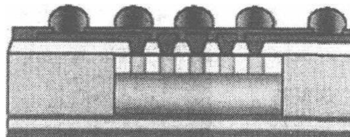
掩埋电容和电阻的 PCB 已经生产了 10 多年，但由于电气特性限制，该基板的应用十分有限。这种基板电气参数可达到的误差通常大于 10%，难以满足使用要求。因此，关于这些应用的讨论也一直延续着。

### 7.8.3.2 嵌入芯片和无源器件的基板

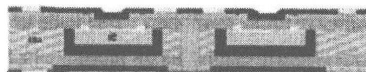
图 7.13 给出了一些技术领先的公司的嵌入式芯片技术。到目前为止，几乎所有的基板制造商和很多用户都开发了自己独特的嵌入式芯片技术，但商业化的很少。在大多数情况下，嵌入一块芯片还不如嵌入很多分立的无源器件。该技术发展受到阻碍，原因如下：



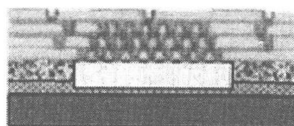
美国英特尔(Intel)公司无凸点构建层



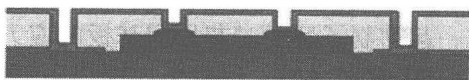
日本卡西欧(Casio)公司掩埋型圆片级封装



芬兰Imbera公司集成模块电路板



美国通用(GE)公司芯片首次构建技术



德国弗劳恩霍夫IZM学院聚合物中芯片技术

图 7.13 嵌入式芯片技术示例

1）缺乏工艺和材料的工业标准

2）工艺成品率需要大于95%

3）可用的基板设计工具

4）可用的优质芯片

5）嵌入式芯片可接受的商业模型，如把芯片委托给嵌入式器件公司

6）嵌入式基板的测试方案

所有不同的技术方案都相同地采用类积层式工艺（激光盲孔和SAP）。该工艺用于芯片上，从芯片表面展开直至贴装表面。可以采用以下几种不同的技术方案来掩埋分立器件（芯片、电容或电阻）。

（1）在芯板中加工空腔，将芯片键合到腔体底部，并将芯板与电介质层（RCF、ABF或PP）和铜箔进行层压，芯片焊盘通过激光钻孔进行连线[3,5]。

（2）芯片面朝上键合到载体或芯板上，并采用RCF或ABF及铜箔进行层压。芯片焊盘通过激光打孔进行连线[9]。

（3）芯片面朝下键合到作为牺牲层的箔层或载带上，然后整个组装体通过冲压树脂制作外模或者进行层压，随后去掉载带，并将RCF或ABF与铜箔层压到这种结构中。盲孔用来连通芯片[10]。

（4）在贴装于载体上的薄铜箔中，通过激光制作与芯片焊盘相匹配的通孔。芯片凸点位于通孔上方，芯片通过粘胶键合到铜箔上。冲压后的PP和铜箔在芯片上进行层压。最后，采用激光剥离或者刻蚀载体，去除粘胶，使芯片连通。

从套准与可实现的电路密度来看，最后一种方式似乎最有希望。

## 参考文献


1. Alcoe D, Jimarez M, Jones G, Kindl T, Kresge J, Libous J, Stutzman R (2000) HyperBGATM: A High Performance, Low Stress, Laminate Ball Grid Array Flip Chip Carrier, IBM Microelectronics News 2nd Q, p 36ff
2. Boggio B (2000) The Any Layer Interstitial Via Hole Process, Board Authority 2 (1), pp. 91–95
3. Fillion R, Bauer C (2005) High Performance, High Power, High I/O Chips First Build-Up Technology, Proc. Pan Pacific Symposium
4. Freyman B, Pennisi R (1991) OverMold Plastic Pad Array Carriers (OMPAC) a Low Cost, High Interconnect Density IC Package Solution for Consumer and Industrial Electronics, Proc. ECTC, pp. 176–180
5. Komatsu D (2005) Trend of WLP Technology and Next Generation Packaging “WLP & EWLP”, Proc. MAP + RTS Conf.
6. Laine E, O’Leary P (2000) IBM Chip Packaging Roadmap, Future Fab Intl. Vol. 8
7. Lau J, Lee SWR (2001) Microvias for Low Cost, High Density Interconnects, Chapt. 4, McGraw-Hill
8. Oodaira et al. (1996) Proposed New Method ($B^2$iT) for Production of Printed Wiring Boards, Proc. 9th Circuit Mounting Conf., pp. 55–56
9. Ostmann A, Neumann A (2002) Chip in Polymer – Next Step in Miniaturization, Advancing Microelectronics, 29 (3)

10. Towle S, Braunisch H, Hu C, Emery R, Vandentop G (2001) Bumpless Build-Up Layer Packaging, proc. ASME Int. Mech. Eng. Congress and Exposition (IMECE) New York, Nov. 11–16, 2001, EPP24703
11. Tuominen R (2006) IMB Technology of Embedding Active Components into a Substrate, Proc. Semi Europe 2006
12. Tsukada Y (1992) Surface Laminar Circuit and Flip Chip Packaging, Proc. 42nd ECTC Conf. pp. 22–27
13. 3 M Electronics, 3 M High Performance Family of Organic Flip Chip Substrates, 3 M Electronics, Austin, TX, 80-6201-2992-6 (505.2)

# 第8章　先进印制电路板材料

Gary Brist，Gary Long

**摘要**：印制电路板（PCB）材料是指一系列用于形成电路板互连的介电材料和导体材料。在PCB产业中，有许多材料可供选择，以满足性能和成本方面的不同需求。由于铜的成本和电导率及它的稳定性且易加工处理，使得铜成为PCB中的主要导电材料。FR-4是应用最广泛且公认的PCB介电绝缘材料，是由玻璃纤维布和功能环氧树脂所构成的复合材料。铜与FR-4材料能够获得长期持续的应用，得益于它们的综合特点，即来源方便、成本低、可加工性好及具有合适的电学/机械/热特性。

先进PCB材料是指非FR-4电介质、经改进或增强的FR-4材料及先进铜箔。所有先进PCB材料都具有一些特别的电学/机械/热学/化学特性，从而满足某些特殊应用、设计挑战或制造方面的需求。由于不同市场的成本敏感性和特殊挑战，实际应用的先进材料数量在近几年内显著增长。

在过去的10年里，已出现许多新材料。这些新材料都是在原有材料的基础上经改进获得的。通过向材料中添加或改变一种或多种成分来优化材料的特性，从而获得这些新材料，进而满足某些特殊的应用或市场的需求。这些例子有利用环氧混合物或添加填充料来提高材料的玻璃化转化温度，改变介电常数或使用不同的增强玻璃纤维强度的配方来减小损耗因子。还有一些其他改变材料制造工序的例子，如通过去除玻璃纤维纱制作工艺中的捻制工艺来减小材料的空间差异，从而改善材料的激光切割加工性能和空间电气性能差异。

**关键词**：FR-4，覆铜板，压延退火铜，电镀铜，传导损耗，吸湿，聚酰亚胺(PI)，液晶聚合物（LCP），介电常数，热固树脂，热塑性塑料，陶瓷填充料，芳纶纸，增强材料，玻璃增强材料，玻璃纤维，表面涂层，埋入式电阻。

## 8.1　介电材料

通常按照介电材料在PCB制造过程中的用途来对其进行分类，如层压板芯、半固化片、粘结叠层、阻焊膜等。每种介电材料又可按各自的成分来划分，包括一个主要的树脂体系、可用于向树脂中添加的填充料及增强材料。

在刚性印制电路板中，介电材料按用途分可分为层压板芯、半固化片和阻焊材料。对于柔性印制电路板，介电材料可按用途分为柔性介质薄膜、粘合剂和覆盖

层。在一些专门设计的 PCB（如刚挠结合混合材料印制电路板、带有腔体或阶梯结构的印制电路板或高密度互连印制电路板）中，为了解决特定的设计或制造问题，通常既使用刚性 PCB 材料，又使用柔性 PCB 材料。

半固化片和层压板芯材料是指一种增强型环氧介电材料，在大部分多层 PCB 中充当主要支撑块。在 PCB 成品中，这些材料为相邻的电路图形层之间提供电气隔离。半固化片是通过用热固树脂浸渍一种增强材料（通常是玻璃布）而制得的，如图 8.1 所示。由大型滚筒机持续提供玻璃布，这样有助于减小制造成本。通过加热工艺，浸渍后的增强材料被部分交联，同时释放出易挥发的物质。经过热处理后，这种部分交联的树脂是一种乙阶（预固化）材料，对于后续运输或 PCB 制造来说已经足够坚硬。在一定的温度和压力条件下，乙阶树脂材料会呈液态，其粘度则取决于材料在热处理过程中发生交联的程度。这就使得乙阶材料成为用于铜箔层间层压和连接 PCB 电路图形层的理想材料。

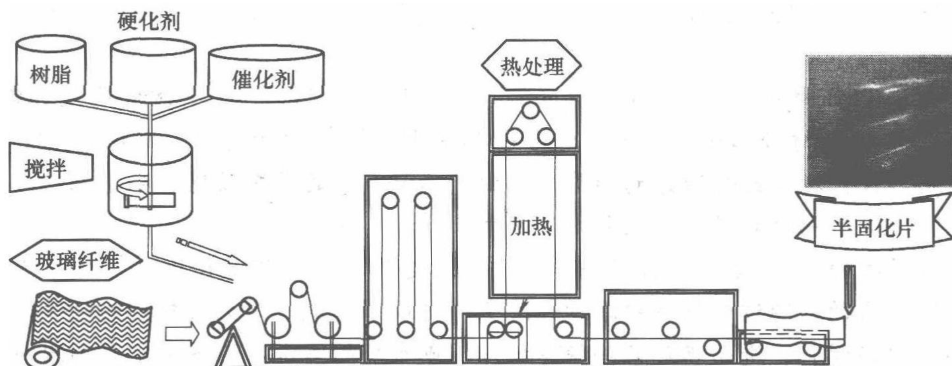



图 8.1 半固化片制造工艺原理图（经授权引自 ITEQ）

芯材或层压材料是指用于构建印制电路板（PCB）的覆铜板刚性增强型环氧介电材料。层压板芯是通过在铜箔层之间层压一张或多张半固化片而形成的。如图 8.2 所示，在热固塑料的层压工艺过程中，树脂发生高度交联或固化，成为刚性材料。发生高度交联的热固树脂已达到 C 阶段，从而不能再恢复到原来的液态。在高温下，不同固化度的 C 阶树脂可能会变得稍微软一些，但它仍然是固态的。这使得层压板芯成了 PCB 中每个电路层的理想选择。这是因为它在制造工艺中为铜电路提供了一个刚性的支撑平台，同时保持线路在高温和压力条件下进行层压过程时在整体空间上的完整性。

覆铜板芯制作原料还可以是热塑性薄膜，如聚酰亚胺（PI）、液晶聚合物（LCP）或聚醚醚酮（PEEK）。这些材料的板芯可以很好地为铜线路提供支撑平台，但在那些需要接近或超过材料熔点的高温制造工艺中需要特别小心。因此，用热塑性薄膜制作而成的覆铜板芯通常与较低熔点材料进行层压或粘接。

介电薄膜通常是指那些薄柔性介电材料。用于制造介电薄膜的树脂可以是热固

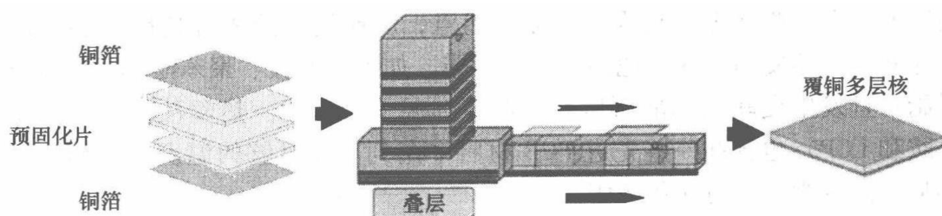



图 8.2　层压板芯制造工艺（经授权引自 ITEQ）

性的也可以是热塑性的。通常可以用玻璃、有机纤维（如芳族聚酰胺）或有机基质/薄膜（如膨胀体聚四氟乙烯 Expanded Pdy-Tetrafluoroethylene，ePPFE）。最常见的柔性结构使用热塑性非增强型介电薄膜，如聚酰亚胺、聚酯纤维或液晶聚合物。通常会把热塑性树脂制作成薄片。目前，玻璃增强型芳香族聚醚薄膜已用于高速"柔性安装"应用中。

粘合剂通常用来粘合金属层和介电薄膜从而形成覆铜柔性基板。这些粘合剂的固化和粘合温度比热塑性介电薄膜的要低。粘合剂还可用作多层柔性电路板中柔性基板层之间的粘合层。粘合剂有很多种，如聚酯纤维、丙烯酸树脂、（改性）环氧树脂、聚酰亚胺、碳氟化合物和缩丁醛酚。这些粘合剂在耐温和耐化学特性、介电特性、柔性、粘合性能与温度的关系及成本方面存在诸多差异。这些材料的成本和性能大多能反映出与其同族的介电树脂的成本和性能。

粘合剂被广泛用来粘接热塑性的介电薄膜。通过选择固化温度低于介电薄膜的热塑性熔融温度的粘合剂，就可以进行粘接或层压，而不致使热塑性薄膜熔融或变形。这有助于保持在覆金属介电薄膜上所制作的线路的完整性。粘合剂通常不会具有某些介电薄膜（如聚酰亚胺）的电气和热特性。因此，目前已有覆铜"无粘合剂聚酰亚胺"或"全聚酰亚胺"（All Polyimide，AP）材料并越来越重要。严格来讲，覆铜全聚酰亚胺（AP）材料不是完全不含粘合剂，因为在聚酰亚胺芯与金属箔之间使用了一层玻璃化转化温度（$T_g$）较低的聚酰亚胺来作为粘接层。

阻焊层和保护性覆盖层用在刚性和柔性印制电路板中来抵御湿气、机械损伤、自短路和玷污或用来提高印制电路板的弯曲性能。它们可以像"覆盖层"（薄膜）一样涂抹，也可以像"阻焊液"一样涂覆。其中任何一种都可能是感光的，从而能够在覆盖层上为器件接触形成很好的开口。在柔性电路中，对于非感光的覆盖层（薄膜），通常用冲压或钻孔的方式来制作器件接触开口。非感光性液体覆盖层还可以像软阻焊层（焊料掩膜）一样通过丝网印制的方式来形成。最常见的阻焊材料都是感光的、紫外线固化的环氧材料。感光的阻焊材料可以通过多种方式来涂抹，如辊涂、喷涂或幕式喷涂。

## 8.1.1　树脂体系

PCB 材料中使用的树脂是按它们的电气、机械和热性能来进行选择的。在 PCB

中使用的大多数树脂都是热固性树脂。而且，所使用的热固性树脂主要是环氧树脂。除此之外还使用一些其他的热固性树脂，如聚酰亚胺、聚苯醚和聚酯纤维。这些树脂一旦发生交联就不能再熔融，但在高温下会软化。热塑性树脂（如 PTFE、聚酰胺和 LCP）也会在一些先进 PCB 材料中用到。在足够的温度下，热塑性树脂能够从固态变为液态再转化为固态。

#### 8.1.1.1 环氧树脂

在印制电路板应用中，环氧树脂系是使用最广泛的热固性树脂系。环氧树脂一般是按它们所含的官能团来分类。在每个分子中，双官能团环氧树脂含有两个官能团，四官能环氧树脂含有四个官能团，多官能环氧树脂的每个分子中所含的官能团数则更多。一般来说，每个分子中官能团数越多的环氧树脂在固化时发生交联的程度越大，使得材料的玻璃化转化温度（$T_g$）越高。$T_g$ 则是用来划分不同环氧树脂系的一个通用物理特征。在环氧树脂系的分类中，$T_g$ 的范围主要有三个：低 $T_g$（120～145℃）、中 $T_g$(150～165℃）和高 $T_g$(≥170℃)。目前已开发出玻璃化转化温度较高的环氧树脂（通常是指增强型 FR-4 树脂系）来支撑较厚的基板结构。为了获得可靠性稳定的导通孔，这些板子在 $z$ 方向上的膨胀系数应较小。玻璃化转化温度较高的材料也用于一些稍厚的基板结构中。因为它需要更好的热稳定性来避免基板在组装过程中出现下弯[18]。玻璃化转化温度较高的环氧树脂的主要缺点是弯曲模量增大使得材料更脆，从而降低了材料的机械性能和加工性能。

还有两种发挥重要作用的环氧树脂系添加剂——固化剂和阻燃添加剂。固化剂与环氧树脂分子中的官能团发生化学反应形成聚合物链。一直以来，双氰胺都是印制电路板材料中最常用的固化剂。为了提高无铅组装的热稳定性、减少固化时间、降低湿气敏感性并提高电气性能，目前已开发出非双氰胺固化剂。另外，还开发出酚醛树脂固化剂来提高树脂材料的分层温度（$T_d$），从而有助于改善材料在无铅组装工艺过程中的耐受性。同样，其主要缺点在于增加了树脂材料的脆性，从而影响了树脂材料的机械性能。

环氧树脂是易燃材料，在没有添加阻燃剂的条件下存在严重的安全风险。四溴双酚-A（Tetrabromobisphenol-A，TBBPA）成为印制电路板材料中的主要阻燃剂已超过 45 年，使得 FR-4 层压板阻燃达到 UL 94-V0 等级。最近人们为了促进环境保护，开发出无卤素阻燃剂来代替 TBBPA 阻燃剂。由于 TBBPA 是一种含溴的物质，所以已将它与其他更具环境危害性的溴化阻燃剂归为一类。尽管相关科学评审机构还不能确定新型阻燃剂是否比 TBBPA 更对环境有利，但市场将继续推动对这一领域的研究。无卤素阻燃剂可分为三个主要类别，它们的阻燃机理各不相同。磷基化合物是第一类无卤素阻燃剂，这类阻燃剂相当于一个多碳层生成物。无机/水合填料作为第二类阻燃剂的阻燃机理是吸热并蒸发水分。填料不是惟一的阻燃材料，它与其他阻燃剂结合使用来达到所需的阻燃效果。氮基化合物为第三类阻燃剂，它会形成膨胀系统来释放气体进行灭火。目前，还没有一个主要的无卤阻燃剂能够替代

TBBPA 阻燃剂。使用磷基、氮基或可能含有填料的混合型的无数种组合的阻燃剂的无卤层压板，引起了人们为功能设计而对最终材料特性变易的关注。通常“无卤”环氧树脂材料具有较好的热稳定性，同时 $T_g$ 值稍高。

为了获得有益的材料特性并降低使用单一替代树脂系的成本，环氧树脂可与其他环氧树脂或其他树脂系混合使用[14]。其中，应用于印制电路板中的两种最常见的环氧树脂或替代树脂是环氧树脂聚苯醚（Polyphenylene Ether，PPE 或 Polyphenylene Oxide，PPO）和环氧树脂氰酸酯。这两种材料都为高速低成本产品应用提升了电气性能，它们的相对介电常数约为 3.5；环氧树脂 PPO 的介质损耗正切角约为 0.01，而环氧树脂氰酸酯的介质损耗正切角约为 0.007。

#### 8.1.1.2　热固性树脂替代系统

在印制电路板的制造中使用了几种非环氧树脂的热固性树脂系。其中最常见的是聚酰亚胺、聚苯醚和聚酯纤维。

聚酰亚胺因其良好的柔性、（焊接）高温（200～240℃）兼容性、低热膨胀系数及其介电特性而被用于印制电路板制造中。成本高和吸湿则是其缺点。尽管如此，在聚酰亚胺聚合物方面的发展进步已能够生产出吸湿率低于 1% 的聚酰亚胺，而标准聚酰亚胺的吸湿率为 2.5%～3%。

聚苯醚（PPE）的优点在于其优良的电气特性及卓越的热性能。PPE 材料的相对介电常数为 3.6，介质损耗正切角为 0.008，玻璃态转化温度（$T_g$）大于 220℃，分层温度（$T_d$）大于 360℃。对早期组分的加工性能进行了改进，使得可以通过稍微改变传统印制电路板制造的工艺就可对 PPE 进行加工处理。

之所以选择聚酯纤维，是因其柔性好、热膨胀系数低、耐化学性好及成本低。但聚酯纤维不能在远高于 100℃ 的条件下进行加工。尽管如此，工艺及结构上的调整，如热屏蔽（使用热屏蔽载具）和点焊可能会使得聚酯纤维能够允许较高温度的工艺。

#### 8.1.1.3　聚四氟乙烯

碳氟化合物有良好的绝缘强度、低介电常数、低损耗正切角、良好的耐化学性、低吸湿率，但其缺点在于高成本、特殊加工需求及高热膨胀系数。可以用聚四氟乙烯（Poly-Tetrafluoroethylene，PTFE）浸渍玻璃纤维布然后在高温下烧结成增强型低损耗介电材料。所谓的“膨胀体”聚四氟乙烯可以用 B 阶热固性树脂与其浸渍，作为多层结构中的低损耗预浸料坯层。

#### 8.1.1.4　热塑性树脂

目前，有好几种热塑性树脂，即聚萘二甲酸乙二醇酯（Polyethylene Napththenate，PEN）、液晶聚合物（LCP）、聚醚醚酮（PEEK）、PET 聚酯纤维及聚酰胺。PEN，PEEK 和 LCP 基板是为了获得比 PET 聚酯纤维基板更高的耐温性和更好的尺寸稳定性而提出来的。通常 PEN、PEEK 和 LCP 材料的成本较聚酰亚胺的要低。

近几年，LCP 材料的使用有所增加，在某种程度上是由于它的优点，即低吸水

性、耐化学性、低介电常数、低热膨胀系数及其固有的阻燃性能。LCP材料的缺点是与铜的粘附性能差、在$x$-$y$平面内固有的各向异性热膨胀系数及难以获得热膨胀系数均衡的LCP结构。由于LCP的耐化学性，所以在通孔清洗和电镀铜工艺过程中需要特别的工艺步骤。

最近几年，因为热塑性材料在可回收印制电路板中的使用而引起了人们的极大兴趣。在回收工艺过程中能够熔融的热塑性树脂也使得这种材料在PCB制造过程中难以加工处理。这一特性还使得很难维持或控制热塑性层压板芯上线路图的完整性，因为在加工过程中这些材料要么熔融要么很软，使得结构或空间完整性受损。此外，热塑性材料的钻孔工艺需要严格的工艺控制，因为热塑性材料对加工过程中的钻头温度较敏感。高熔点热塑性树脂（如聚酰胺）会增加工艺成本，因为层压工艺需要更高的温度。因此，许多高熔点的热塑性树脂在制作覆铜层压板芯或多层层压板时会使用粘合剂。热塑性印制电路板的组装，尤其是熔点较低的热塑性印制电路板，可能不能与标准无铅组装工艺的温度相兼容。

## 8.1.2 增强材料

增强材料能用来增强基本树脂系的机械强度，并提供一个改善各种制造工艺过程中处理介电材料能力的结构。有多种不同类型的增强材料，通常会按照它们的电气特性、机械和热性能来作为最终选择依据。一直以来，所选的增强材料都是玻璃纤维布，因为它有足够的强度、成本相对较低且以卷状形式生产。在行业中用到的其他增强材料包括：碎玻璃磨砂、芳族聚酰胺（Aramid）纤维和膨体特氟龙（Teflon）载体[9]。

纸基增强材料也存在于FR-1，FR-2和FR-3层压板中，或将其与玻璃纤维布粘合起来形成CEM层压板。这些材料通常用在成本很低的PCB中，并不适用于大多数多层镀通孔(PTH) 应用。

### 8.1.2.1 玻璃纤维布

如图8.3所示，玻璃纤维布是通过把含有玻璃丝的玻璃纱编织成一个薄片或布而形成的。这些玻璃布构成了一个为树脂提供强度并影响复合材料的机械和电气特性的结构。玻璃纤维布的厚度取决于玻璃纤维丝的型号及每英寸经纱和纬纱中玻璃丝的数量。玻璃纤维布的电气特性、机械和热性能取决于玻璃成分和经纱和纬纱的尺寸及密度。通常PCB上铜引线的尺寸与玻璃纤维布中的玻璃纱相近。因此，单独对PCB引线进行电气建模时，不能把编织玻璃纤维增强复合材料当做均质材料来处理。它对电气设计方面的影响将在本书8.3.1节中进行讨论。

目前，PCB介电材料中增强玻璃纤维布的玻璃配方有好几种。最常见的是硼硅酸盐电子级玻璃，通常称之为“E-玻璃”（E-glass）。E-玻璃中主要含有二氧化硅、氧化钙、氧化铝、氧化硼和碱性氧化物[1]。业界对E-玻璃的界定允许其主要成分的重量比可以在一定范围内变动，从而获得不同的电气和机械性能。受原料等

级和来源的影响，在一定时期内E-玻璃供应商之间的产品存在一定差异。因此，E-玻璃在1GHz条件下的相对介电常数会在5.9~6.4范围内变动（见表8.1）。另外，还有其他一些组分的玻璃，包括S-玻璃、R-玻璃、T-玻璃、D-玻璃和SI-玻璃。受市场容量和一些影响制造成本的物理特性（如熔点）的影响，这些玻璃组分的成本比普通电子玻璃的成本要高。S-玻璃、R-玻璃和T-玻璃都是不同公司配方的商标名称，它们设计拥有较电子玻璃更高的结构强度。D-玻璃和SI-玻璃应用于先进电子方面，其介电常数和介电损耗都比E-玻璃要低。现在，日本日东纺（Nittobo）公司的SI-玻璃已应用于一些PCB层压板中（如美国帕克电化学（Park Electrochemical）公司的Nelco N4000-13SI），并提供了一种低介电常数和低介电损耗的复合材料。

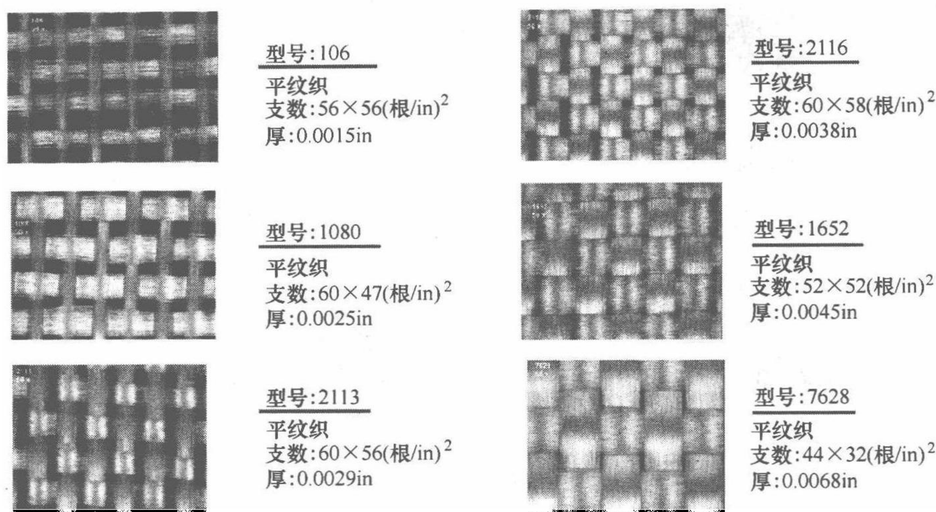



图8.3 常见的玻璃纤维型号（经授权引自Isola Laminates）

**表8.1 玻璃组分对照表**（引自Park Nelco）

| 组分（质量分数）(%) | E-玻璃 | D-玻璃 | T-玻璃 | S-玻璃 | SI-玻璃 |
|---|---|---|---|---|---|
| $SiO_2$ | 52~56 | 72~76 | 62~65 | 64~66 | 52~56 |
| CaO | 16~25 | 0 | 0 | 0 | 0~10 |
| $Al_2O_3$ | 12~16 | 0~5 | 20~25 | 24~26 | 10~15 |
| $B_2O_3$ | 5~10 | 20~25 | 0 | 0 | 15~20 |
| MgO | 0~5 | 0 | 10~15 | 9~11 | 0~5 |
| $Na_2O$ | 0~1 | 3~5 | 0~1 | 0 | 0~1 |
| $TiO_2$ | 0 | 0 | 0 | 0 | 0.5~5 |
| $D_k/E_r$ | 5.9~6.4 | 约4 | 约6 | 约6 | 约4.4 |

图 8.4 所示为玻璃纱的生产过程，先混合原材料，然后再在高温炉中将其熔化。E-玻璃的熔点约为 2600 ℉（1427℃）。熔融玻璃液在重力作用下流过铂漏板形成玻璃丝。在普通 PCB 增强材料中使用的玻璃丝的典型直径为 5～10μm。当玻璃丝从漏板流出时，会在其表面涂上粘合剂，从而在后续的工序中保护玻璃丝。典型的粘合剂通常由淀粉和油组成，它与树脂不兼容，但在玻璃纱编织成玻璃布后可通过加热清洗或高温碳化来清除[7]。目前，已开发出与树脂兼容的涂层材料，如美国 Dielectric Solutions 公司的 DirectFinishTM 涂料。这种涂料在制作层压材料时无需将其清除。这些新涂料改善了玻璃整体强度和完整性，因为这些新涂料不再需要进行高温碳化处理。

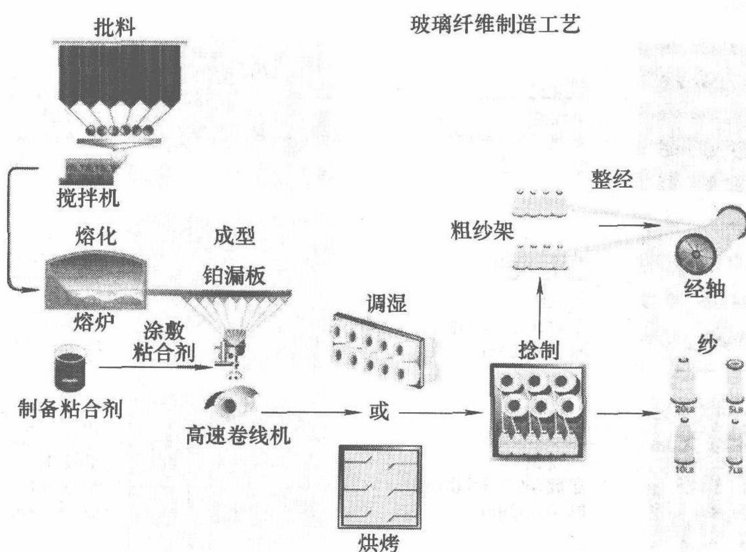



图 8.4 玻璃纱制造工艺流程（经授权引自 PPG Industries）

经过涂覆粘合剂后，玻璃长纤维被以一股股含有一定数量长纤维的玻璃纱形式缠绕到管子上，为后续烘烤作准备。烘烤可以驱赶出其中的湿气并使粘合剂固化。然后将这一股股的玻璃纱缠绕到绕线筒上。常见玻璃长纤维和玻璃纱的名称及规定见表 8.2 和表 8.3。当玻璃纱缠绕到绕线筒上时，需要对玻璃纱进行捻制，从而改善其编织性能并有助于玻璃纱在最终的玻璃编织布中保持其形态。一些改进后的玻璃纤维布使用未捻制的玻璃纱，从而不会在玻璃编织布中产生紧密纱（纱线在编织过程中受到的牵引力过大）[8]。未经捻制的玻璃纱中的玻璃纤维趋于变平，且在玻璃编织布中散布开来，使得 PCB 层压材料具有独特的功能特性（见图 8.5）。

通过使用喷气织机把玻璃纱编织成玻璃纤维布。表 8.4 列出了 PCB 层压材料中常用的几种玻璃纤维布。PCB 的玻璃纤维布采用的典型编织图形是平织，即一

根在上一根在下的交替的图形。这种图形因其稳定性而受到喜爱。

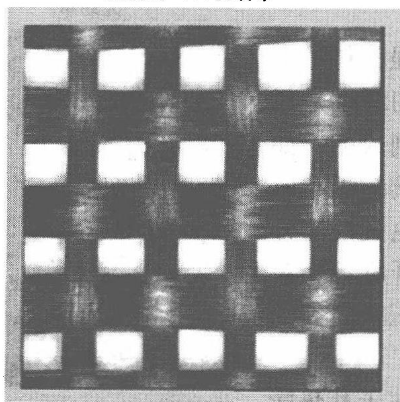
**表 8.2　常用玻璃丝设计**

| 设计代号 | 直径/mil | 直径/μm |
|---|---|---|
| D | 0.21 | 5.33 |
| DE | 0.25 | 6.35 |
| E | 0.29 | 7.37 |
| G | 0.36 | 9.14 |

**表 8.3　常用玻璃纱**

| 玻璃纱 | 玻璃长丝数量/根 |
|---|---|
| D450 | 200 |
| D900 | 100 |
| DE150 | 400 |
| DE300 | 200 |
| E110 | 408 |
| E225 | 200 |
| G150 | 200 |
| G75 | 400 |
| G50 | 600 |

传统的1080玻璃布



Nova Speed型1080玻璃布

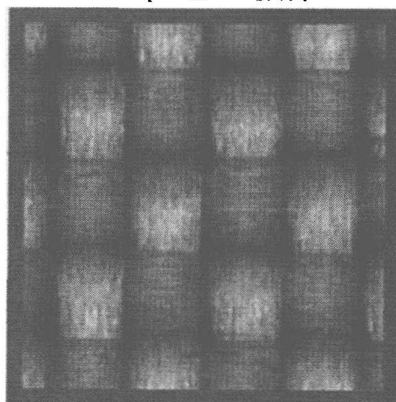


图 8.5　标准 1080 玻璃布与未捻的 1080 玻璃布（Nova Speed）对比（经授权引自 Dielectric Solutions）

表 8.4 PCB 层压材料中常用的玻璃纤维布

| 玻璃纤维布型号 | 经纱(根/in) | 纬纱/(根/in) | 玻璃纤维布标称厚度/(in) |
|---|---|---|---|
| 106 | D900 (56) | D900 (56) | 0.0014 |
| 1067 | D900 (69) | D900 (69) | 0.0014 |
| 1080 | D450 (60) | D450 (47) | 0.0023 |
| 1500 | E110 (49) | E110 (42) | 0.0052 |
| 1652 | G150 (52) | G150 (52) | 0.0045 |
| 2113 | E225 (60) | D450 (56) | 0.0028 |
| 2116 | E225 (60) | E225 (58) | 0.0038 |
| 2165 | E225 (60) | G150 (52) | 0.0040 |
| 2313 | E225 (60) | D450 (64) | 0.0029 |
| 3313 | DE300 (60) | DE300 (62) | 0.0033 |
| 7628 | G75 (44) | G75 (32) | 0.0068 |
| 7635 | G75 (44) | G50 (29) | 0.0080 |

接下来，这种由涂有淀粉-油粘合剂的玻璃纱制成的玻璃编织布在大约 1000 ℉ (538℃) 的温度下进行热清洗，随后在 700 ℉ (371℃) 下进行较长时间的烘烤，从而去除所有有机成分。当玻璃纤维布中不含有机物时，用偶联剂对其进行处理以促进它与树脂的粘合。通常，偶联剂是硅烷基的，它适于树脂系，可用树脂覆盖在偶联剂的表面。恰当地清除淀粉-油粘合剂，以及合理地应用偶联剂对于覆树脂玻璃纤维编织布介电材料的加工性能和可靠性都很重要。

#### 8.1.2.2 短切纤维

应用于一些 PCB 材料中的短切纤维增强材料是由短节的玻璃纤维或有机纤维制作而成。短切纤维是通过用与木质纸浆造纸相类似的造纸工艺来制成的，如图 8.6 所示。短切纤维增强材料中没有玻璃编织布所具有的网格状结构。因此，短切纤维布在电气性能方面具有更好的空间一致性[6]。此外，每股纤维都相对较短且没有统一的方向，从而可以降低层压板断裂的敏感性并抑制导电阳极丝 (CAF) 的生长。

无纺布

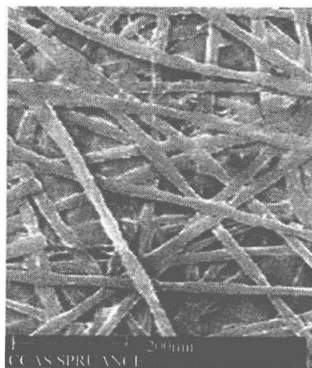


图 8.6 芳纶纸
(经授权引自 Dupont)

树脂中所用的芳纶纸增强材料的优点在于其热膨胀系数低、绝缘强度好、尺寸稳定性好及耐化学性。高吸湿率、$z$ 方向的高热膨胀系数及中等程度的成本是它的缺点。所采用的原料是对位芳纶 (Kevlar) 絮状物 (对苯二胺和对苯二酸的凝聚物) 和由间芳纶 (Nomex) 制作而成的所谓“纤条体” (间苯二胺与间苯二甲

酸的凝聚物)。在纸张形成之后，通过压延工艺使其结构致密化。Thermount 纤维是美国杜邦（DuPont）公司的产品。它应用于层压板和半固化片。它使用芳纶纸作为增强材料并由经审核的压层材料制造商进行生产。

#### 8.1.2.3　特种增强材料

还有其他一些能够提供具有独特性能的层压材料载体和增强材料。

膨体特氟龙（Teflon）用于美国 W. L. Gore 公司的 Speedboard 和 Microlam 系列产品中。膨体特氟龙（Teflon）载体是以薄膜形式形成的，其中的特氟龙构成一个海绵状薄膜；然后把膨体特氟龙载体浸渍到热固性树脂中，使热固性树脂涂覆整个薄膜并填充薄膜中的空隙。由于添加了特氟龙载体，这种复合材料有着优良的电气性能，可与其他 PCB 材料一起用作半固化片或用于铜箔间的层压材料来制作覆铜板芯。在混合介电材料的 PCB 中，通常选用 Speedboard 半固化片来连接低损耗 PCB 材料（如美国 Roger 公司的 RO3000 和 RO4000 系列层压材料)，因为膨体特氟龙半固化片有与其类似的电气性能。因此，这种材料在各种射频（RF）产品中得到了应用。

石墨纤维或碳纤维也可用作 PCB 材料中的增强材料。这些层压材料（如 ST10 及其他 STABLCOR 材料）沿石墨增强材料的 $x$-$y$ 平面具有很高的热导率。STABLCOR 材料是由碳纤维复合材料制成的。碳纤维具有独特的热特性和机械特性，这对印制电路板应用来说是非常有用的。碳纤维复合材料具有很好的热导率、很低的热膨胀系数（CTE)、非常高的拉伸模量（有助于增加刚度）和较轻的重量。碳纤维是导电的，因此由碳纤维制造的层压材料也是导电的。由于这些（碳纤维）层压材料是导电的，因此它们在多层印制电路板中常用作接地层，如图 8.7 所示。由于碳复合层压材料具有优良的热性能，因此常用作金属芯板的替代材料。非导通通孔的隔离需要通过在通孔形成之前钻出一个较大的区域并以绝缘材料填充，如图 8.8 所示。同样，为了保持 PCB 的平整度，这些材料也必须匀称地使用。

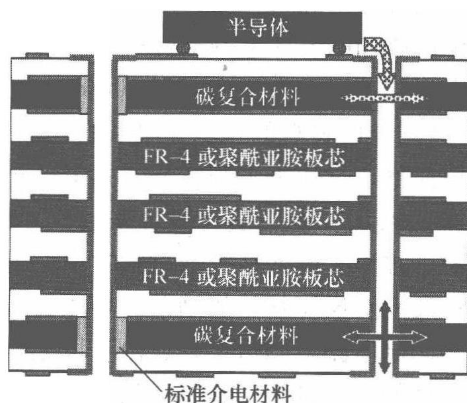



图 8.7　用碳复合材料来改善散热路径的 PCB（经授权引自 STABLCOR)

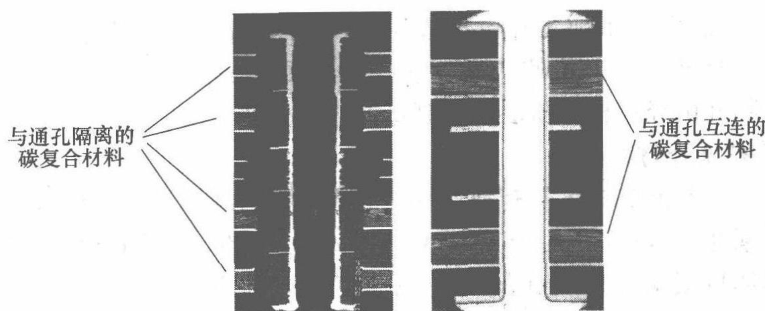



图 8.8 使用碳复合材料时与通孔隔离及导通状态的截面图（经授权引自 STABLCOR）

## 8.1.3 填充料

填充料是指为改变材料的性能和特性而向 PCB 层压树脂系中添加的各种小颗粒物。事实上，几乎所有的基体材料性能都可以得到增强，包括电气性能、机械和热性能。其中，较为常用的填充材料有玻璃、二氧化硅、陶瓷、金属氧化物、石墨、云母和金属水合物。填充料对热性能方面的提升还包括能增加层压材料的热导率，另外也可用来降低无卤层压板的可燃性。

填充料在 PCB 中的一个普通应用就是增强 PCB 的热-机械性能，从而提高其可靠性。填充物常常用来减小层压材料的热膨胀系数值。由于，电子封装业向无铅工艺转移加大了填充料的使用，从而抵消了制造过程中热膨胀量增加对材料的需求。在机械方面，填充料的用途包括增加材料的刚度及控制裂纹扩展。从而有助于提高导电阳极丝（CAF）方面的性能。

在电气方面，添加填充料可以调整层压材料许多方面的性能。一些常见的用途是增加电容量、减小介电损耗及增加材料的介电常数。钛酸钡（$BiTiO_3$）的相对介电常数 >4400，通常以少量添加的方式来调整材料的介电常数。其应用实例包括用于 PTFE/陶瓷复合材料中，如美国 Rogers 公司的 RT/duroid 6000 和 RO3000 系列层压材料。例如，RO3000 系列介电材料的相对介电常数为 3.0、3.5、6.15 和 10.2。

向层压材料中添加填充物还会带来不利影响。由于填充料本身成本或制造材料及印制电路板时工艺成本的增加，使用填充料带来的成本因素往往会产生消极影响。填充料需要特殊的混合技术来确保在制造材料时填充料能够恰当地分布在整个树脂中。控制填充料颗粒尺寸对层压材料的制造和功能都很重要。填充料会在几个重要的工艺步骤方面影响印制电路板制造工艺。由于填充料含量增加，所以需要调整层压工艺参数来适应较低的流动速率。填充料会增加钻头的磨损，因此需要调整钻孔时的参数（如速率）。需要为所有的电镀工序考量添加有填充料的材料表面修理，从而确保最佳的电镀质量。

## 8.2 导电材料

导电材料是用来形成PCB导电部分，并为PCB上暴露在外面的焊盘和引线提供导电涂层的一类材料。铜是用来形成PCB电路的主要导电材料，这是由于铜的价格相对较低、电导率高、易于加工同时也较稳定。其他金属，如金（Au）、银（Ag）、镍（Ni）、锡（Sn）、铅（Pb）等，是用作焊盘的表面涂层，从而为器件组装提供可焊性良好的表面。像铬酸盐和黄铜这样的材料则被用作钝化层，避免腐蚀及提高材料间的粘附作用。金还用于一些裸露在外的接触焊盘或引脚上，如板卡边缘的连接器和按键/按钮开关。像石墨、钯甚至导电聚合物这样的导电材料，还可用作对PCB通孔进行金属化时，作为在介电材料上电镀铜所需的种子层。高电阻材料可像厚膜一样淀积或像丝印膏状物一样来制造电阻。这种电阻可以埋入到PCB中，也可用于PCB表面。

### 8.2.1 铜箔

薄铜箔可用作层压板芯和介电薄膜的主要金属包层和用作多层PCB层压时的金属外包层。通过印制-刻蚀（Print-Etch）工艺在铜箔上去除不需要的铜，从而形成电路图形。还可以用剥离或机械的方法把不需要的铜去除掉，但在批量生产中印制-蚀刻工艺仍然是最经济有效的方法，且它对基体介电材料的损伤最小。当采用半加成电镀工艺来形成电路时，就像在制作电镀通孔（PTH）PCB的外层或高密度互连（HDI）PCB的内建层时，铜箔为整个基板提供了共阴极连接。

既可以用铜电镀液电镀的方式，也可以通过将铜锭锻压成薄铜板的方式来制作铜箔。在用作PCB的覆铜层前，需要对铜箔进行处理来增加铜箔的粘附作用，提高铜箔在PCB制造过程中的可加工性，以及避免氧化。

所制作的铜箔可以有各种不同的厚度。铜的厚度通常是以盎司（oz）为计量单位的。1oz厚度铜是指$in^2$的铜箔在重量为1oz时的厚度。铜箔在生产和处理后的典型厚度值（单位为μm）见表8.5。

**表8.5 可获得的铜箔厚度**（IPC 4562L）

| 铜箔标号 | 额定厚度/mil | 额定厚度/μm |
|---|---|---|
| 0.25oz(9μm) | 0.34 | 8.5 |
| 0.5oz | 0.68 | 17.1 |
| 1.0oz | 1.35 | 34.3 |
| 2.0oz | 2.70 | 68.6 |

超薄铜箔（厚度小于9μm）通常不是以独立式铜箔的方式生产出来的，而是以附着在某一载体上的方式制造。超薄铜箔产品，如 Gould TCU、Oak-Mitsui MicroThin 和 OlinBrass XTF，通常是电镀到一个较厚的铜箔载体上，如图 8.9 所示。在超薄铜箔与铜箔载体之间有一个用于释放的阻挡层，便于超薄铜箔与介电材料粘接或层压后与载体分离。

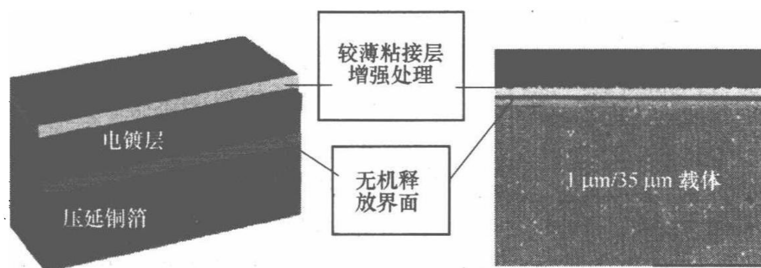



图 8.9 超薄铜箔与铜载体（经授权引自 Olin）

#### 8.2.1.1 电镀铜

电镀（Electrodeposited ED）铜箔是通过把铜电镀液中的铜电镀到旋转滚筒上得到的，如图 8.10 所示。可以通过调整滚筒的旋转速度，以及电镀工艺的电流密度来设置铜箔厚度。电流密度及用来稳定和均衡铜淀积的有机或无机添加剂共同决定了未经处理的铜箔晶粒结构和表面轮廓。铜箔的晶粒结构能够影响铜箔的延展性、热膨胀系数/延伸率和块电阻。

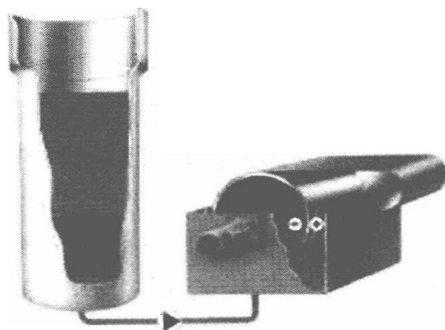


图 8.10 铜箔制造工艺（经授权引自 Gould）

电镀工艺使得铜箔两侧的表面状况不同。滚筒一侧表面的轮廓与滚筒表面形貌相匹配，不光滑一侧的表面形貌则取决于铜电镀液的化学成分和铜的沉积速率。

#### 8.2.1.2 压延退火铜

压延退火铜箔是通过把铜碾压成薄片而制得的。此工艺会使铜箔的晶粒结构处于铜箔平面内，从而使铜箔很光滑。这就使铜箔具有非常好的弯曲特性，从而适用于柔性电路板。由于压延退火铜箔的表面光滑，在高频下的传导损耗较小，因此它也可用于射频（RF）微波应用中。应该注意到，最近在制造光滑电镀铜箔方面的进步使得电镀铜箔已开始获得 RF 微波及高速数字电路设计方面的认可。在制造薄膜方面，与电镀铜箔相比，压延退火铜箔具有成本上的劣势。随着压延退火铜箔变薄，需要更长时间和更多精力来加工，故压延退火铜的成本会增加。但是，电镀铜箔越薄，所需要的加工时间和能量就越少。

### 8.2.1.3 铜箔处理

如图 8.11 所示，以滚动方式通过一些工艺来处理铜箔，从而提高铜箔在 PCB 制造工艺过程中的可靠性和可加工性。处理过程包含一些调整铜箔表面轮廓的工艺步骤，如图 8.12 所示。通过机械粗化及化学粗化或通过机械/化学平坦化可以获得所需要的表面形貌。表面粗糙度对于提高 PCB 制造过程中铜箔与介电材料或光刻胶的粘接作用很重要。表面过度粗糙对铜箔在高频信号下的电导损耗及制造精细 PCB 图形时对印制-蚀刻工艺的控制都是不利的。

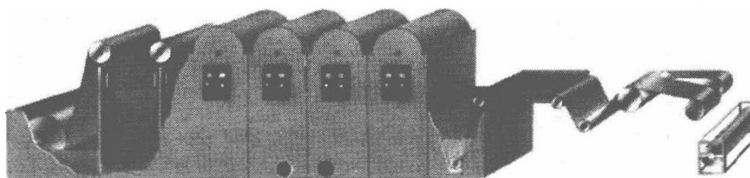
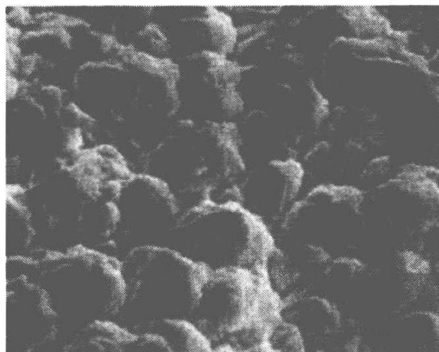
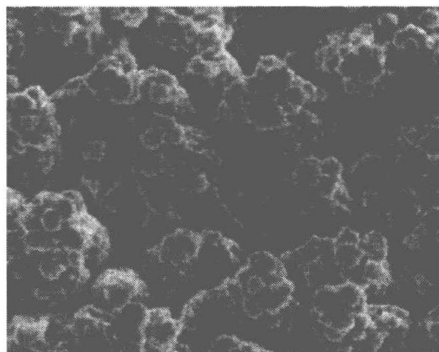


图 8.11　铜箔处理工艺（经授权引自 Gould）



处理前



处理后

图 8.12　处理前后的铜箔（经授权引自 Gould）

第二个处理步骤就是利用一个黄铜阻挡层来减缓铜箔在热处理和化学处理过程中引起的退化。黄铜阻挡层的厚度通常在 800 ~ 1000Å㊀。第三个处理步骤是把化学偶联剂和钝化剂的混合物淀积到铜箔上。这些处理确保了铜箔与半固化片间最佳的粘接条件，同时防止铜箔在加工过程中出现氧化和变色。偶联剂中含有硅烷、铬和锌等，它通常适用于跟铜箔进行层压的树脂系材料。

先进铜箔需要经过多种类型的处理。为了获得最佳的解决方案，通常大多数先进铜箔两侧的处理是不一样的。图 8.13 所示的 Gould RTC 铜箔与标准铜箔的对比就是一个例子。逆向处理的铜箔制造是通过向铜箔平滑光亮面施加球化铜、黄铜热阻挡材料和钝化材料，而不是像制造普通铜箔或标准铜箔一样把这些材料施加在铜

㊀ 埃，$1Å = 10^{-10}m$。

箔非光滑面。之后，向逆向处理的铜箔非光滑面涂抹一层仅含有钝化材料和抗氧化材料的薄层。这层材料正常情况下是涂抹在标准铜箔平滑光亮面的。将完全处理好的铜箔面与半固化片进行层压，使逆向处理铜箔的非光滑面可进行内层加工处理。因此，RTC 铜箔的光滑面与半固化片层压，从而改善了高速信号和 RF 微波信号的传导损耗，以及对加工过程中细线蚀刻的控制。RTC 铜箔非光滑面与光刻胶的粘合力更高，从而提高了 PCB 制造过程中蚀刻精细图形的可加工性和成品率。

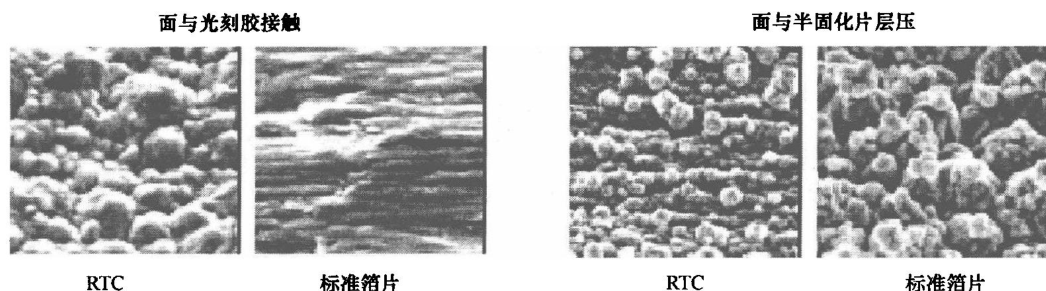



图 8.13 铜箔处理示例（经授权引自 Gould）

#### 8.2.1.4 埋阻用铜箔

人们已经开发出在与半固化片进行层压的一侧含有一层低电导电阻层的铜箔。这使得通过对 PCB 的金属层进行两次印制-蚀刻工序将埋阻嵌入到 PCB 中这一创举成为可能。目前，市场已有一些不同的此类产品。Ohmega-Ply 材料上市已有 20 多年了，它是通过在 ED 铜箔的非光滑面电镀一层 NiP 合金薄膜（厚度为 0.1 ~ 0.4μm）而制得的。Gould TCR 铜箔是由厚度为 0.01 ~ 0.1μm 的 NiCr 或 NiCrAlSi 沉积在铜箔非光滑面而制得的。当然，还存在一些其他类似的产品。所有这些产品都至少需要进行两次印制蚀刻工序。第一次印制-蚀刻步骤把铜和电阻层都从导体与电阻图形的公共部分去除。第二次印制-蚀刻则选择性地把埋阻区域上的铜去除。在这些类型的铜箔中，电阻薄膜仍然在导体之下。由于会受到高速 RF 微波信号的趋肤深度的影响，所以必须将它们考虑在其中。图 8.14 给出了使用 TCR 铜箔制得的电阻层的俯视图和截面图。

### 8.2.2 表面涂层

表面涂层用于印制电路板上露出的铜电路区域上，防止在进行组装焊接前发生氧化或腐蚀，还可用作多次插拔或反复电气连接的耐磨抗氧化接触表面。一直以来，一些形式的焊料被用作印制电路板的表面涂层。主要有两种形式：回流焊料镀和热风整平（Hot Air Solder Leveling，HASL）。这两种方法都为下层的铜提供了特殊的环境保护，从而为后续焊接提供了非常好的焊接面。其主要缺点是，缺乏细间距组装所需的共面度，以及由表面处理工艺带来的热膨胀引起层压材料中的应力会使基板的可靠性退化。2006 年禁止在印制电路板中使用铅的环保法案推动了印制

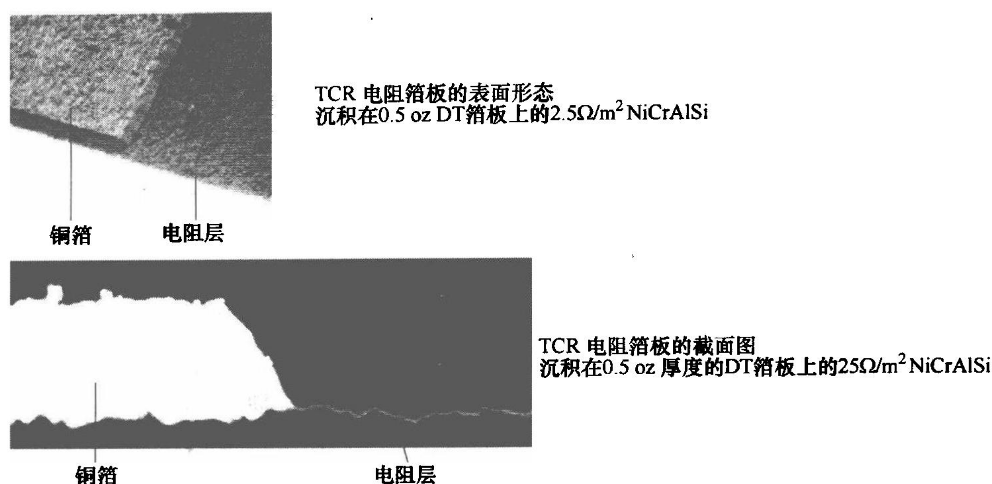



图 8.14　采用特殊铜箔制得的电阻（经授权引自 Gould）

电路板涂层从传统含铅的 HASL 和镀焊料向无铅替代涂层转变。这些无铅涂层包括，有机可焊性保护（OSP）、浸银（ImAg）、化学镀镍浸金（ENIG）、浸锡（ImSn）、无铅热风整平等。其中，已有许多应用于行业中需要较高共面度的细间距/小器件（小零件）应用中，从而取代了热风整平（HASL）。

金表面涂层适用于那些需要用耐磨的接触表面来与印制电路板形成机械连接的情形。一直以来，电镀镍和硬金都被用于此。其中，镀镍层的作用在于提供一个耐久的基面，以及防止下层的铜迁移到金层从而增加接触电阻的阻挡层。金的作用在于为啮合触面提供一个不氧化的光滑接触面。能够克服电镀镍金缺点的新型镍金表面涂层已经流行起来。这些表面涂层实际上不是电镀的。电解镍金涂层的缺点包括，在用金涂层作为蚀刻掩膜时会出现裸露的铜电路，蚀刻后进行电镀时要与需要镀金的所有电路进行直接电气连接，因缺乏电镀的均匀一致性从而过量使用金使成本更高。由于金会脆化焊点，所以较厚的金层还会降低任何与金表面形成的焊点的可靠性。电镀过程中需要施加电流来使电镀液中的金属离子在印制电路板的导体表面还原成金属态。化学镀是一种在导体表面把镀液中金属离子还原成金属态的化学还原反应。浸镀是一种把电子从印制电路板导体表面转移到镀液中离子的置换反应。浸镀工艺，是导体表面发生氧化，并通过还原镀液中的离子来覆盖导体表面。

目前，使用的主要表面涂层类型如下。

热风整平（HASL）　无铅产品的法案极大地降低了人们使用 HASL 来作为表面涂层。但是，还有一些特定的产品（军品、航空产品和高端计算机）是例外的，是可以在组装过程中使用 HASL 或铅的。热风整平（HASL）的可焊性和可靠性是广为人知的。除了环保法案的限制外，HASL 的主要缺点是，涂层共面度差使其难以应用于细间距和小器件焊接。

浸银（ImAg） 浸银的好处在于它的成本低、工艺简单、适用于细间距及小器件焊接的共面表面、易于测量和检测、可返修性和较宽的工艺窗口。浸银的主要不足之处在于它会失去光泽，且容易受微空洞、腐蚀和银电迁移的影响[4]。

有机可焊性保护（OSP） OSP是用于裸板制造中最便宜的表面涂层。OSP的其他优势在于，它具有适合细间距和小零件焊接的共面度及可返修性。OSP的主要缺点在于，其工艺窗口较窄、难以检测缺陷及其本身不具有用于电气测试所需的导电性。

浸锡（ImSn） 浸锡是一种共面且可返修的涂层。它具有良好润滑性，适用于压装连接器的接插引脚。其不足之处有，阻焊膜侵袭、易受腐蚀和锡须的影响、保存期短及存在有害的硫脲成分。

化学镀镍浸金（ENIG） ENIG的优点是，优良的抗腐蚀能力、低接触电阻、适用于低循环次数机械接触、共面度良好的表面、导孔增强、在无铅组装工艺中铜不会溶解。其主要不足之处在于，成本高、易产生黑盘不良、焊点界面处更加脆弱、镍层会使在高频RF应用中产生信号损耗及其不可返修性。

## 8.3 印制电路板材料电气方面的考量

PCB材料的电气特性和性能会因树脂系、不同的电材料中使用的增强材料类型、铜箔类型和种类，甚至所选用的表面涂层的不同而不同。在高速数字系统和RF微波应用的设计中，PCB的导电线路就是传输线。因此，设计时介电材料和导电材料的选用会影响到传输线的介电损耗、传导损耗、传播速度和传输线弥散。由于大多数PCB介电材料都是复合材料，它们既有整体电气特性又有空间电气特性，这就影响了材料的性能。PCB传输线的电气特性还取决于制造PCB时使用的制造工艺。材料对环境（如湿气扩散率和湿气含量）的响应也会影响设计的性能。

标准FR-4材料是由标准铜箔与浸渍有未经修改的FR-4环氧树脂的编织E-玻璃增强材料芯进行层压后得到的。人们通常将先进材料的电气性能与标准FR-4材料的电气性能进行参照对比。因此，采用标准FR-4材料设计的电气性能可以通过改变其中一个或多个成分来得到提高。通过改变铜箔可以改善传导损耗，改变增强材料可减小介电损耗或提高空间介电常数，改变树脂可降低介电损耗和减小介电常数。图8.15给出了一些可供选择的材料。

直至最近，提升PCB材料电气性能所选择的主要方法是改变树脂体系。但是由于高频设计容易受相对介电常数（$\varepsilon_r$）波动的影响。这一般不能通过使用另一种不同的树脂来解决。如果所选用的树脂需要较厚的铜箔来保持粘合作用，那么通过改变树脂来改善介电损耗就难以实现了。

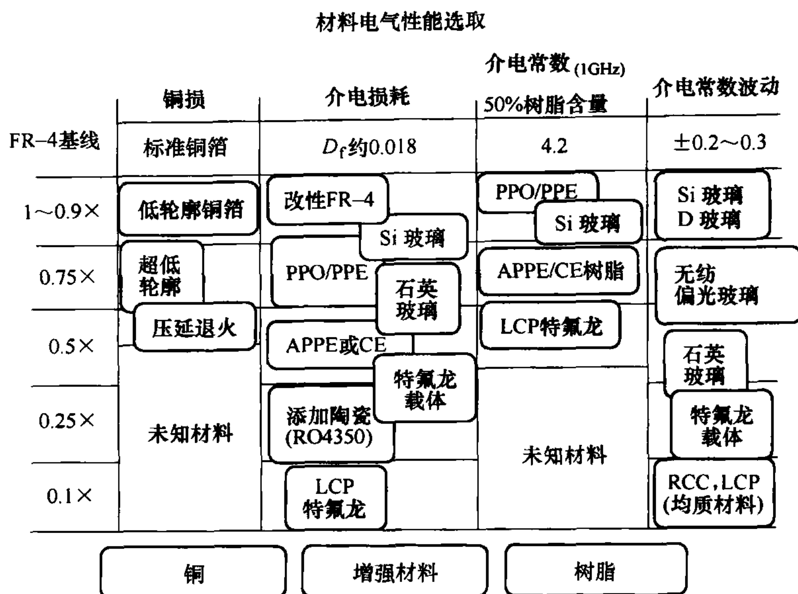



图 8.15 选取合适材料来提高 FR-4 电气性能

## 8.3.1 介电常数

编织玻璃布增强型材料系统的介电常数是关于树脂含量的一个函数。在这些材料系统中，不是所有厚度层压板的介电常数都是一致的，因为厚度还取决于所选用的玻璃纤维和树脂含量。PCB 材料中使用的普通树脂的介电常数比使用玻璃增强的树脂的介电常数要小。图 8.16 所示为美国 Park 公司 Nelco 子公司使用 E-玻璃作为增强材料的 N4000-6 材料树脂含量与介电常数关系图。

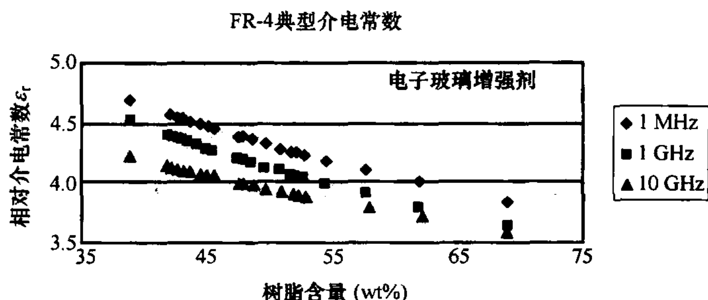



图 8.16 树脂玻璃复合材料的介电常数

较薄板芯中使用的增强材料是用较细小的玻璃纱制作而成的。从而使得与较厚的板芯相比，较薄板芯的树脂含量较高且介电常数较小。厚度与介电常数的关系不是线性的，因为对于某一给定厚度的层压板，可以有多种半固化片的组合来实现。例如，高树脂含量的 2113 或低树脂含量的 2116 可能会有大致相同的厚度，但各自

的介电常数却不同。这是因为各自的树脂和玻璃的比例不同。图 8.17 所示为介电常数与板芯厚度间的典型关系。一般而言，较厚板芯的介电常数也越高。对于厚度在 12～13mil 范围内的板芯，其介电常数几乎是常数。这是因为大多数这种厚度的板芯都是由像 7628 这样的厚玻璃纤维多层片构成的。之所以选用厚玻璃纤维，是因为它们每英寸内使用的纬纱数较少并使用较大的玻璃纱来使厚度最大化，从而使得单位重量及厚度的成本较低。

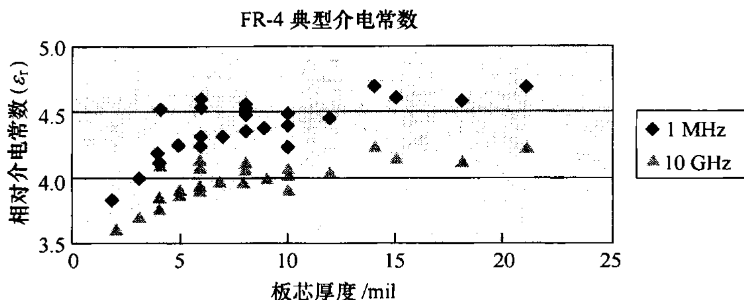


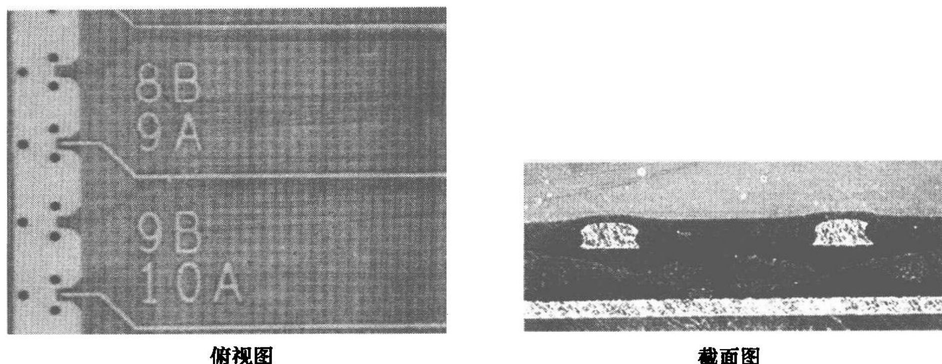

图 8.17 介电常数随板芯厚度变化示例

不同厚度板芯间介电常数的变化，会在多层 PCB 中产生高速信号配时方面的问题。因为为了满足最终板厚及其他要求，每层所选择的纤维可能会不同。即使 PCB 设计中每层之间介电常数差异很小也能够影响信号配时。例如，在带状线中，相对介电常数 3.6 与 4.0 之间的差异可使信号传输速度相差约 $8.7\times10^{-12}$s/in。有一种先进 PCB 材料（如 RO4000 系列或 N4380-13RF）只使用一两种玻璃纤维，从而确保所有可用厚度的介电常数都一样。

用均质材料（如纯树脂或混合有树脂和颗粒填充料的复合材料）也能够制作出所有介电常数都是统一常数的可用厚度的 PCB 层压板。典型的填充料包括陶瓷、气凝胶和二氧化硅等。例如，近均质材料 TMM 是含有陶瓷的热固性树脂，RO3000 系列是含有陶瓷的 PTFE 材料。

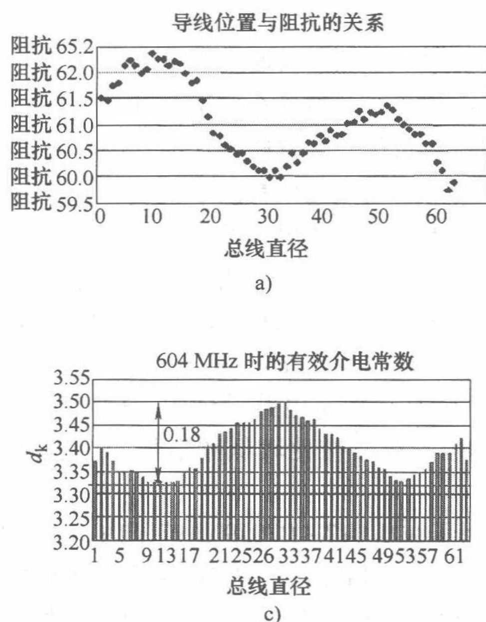
树脂与玻璃间介电常数的差异，还会导致由编织玻璃布制作的 PCB 材料中的空间介电常数的差异。玻璃纤维布由玻璃纱编织而成。从图 8.18 所示的截面图可看出，沿着玻璃纱方向的区域中树脂含量低，而两个玻璃纱之间的区域则中树脂含量高。在制造工艺和普通设计实践中，常常出现导线与玻璃纱平行的情况。玻璃纱的尺寸和玻璃纱间的距离，比大多数 3～5mil 宽度的导线要大。因此，介电常数和 PCB 上每段导线的传输速度，会因导线与玻璃纱相对方向，以及导线是在玻璃纱的正上方还是在两个玻璃纱的间隙之上而变化。在使用标准 E-玻璃增强材料时，这种差异会使介电常数在空间上有 0.3～0.4 的差异[3]。这使得各段导线间的阻抗存在差异，同样也使得同一介电层上各段导线的传输速度也不同。图 8.19 所示为 64 个相互平行放置的导线的阻抗及各自有效介电常数的测量值。均质材料，如

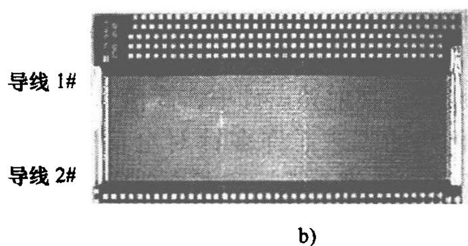
LCP、聚酰亚胺或像 RO3003 或 TMM 这样的复合材料，其介电常数不存在空间差异。一些随机纤维增强材料（如芳纶纤维）也会明显减小介电常数的空间差异。使用介电常数较小的玻璃纤维或未经捻制的散布玻璃布的新型增强材料（如 SI-玻璃）也能够降低介电常数的空间差异。




俯视图　　　　截面图

图 8.18　导线与编织玻璃布对齐




b)

图 8.19　平行导线组的空间阻抗及介电常数变化

不同频率下 PCB 材料的介电常数不是常数，这就容易产生信号弥散现象。对于大多数材料来说，随着频率增加，介电常数会逐渐减小。图 8.20 所示为分别使用 1500 纤维和 2113 纤维的 FR-4 板芯上随机导线的频率相关性。与通常情况一致的是，介电常数随着频率的增加而减小。这两种玻璃纤维布的介电常数的变化不同

是因为这两种玻璃纤维布间在空间上存在差异。一些专门的射频（RF）材料则有较平坦的频率响应。

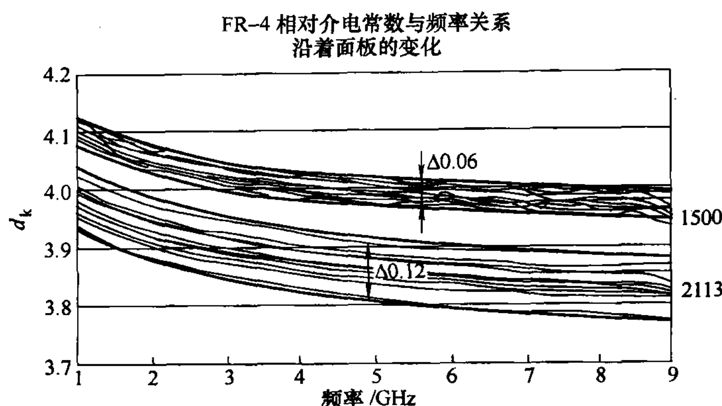



图8.20 1500 和 2113 板芯样品在各频率下所测得的相对介电常数

## 8.3.2 介电损耗

介电材料的损耗因子（$d_f$）是标准材料与用于射频和高速数字电路设计的先进材料间的重要区分。当电磁信号在介电材料中传播时，信号会发生衰减。信号的衰减率是用损耗因子表示的。损耗因子较小的材料对信号的衰减要比损耗因子较大的材料对信号的衰减小，对信号在某一固定距离内的衰减比损耗因子较大的材料对信号的衰减小。信号在某一固定距离内的衰减与这一距离内出现的振荡次数有关。因此，单位长度的介电损耗随着频率的增加几乎线性地增加，并成为高频设计中的关键问题。在射频设计中，高信号衰减会带来对更高的功率水平、增加放大电路及更高散热的需求。许多针对电信和航空应用的 RF 设计，都是依靠低损耗（$d_f$ < 0.005）来简化设计和减小功率需求的。在宽频高速数字电路设计中，信号衰减还会导致信号失真，因为较高频信号内容的单位长度衰减比较低频信号的内容衰减要多。

在室温条件下，标准 FR-4 材料的损耗因子在0.017 ~0.019 的范围内。中等损耗材料，如改性环氧树脂和环氧树脂共混物（如 PPO）的损耗因子在 0.010 ~ 0.015 的范围内。近期低损耗环氧树脂和低损耗玻璃（如 SI-玻璃）的发展使得一些以编织玻璃纤维为增强材料的环氧材料的损耗因子在 0.005 ~0.010 的低损耗范围内。大多数损耗因子很低的材料（$d_f$ < 0.005）都使用高掺量的填充料，使用 PTFE、LCP 或其他损耗很低的介电材料。图 8.21 所示为一些材料单位英寸长度的信号衰减对比图。

由于种种原因，PCB 材料的成本随着损耗因子的减少而增加。中等损耗、低损耗及极低损耗材料的需求量没有标准 FR-4 材料那么大，而且大多数都有专利配

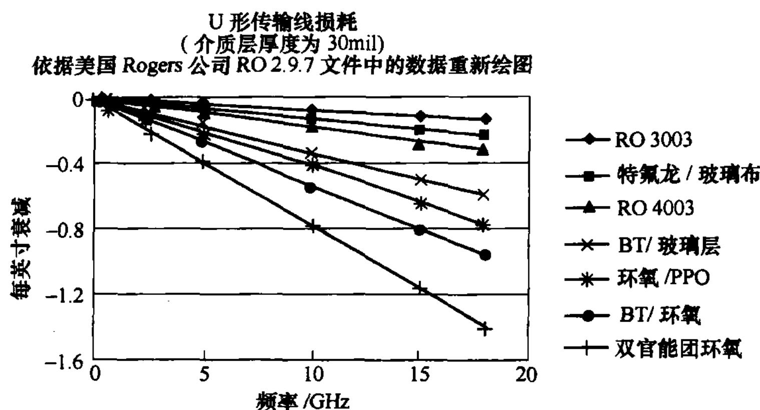



图 8.21 损耗因子不同的材料间的信号损耗（经授权引自 Rogers）

方。此外，许多低损耗及极低损耗材料都使用改性 FR-4 环氧材料或与标准 FR-4 不同的加工工艺的基材或填充料。例如，PTFE 和 LCP 材料需要不同的电解和层压周期，但添加陶瓷填充料会缩短钻头的使用寿命。

## 8.3.3 湿度对电气性能的影响

材料的介电常数和损耗因子随温度和湿度的改变而变化。介电常数和损耗因子都随温度和湿度的增大而增加。湿度对材料电气性能的改变取决于材料的湿气饱和水平和材料的湿气扩散系数。一些材料（如 LCP）的湿气扩散系数很小，因此它对湿度变化的反应相当平稳，如图 8.22 所示。其他低损耗材料（如聚酰亚胺）的湿气饱和度比 FR-4 的要高。因此，在高湿度环境下，聚酰亚胺损耗因子较FR-4的有较大比例的变化。

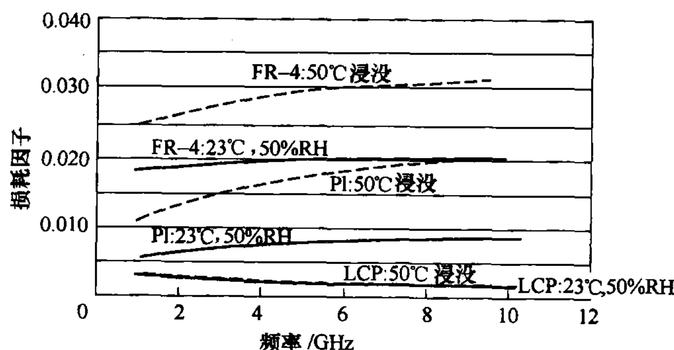



图 8.22 PCB 介电材料中吸湿影响（经授权引自 Rogers）

图 8.23 所示为 FR-4-2116 材料分别在干燥和饱和状态下介电常数随温度变化而改变的比率。PCB 对工作环境的温度响应很快。PCB 中的电气结构受相对湿度

改变而产生影响所需要的时间取决于它的结构和湿气扩散系数。标准 FR-4 和其他环氧材料的湿气扩散系数在 $1.0\times10^{-7}mm^2/s$（粗丝玻璃纤维布）到 $2.0\times10^{-6}mm^2/s$（细丝玻璃纤维布）范围内[12]。因此，U 形及嵌入式 U 形传输线会在相对湿度改变数分钟或数小时后受到影响。对于带有阻碍湿气进入的适当接地平面的带状线结构，可能需要花费数小时甚至数星期才能看到因相对湿度改变而作出明显变化。

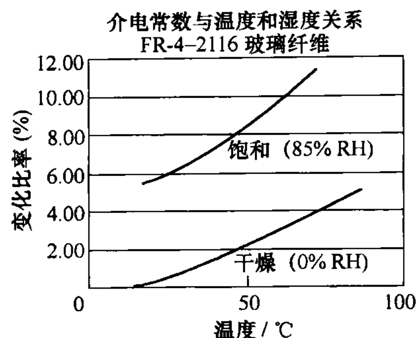



图 8.23 FR-4 介电常数随温度变化

## 8.3.4 传导损耗

铜导线的传导损耗对高速电路设计很重要。随着频率的增加，可认为电流只在导体截面的外层区域通过，从而增加了电阻。在光滑导体中，电流密度与频率的关系就是趋肤深度。在光滑导体中，流过导体的电流中有 67% 是在离导体表面一个趋肤深度的区域内。趋肤深度与频率的二次方根成反比，转化为电阻，就是电阻与频率的二次方根成正比。由于现在电子产品设计的信号频率增至 GHz 范围，所以趋肤深度就接近铜箔的粗糙度值（见图 8.24）。

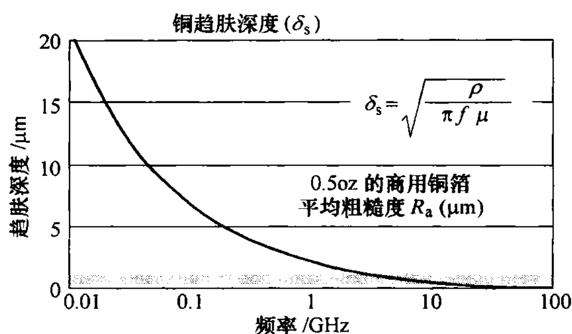



图 8.24 铜趋肤深度与信号频率函数关系

通常会对铜箔进行粗化，提高它的粘合作用。铜箔的表面粗糙度取决于对铜箔所施加的表面处理。图 8.25 所示为各种铜箔的表面粗糙度在大小和空间分布上的差异。普通电镀（ED）铜箔的峰谷表面粗糙度在 5～10μm 范围内，平均粗糙度约为 0.5～1.0μm。因此，在高频应用中标准铜箔的性能与典型的光滑导体不同。

图 8.26 所示为用不同铜箔所制作的 5in 导线传输线损耗的各自的测量值。铜箔表面的峰粗糙度和峰空间密度都会影响传输线损耗。例如，RTCHO 铜箔和 RTC 铜箔的峰谷粗糙度的大小几乎相等，但由于 RTCHP 铜箔表面的空间峰密度较高，

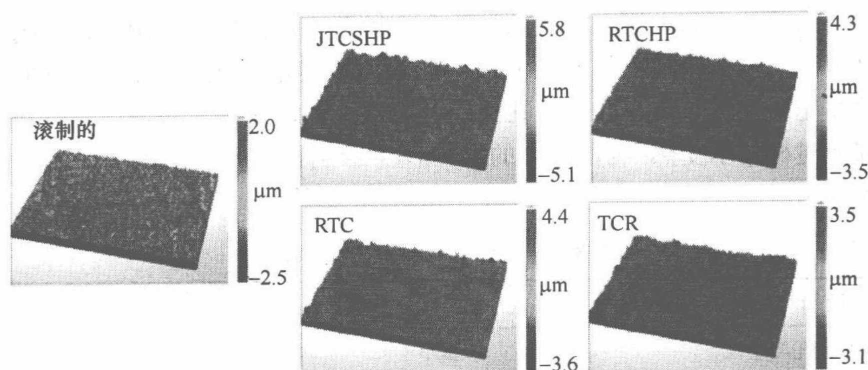



图 8.25　各种铜箔表面的光学轮廓

RTCHP 铜箔的传输线损耗明显较大。因此，选择铜箔对用于 RF 和电信的高频电路设计或高速数字电路应用具有重要影响。粗糙铜箔与光滑铜箔传输线损耗的差异和标准 FR-4 与中等损耗（损耗因子 $\tan\delta = 0.010 \sim 0.015$）材料间的差异相似[2]。

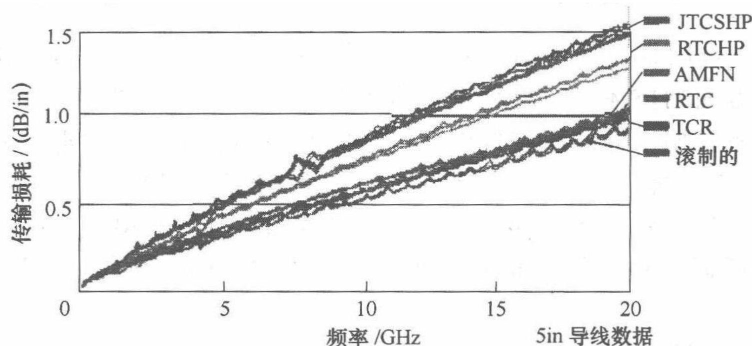



图 8.26　不同铜箔的传导损耗对比

目前，针对高频信号在粗糙铜箔中传播进行正确地建模方面已做了大量的工作[11]。

## 8.4　印制电路板材料可靠性

材料可靠性是诸多因素综合作用的结果，如制造、设计和使用环境的影响。制造方面的影响因素包括对材料进行恰当的贮存和处理，以及优质的制造能力。恰当的贮存能够避免材料过早地老化及吸收湿气。材料在贮存时吸收湿气可能导致制造过程中出现分层和起泡这样的失效。不恰当的处理可能会使玻璃增强材料断裂，从而带来长期可靠性问题（如导电阳极丝生长）。制造质量会影响许多方面的可靠性，如导孔的可靠性、导电阳极丝生长、球垫坑裂及焊点可靠性。层压

时进行恰当的预处理和烘烤、导孔的钻孔和电镀及表面涂层的应用，都会随着时间的推移对印制电路板正常工作的能力产生影响。印制电路板设计是热-机械应力影响的基础和先决条件。最小孔径、孔间距、层数、铜的重量、板厚、料件清单及整体尺寸都会对材料承受热-机械应力的能力产生影响。表8.6列出了印制电路设计对可靠性的影响。

表8.6 设计对材料可靠性影响

| 设计因素 | 趋势 | 对可靠性影响 |
|---|---|---|
| 导孔尺寸 | 偏小 | 下降 |
| 导孔间距 | 偏小 | 下降 |
| 层数 | 偏多 | 下降 |
| 铜重量 | 偏重 | 下降 |
| 板厚 | 偏厚 | 下降 |
| 电路板尺寸 | 偏大 | 下降 |

组装的影响因素包括，恰当的贮存和处理、组装操作的次数及温度。如前文针对制造方面的描述，对材料进行恰当的贮存防止吸收湿气能够避免一些影响印制电路板长期工作的组装失效。恰当的贮存还能避免印制电路板的表面涂层暴露给具有氧化性或腐蚀性的物质，而这恰恰会影响焊接或电气接触面的质量。无铅法案的实施使得组装温度比原先锡铅焊接高出30℃，从而焊接操作的次数（包括返修）对材料的热-机械性能的影响程度比原来锡铅组装中的要大得多[15]。

使用环境对材料可靠性的影响包括许多方面。机械应力，如冲击或弯曲，可使介电材料或导电材料发生断裂，从而给印制电路板内部带来潜在的开路或短路风险。机械应力包括了印制电路板在运输、处理和操作中产生的应力。来自环境或工作条件下的极端温度会使材料的热-机械可靠性降级。潮湿和腐蚀性环境会给材料带来湿气，产生会导致开路或短路的腐蚀或导电丝生长。下面我们将讨论一些更为突出的可靠性问题，以及那些材料特性在解决可靠性问题方面所发挥的重要作用。

### 8.4.1 导孔可靠性

如图8.27所示，导孔可靠性失效有三种形式：筒形开裂（Barrel Cracking）、弯角开裂（Knee Cracking）和后分离（Post Separation）。筒形开裂和弯角开裂是已定型的镀铜在 $z$ 轴方向反复膨胀和收缩而导致镀铜开裂的失效。后分离可由三种情况引起，即内层连接处铜钻头污渍、易碎的化学镀铜或内层连接电镀时被污染。

导孔可靠性是由印制电路板在经受环境中或工作过程中的热循环时，导孔的镀

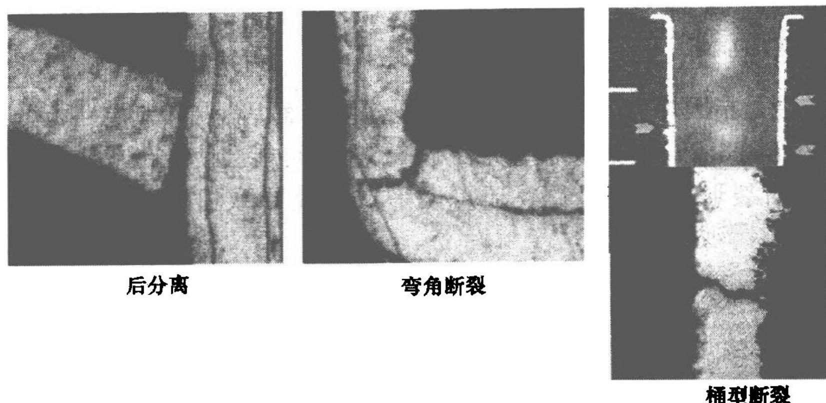



图 8.27 PCB 镀通孔的失效模式

筒吸收热膨胀系数不匹配产生的应力所致。印制电路板的金属结构与介电材料的膨胀比率不同。通过把介电材料的 CTE 调整得更加接近铜的 CTE，从而可以减小对铜的膨胀应力[10]。提高铜的抗拉强度和延伸性可使铜能够吸收更多的膨胀应力而不断裂。

## 8.4.2 导电阳极丝

导电阳极丝（CAF）失效是指两个独立电路间生长出导电丝使之短路（见图 8.28）。形成导电阳极丝需要三个条件——路径、湿气和偏置电压[17]。

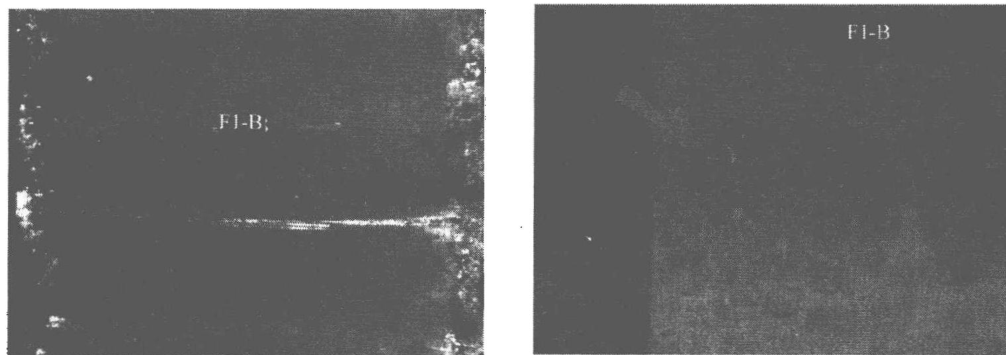



图 8.28 PCB 介电材料中导电阳极丝（CAF）失效的截面图

限制路径的材料方面对 CAF 具有主要影响。通过使用断裂强度提高后的树脂来抵御形成裂缝的制造损伤或机械应力，可以减少 CAF。提高树脂对增强材料的润湿能力可避免材料中出现形成路径的空洞[19]。添加填充料或随机纤维增强材料可遏制树脂中出现任何由机械应力所致的裂缝。

### 8.4.3 球垫坑裂

球垫坑裂是指因焊盘下面的树脂出现裂缝使表面焊盘与印制电路板分离的一种不良现象（见图8.29）。如果球垫坑裂足够严重，可能会使线路断裂或使导孔与焊盘间的连接断裂形成电路开路，还可能形成可能导致CAF的路径（如前文所述）[16]。

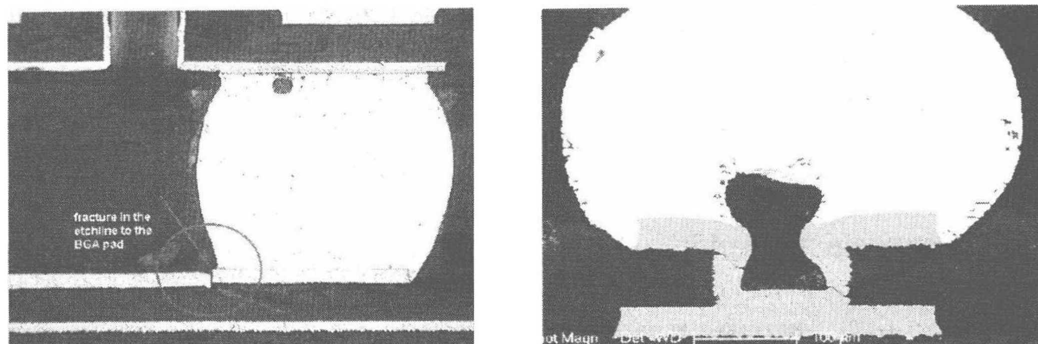



图8.29 球垫坑裂导致的开路失效

提高树脂断裂强度来避免开裂是球垫坑裂的主要问题。提高铜箔对树脂的剥离强度有助于防止局部应力增加而形成裂缝。添加填充料或随机纤维增强材料来用作裂缝防止材料可提高焊盘的抗坑裂能力。

### 8.4.4 焊点可靠性

从印制电路板材料角度来看，焊点可靠性集中在表面涂层的质量和类型。质量差的表面涂层可使焊接界面材料（无论是表面涂层下的铜或者是表面涂层中的某一成分）发生氧化，从而使焊点不润湿。与特定表面涂层相关的另外两个失效为化学镀镍浸金（ENIG）中的黑盘和浸银（ImAg）中的微空洞。黑盘是指焊料块与化学镀镍盘间的金属间化合物层上所形成的富含磷的易碎层。焊点会在此界面过早地开裂，产生的表面颜色为黑色，故曰“黑盘”。微空洞形成的主要原因是过多地浸入到银池中，从而在浸银层下面的铜中产生空洞。在回流焊过程中，空洞发生氧化并在金属间化合物的表面形成细小气泡。这种细小气泡或微空洞构成了一个虚弱界面，从而在后续组装应力作用下开裂并导致开路。黑盘和微空洞使得人们对各自的电镀工艺进行了许多调整，从而明显改善了工艺效果。尽管如此，就像任何工艺控制都有其缺陷一样，黑盘和微空洞是无法彻底消除的。

非常感谢美国Isola集团Ed Kelley、美国PPG Industries公司Doug Eng、美国Dupont公司Karl Dietz和美国Kaneka Texas公司Doug Sober的远见卓识和对本章的技术支持。

# 参考文献


1. E_R_D Glass data sheet, download from www.vetrotextextiles.com
2. G Brist, S Hall, S Clouser, and T Liang, (2005) Non-Classical Conductor Losses Due to Copper Foil Roughness and Treatment, ECW 10 Conference May 2005
3. G Brist, B Horine, and G Long (2004) High Speed Interconnects: The Impact of Spatial Electrical Properties of PCB due to Woven Glass reinforcement Pattern, IPC Print Circuit Expo 2004
4. D Cullen (2002) "Silver and Change: A Tale of Silver, Copper, Nickel and Gold, The Board Authority, April 2002
5. D Cullen (2002) Going Beneath the Surface of Surface Finishes, Circuitree, November 2002, pp. 50–62
6. K Dietz (2006) Tech Talk: Fine Lines in High Yield (Part CXXIV): High Performance Dielectrics, Circuitree, January 2006
7. D Eng (2001) Fiber Glass Reinforcements within Circuit Board Composites, Board Authority, September 2001
8. B Forcier (2000) Laser Drillable E-Glass Multilayer Materials An Overview of Laser Enhanced Materials, Board Authority, July 2000
9. B Forcier and F Hickman III (2000) The Design and Fabrication of HDI Interconnects Utilizing Total Integration of Fiber-Reinforced Materials, Board Authority, March 2000
10. B Forcier and B Schor (2001) High Reliability/Low CTE Epoxy Technology: An Overview of the Advantages of Low CTE Materials, Circuitree, February 2001
11. S Hall et al. (2007) Multigigahertz Causal Transmission Line Modeling Methodology Using a 3-D Hemispherical Surface Roughness Approach, IEEE Transactions on Microwave Theory and Techniques, Vol. 55 Num. 12, Dec. 2007
12. P Hamilton et al. (2007) Humidity Dependent Loss in PCB Substrates, IPC Printed Circuits Expo 2007
13. E Kelley (2004) Reengineered FR-4 Base Materials for Improved Multilayer PCB Performance, The Board Authority-Live, June 2004
14. E Kelley (2004) An assessment of the Impact of Lead-Free assembly Processes on Base Material and PCB Reliability, IPC/Soldertec Conference, Amsterdam, June 2004
15. G Long and G Brist (2005) Lead-Free Product Transition: Impact on Printed Circuit Board Design and Material Selection, ECWC 10 Conference 2005
16. G Long, T Embree, M Mukadam, S Parupalli, and V Vasudevan (2007) Lead Free Assembly Impacts on Laminate Material Properties and Pad Crater Failures, IPC APEX/EXPO Conference 2007
17. K Sauter (2002) Evaluating PCB Design, Manufacturing Process, and Laminate Material Impacts on CAF Resistance, IPC Printed Circuits Expo Technical Conference Proceedings, March 2002
18. D Sober (1997) Base Material Basics: Manufacture and Market, IPCWorks '97: Tutorial Handbook, Section 6
19. W Varnell et al. (2002) Conductive Anodic Filament Resistant Resins, IPC Printed Circuits Expo Technical Conference Proceedings, March 2002

# 第9章　倒装芯片底部填充胶材料、工艺与可靠性

Zhuqing Zhang, C. P. Wong

**摘要**：为了增强采用有机基板封装的倒装芯片的可靠性，通常使用底部填充胶对由硅芯片与有机基板间热膨胀系数（CTE）不匹配所引起的热应力进行再分布。尽管如此，传统的底部填充胶依赖于填充材料的毛细流动并存在许多缺点。为了克服这些不足之处，人们作出了许多努力来改进倒装芯片底部填充工艺。本章回顾了近期倒装芯片底部填充在材料设计、工艺开发及可靠性方面的发展，特别是不流动胶底部填充、模塑料底部填充和圆片及底部填充；最后讨论了封装中材料，工艺和可靠性之间的相互联系。

**关键词**：倒装芯片，底部填充料，互连，材料，可靠性，热膨胀系数（CTE）。

## 9.1　简介

现代电子的核心是基于半导体芯片的集成电路（IC）。为使其能控制电子系统，需要在IC芯片与其他电子组件、电源与接地线及输入与输出之间建立电气互连。第一级互连通常是指芯片与塑料或陶瓷封装体之间的互连，该封装体随后被组装到印制电路板（PCB）上。有三种主要互连技术，即引线键合（WB）、载带自动键合（TAB）和倒装芯片。在引线键合封装体中，芯片被封装用固晶胶粘接在载体基板上，其有源IC面朝上；然后使用金线或铝线来连接芯片上的每一个焊盘与封装载体上对应的键合焊盘，如图9.1所示。

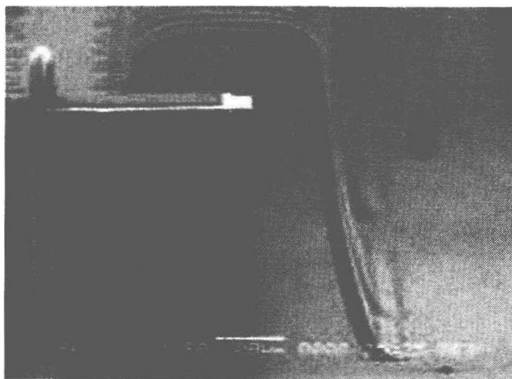


图9.1　引线键合一级互连

芯片和互连引线通常由封装体来保护。与此不同的是，载带自动键合（TAB）利用的是预制好的引线框架，其铜引线与芯片上的焊盘相对应。这些铜通常会经过镀金处理以形成一个与IC芯片焊盘键合的涂层。芯片附在引线框架载体上，然后通过热声/热压键合或Au/Sn焊料键合来形成互连。引线键合和载带自动键合都受四周布

线的限制，因此其输入/输出端口数少。然而，倒装芯片能够利用整个芯片区域来互连。在倒装芯片封装中，IC 芯片的有源面朝下并组装在基板上[1]。在芯片有源面形成互连的形式有，焊料凸点、接线柱金球焊接或导电胶凸点。它们分别通过熔化、胶粘、热声或热压工艺形成与基板焊盘间的连接。图 9.2 所示的是一个倒装芯片互连中焊料凸点化后的芯片表面。由于倒装芯片工艺进步，目前已开发了多种倒装芯片设计。其中，美国 IBM 公司于 20 世纪 60 年代发明的可控塌陷芯片连接（简称 C4）是倒装芯片应用最重要的形式[2]。与使用引线键合技术的传统封装相比，倒装芯片有许多优点，如 I/O 密度高、互连线短、自对准、通过芯片背面能获得更好的散热性能、引脚更小、芯片封装体高度更低和产量高等。现代电子封装包括，多芯片组装（MCM）、高频通信、高性能计算机、便携式电子设备和光纤光学组件，倒装芯片杰出的特点使其成为现代电子封装中最具吸引力的技术之一。

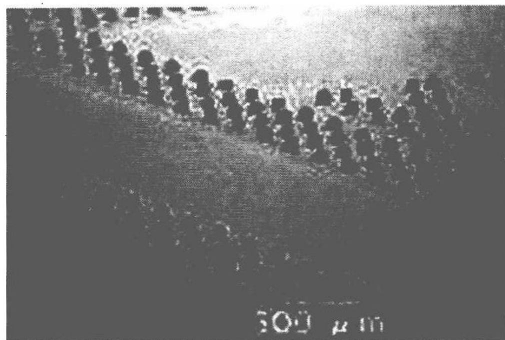


图 9.2　倒装芯片互连的焊料凸点面阵列

直到 20 世纪 80 年代末，倒装芯片才得以组装到硅或陶瓷基板上。由于 C4 焊点热机械疲劳寿命的缘故，低成本有机基板并未得到应用。该问题主要是由半导体（通常是硅，CTE = $2.5\times10^{-6}$/℃）与基板（陶瓷基板，CTE = $4\sim10\times10^{-6}$/℃；FR-4 有机基板，CTE = $18\sim24\times10^{-6}$/℃）的热膨胀系数（CTE）不匹配所引起的。随着焊点距芯片的中心距离（Distance from the Neutral Point，DNP）增加，焊点所受的剪切力相应增加。因此，随着芯片尺寸增大，热机械可靠性成了关键问题。与陶瓷基板相比，有机基板的优点是成本低且介电常数小。但有机基板与硅芯片之间的热膨胀系数（CTE）差很大，这会给热循环中的焊点带来很大的热应力。

在 1987 年，日本日立（Hitachi）公司首先通过填充树脂来匹配焊点的热膨胀系数（CTE）提高焊点疲劳寿命[3]。该填充树脂后来被称为“底部填充胶”。它是低成本有机基板在倒装芯片中得以应用的最具创新的进步之一。底部填充胶是一种在倒装芯片互连工艺后用于芯片与基板间的液体密封剂，通常由掺有大量二氧化硅（$SiO_2$）颗粒的环氧树脂所组成。经烘烤固化后，底部填充胶变硬且具有高模数、与焊点热膨胀系数（CTE）失配程度低、低吸湿和能与芯片及基板良好粘接等性能。于是，原先集中于芯片四周的焊点上的热应力就被再分布到芯片、底部填充胶、基板和所有焊点上。现已证实，使用底部填充胶可以将所有关键焊点的应力水平减少至原来的 10% ~25%[4,5]。因此，底部填充胶可以将焊点的疲劳寿命延长

10~100倍。此外，它还对芯片和焊点起到保护作用。底部填充胶已成为将倒装芯片工艺由陶瓷基板拓宽至有机基板、由高档产品拓宽至对成本敏感的低端产品的一种实际解决方案。如今，包括美国英特尔（Intel）公司、美国AMD公司、日本日立（Hitachi）公司，美国IBM公司，美国Delphi公司，美国摩托罗拉（Motorola）公司和日本卡西欧（Casio）公司等在内的全球主要电子公司都在研究和使用倒装芯片技术。

## 9.2 常见的底部填充材料与工艺

常见的倒装芯片封装结构如图9.3所示。常见的底部填充胶是在倒装芯片互连形成之后使用。在毛细作用下，树脂流进芯片与基板的空隙中。因此，它也被称为“毛细管型底部填充胶”。典型的毛细管型底部填充胶是液态有机松香粘合剂与无机填充料的混合物。尽管氰酸酯或其他树脂也可应用于底部填充胶，但其有机粘合剂通常为环氧树脂混合物。图9.4给出了一些常用的环氧树脂的化学结构。除了环氧树脂，通常还会在其中添加硬化剂使固化时形成交联结构；有时还会添加催化剂，以此获得较长的贮放时间和快速固化效果。底部填充胶所使用的无机填充料通常是氧化硅微小颗粒。把氧化硅填充料添加到树脂粘合剂中可以增强固化后底部填充胶的诸多材料特性，如低热膨胀系数（CTE）、高模数和低吸湿等。

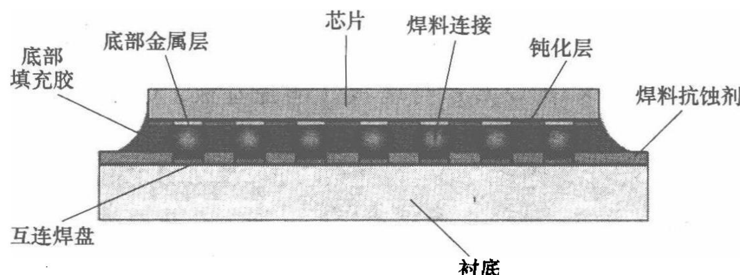
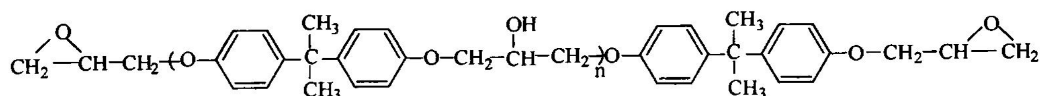



图9.3 常见倒装芯片底部填充结构图

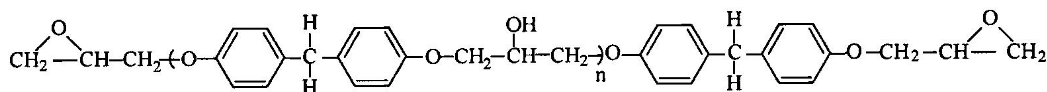
底部填充胶还有其他成分，如助粘剂、增韧剂和分散剂等。这些掺入的化学成分有助于树脂的混合及增强底部填充胶固化后的性能。

图9.5所示的是使用普通底部填充胶的倒装芯片工艺步骤。在组装芯片之前需在基板上涂覆助焊剂，在组装芯片后需清洗阻焊剂。通常在芯片组装到基板上后，底部填充胶通过针孔注胶，并在毛细作用下被吸进芯片与基板间的空隙中。然后，需要通过加热来固化底部填充胶树脂，形成永久性的复合材料。

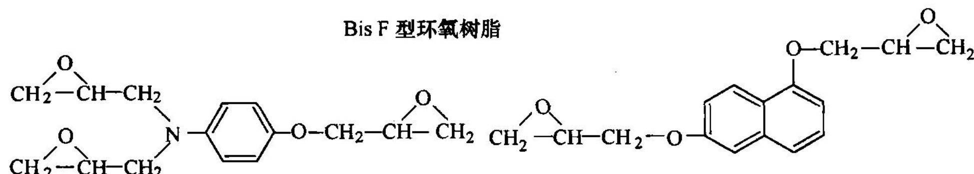
由于毛细管型底部填充胶被认为是倒装芯片工艺的瓶颈之一，它已被人们所广泛研究。毛细管流通常较慢且不够充分，从而导致封装体中出现空洞，并会在树脂/填充料体系间出现不均质的现象。随着芯片尺寸增大，这一填充问题显得愈加



Bis A 型环氧树脂



Bis F 型环氧树脂



N,N－二环氧丙醚-4-缩水甘油基苯胺　　萘醛环氧树脂

图 9.4　底部填充胶组分中所使用的几种典型环氧树脂结构

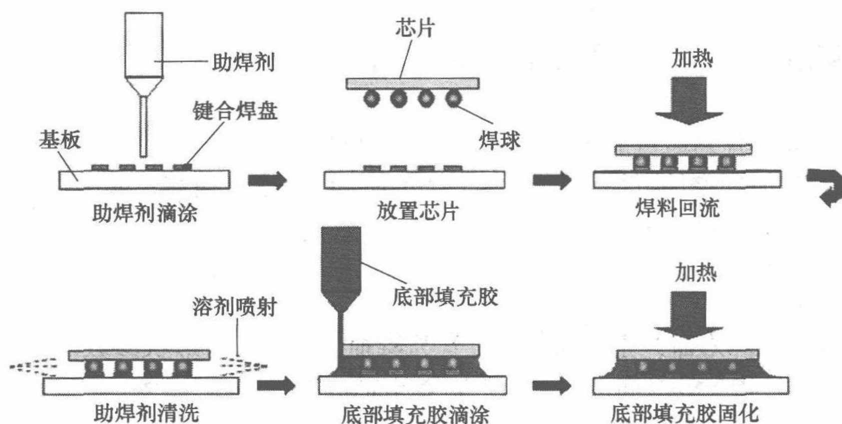



图 9.5　使用普通底部填充胶的倒装芯片工艺

严重。倒装芯片底部填充胶的流体建模，通常可近似为底部填充胶在两平行板间的粘性流建模。可以使用赫尔-肖氏（Hele-Shaw）模型及上述近似，来模拟底部填充胶流体。填充一个长度为 $L$ 的芯片所需的时间为[6]

$$t_{\text{fill}} = \frac{3\eta L^2}{\sigma h \cos\theta} \tag{9.1}$$

式中，$\eta$ 为底部填充胶粘度；$\sigma$ 为液体表面张力系数；$\theta$ 为接触角；$h$ 为平行板的间隙距离。由此可以看出，板间隙较小且尺寸较大的芯片所需的填充时间较长。

上述对底部填充胶流体建模的近似中没有考虑焊料凸点的存在。当焊料凸点之间的距离与间隙高度相当时，这一近似将不再适用[7]。因此，这一模型不能用于高密度面阵列的倒装芯片。通过使用组装于不同基板的透明石英芯片，Nguyen 等

人观察了工业用底部填充胶的流动，并使用3D PLICE-CAD模拟了底部填充胶的流动前沿[8]。通过对比仅四周分布有焊料凸点的芯片与焊料凸点为面阵列的芯片，发现由焊料凸点所致的周期性润湿点使流动前沿更平坦。在芯片边缘处还发现了“赛跑效应”（Racing Effect）。在底部填充胶流动前沿融合处可形成空洞。此外，这些流动前沿的融合还会产生一些由流速很慢或无流速区域所形成的条痕，从而更易出现填充料堆积现象。

在底部填充胶流体建模的新进展中，已经考虑了流体与焊料凸点的接触角及凸点的几何形状。Young 和 Yang 在一项研究中使用了修正后的 Hele-Shaw 模型，该模型考虑了在芯片与基板厚度方向和焊料凸点间的平面方向的流阻[9]。该项研究发现，当焊料凸点间距很大时，同一间隙高度条件下的毛细作用力参数接近为一常量。当焊料凸点间距减小时，由于在小接触角条件下底部填充胶的润湿作用，毛细作用力会增大至最大值，随后因焊料凸点间距接近焊料凸点直径而迅速减小为零。他们研究还表明，六边形凸点的排列对增强临界凸点间距条件下的毛细作用力更加有效。

## 9.3 倒装芯片底部填充封装的可靠性

衡量倒装芯片封装可靠性的方法有许多，包括热循环、热冲击、高温水蒸气压力试验等。热循环条件下焊点互连的寿命可用统计模型来描述，如韦伯（Weibull）分布。韦伯分布的概率密度函数为

$$f(x)=\left(\frac{\beta}{x}\right)\left(\frac{x}{\theta}\right)^{\beta}\exp\left(-\left(\frac{x}{\theta}\right)^{\beta}\right) \tag{9.2}$$

式中，$x$ 为热循环寿命，是随机变量；$\theta$ 为特征寿命；$\beta$ 为形状参数。平均失效时间（MTTF）是指失效时间的期望值。对于韦伯分布，有

$$\mathrm{MTTF}=\theta\Gamma\left(1+\frac{1}{\beta}\right) \tag{9.3}$$

式中，$\Gamma$ 为伽玛函数。人们普遍认为，焊点疲劳是焊点在结构和电气方面失效的主要原因（Tummala，2001）。

焊点疲劳寿命可以在 Coffin-Manson 方程（Manson & Coffin 1965，1954）中用非弹性剪切力来描述。Coffin-Manson 方程为

$$N_{\mathrm{f}}=\frac{1}{2}\left(\frac{\Delta\gamma}{2\varepsilon_{\mathrm{f}}'}\right)^{1/c} \tag{9.4}$$

式中，$N_{\mathrm{f}}$为疲劳失效时的循环次数；$\Delta\gamma$ 为非弹性剪切应变；$\varepsilon_{\mathrm{f}}'$ 为疲劳延性系数；$c$ 为疲劳延性指数。人们还提出了许多其他基于应变的疲劳方程，其中常用的是 Solomon 模型（Soloman，1986）：

$$N_{\mathrm{f}}=\left(\frac{\theta}{\Delta\gamma_{\mathrm{p}}}\right)^{1/\alpha} \tag{9.5}$$

式中，$\Delta\gamma_p$为非弹性剪切应变率；$\theta$和$\alpha$均为常数。

使用底部填充胶可使焊点在热循环中的寿命延长至少一个数量级[10]。人们发现，在采用底部填充的倒装芯片封装体中，疲劳寿命高度依赖于底部填充胶的材料特性。Nysaether 等人的分析模型[11]表明，不含填充料的底部填充胶可使寿命延长5~10倍，而含有填充料的低 CTE 底部填充胶能使寿命延长20~24倍。无论底部填充胶样品中是否有填充料，焊点的寿命几乎为常数，与焊点距芯片的中心距离（DNP）无关。这表明底部填充胶有效地耦合了焊点间的应力。

目前，已开发出许多数值模型用来研究含有底部填充胶或不含底部填充胶的倒装芯片封装体的疲劳寿命。为了将正确的材料特性参数输入到数值模型中，需要认真研究底部填充胶聚合材料的性质。聚合物材料的模数不仅与温度有关，还与时间有关，即聚合物材料是一种粘弹性材料。通常使用热分析仪（TMA）和动态机械分析仪（DMA）来研究底部填充胶材料的粘弹性质。Dudek 等人研究了4种已商业化的电子聚合物，并用有限元分析方法研究了芯片尺寸和底部填充胶材料特性对板上倒装芯片封装的热力学可靠性的影响[12]。他们研究发现，尽管使用底部填充胶可以有效减小剪切应变，但它还会使焊料凸点在由热循环所致的伸缩作用下沿基板横向产生蠕变应变。这一应力是由焊点与底部填充胶/阻焊层（焊料掩膜）之间热膨胀系数不匹配所致。与焊料的热膨胀系数（$22\sim26\times10^{-6}/℃$）相匹配的底部填充胶在蠕变应变方面能够提供最佳热循环寿命。

倒装芯片封装体中底部填充胶的作用在于应力再分布，而不是减小应力。坚硬的底部填充胶材料将器件与基板连接起来，将焊点所受的剪切应力转化为整个基板上的弯曲应力。底部填充胶在热固化时的收缩及固化后冷却时热膨胀系数不匹配，都会给硅芯片带来很大的应力，使得芯片中在某种情况下出现裂纹。Palaniappan 等人利用带有压阻式压力传感器的测试芯片对倒装芯片组件进行了原位应力测试[13]。该项研究结果表明，底部填充胶的固化工艺会在芯片有源面表面产生压力，在倒装芯片中呈现复杂凸面的弯曲状态，所测量到的应力水平可致芯片破裂。芯片的残余应力与底部填充胶的热膨胀系数、模数及 $T_g$ 有密切联系。Mercado 等人从对 PBGA 倒装芯片封装体中芯片边缘破裂的有限元分析中也得出结论。即水平硅成品的能量释放速率随着底部填充胶的模数和热膨胀系数的增大而增大[14]。

除了由温度引起的热机械失效之外，由潮湿所引起的失效，如分层和腐蚀都是倒装芯片封装体常见的问题。通常用高加速应力试验（Highly Accelerated Stress Test，HAST）来检测温度和湿度对封装体的影响。该测试的条件苛刻，如高温、高湿和高压。典型试验条件为，121℃，相对湿度（Relative Humidity，RH）为100%，2atm㊀。此项测试也叫做高压炉测试（Pressure Cooker Test，PCT）。被聚合材料吸收的湿气能够水解芯片与底部填充胶间的界面连接，从而在芯片拐角处出现

---

㊀ 标准大气压，1atm = 101.33kPa。

分层，进而促进湿气沿着界面扩散。界面处的湿气能够腐蚀焊点和基板上的金属导线。分层使底部填充胶与硅芯片分离，并在四周的焊点上产生应力集中，使得这些焊点过早失效。被吸收的湿气还能引起吸湿溶胀。Lahoti 等人用有限元分析研究了湿度和温度对 FCBGA 封装可靠性的复合影响。仿真结果揭示了由潮湿引起的张力对底部金属层（Under Bump Metallurgy，UBM）和层间介质（Inter Layer Dielectric，ILD）的重要性[15]。

底部填充胶与各种材料（如芯片钝化层、焊料和基板上的阻焊膜（焊料掩膜））间界面分层，是底部填充倒装芯片封装失效的主要原因之一。提高其在温湿度老化条件下可靠性的方法之一，就是向底部填充胶中添加粘合促进剂或偶联剂来增加底部填充胶对其周围材料的粘性。Luo 等人研究了 6 种不同偶联剂及其对底部填充胶的影响。他们发现添加偶联剂能够明显改变底部填充胶的固化条件曲线和底部填充胶的整体特性，如 $T_g$ 和模数。偶联剂在粘着力及经温湿度老化后粘着力保持方面的效果，与偶联剂的类型及接触表面有密切联系。添加钛酸盐和锆酸盐的偶联剂，能提高环氧基底部填充胶对苯并环丁烯（BCB）硅钝化层的粘着力。尽管如此，在双 85（85℃，85% RH）老化试验后，添加这些偶联剂的底部填充胶对聚酰亚胺（PI）钝化面的粘着强度仍会下降[16]。

总的来说，许多研究结果表明，底部填充胶的材料特性是决定封装体可靠性的关键因素之一。表 9.1 给出了倒装芯片封装所需的底部填充胶材料特性的基本准则。尽管如此，我们必须认识到在可靠性测试中有多种不同的失效模式共存。这些不同的失效模式对底部填充胶特性的需求可能是互相冲突的。例如，一方面，为了有效地耦合焊点的应力，需要高模数的底部填充胶；而另一方面，高模数底部填充胶会带来高残余应力，导致芯片破裂。填充料含量则是另一个例子，对低 CTE 底部填充胶的需求意味着填充料含量大。尽管如此，填充料含量高的底部填充胶的粘度较大，会给施胶带来难度。其结果可能是会引起可靠性问题的底部填充胶空洞或不均匀。因此，对底部填充胶的选择主要取决于它的应用，如芯片尺寸、钝化材料、基板材料、焊料类型和封装体在实际应用中所处的环境条件等。

**表 9.1 倒装芯片封装所用的底部填充胶的特性**

| 固化温度 | <150℃ |
|---|---|
| 固化时间 | <30min |
| $T_g$ | >125℃ |
| 使用寿命（25℃下，粘度加倍） | >16h |
| CTE（$\alpha_1$） | $22\sim27\times10^{-6}$/℃ |
| 模数 | 8~10GPa |
| 断裂韧度 | >1.3MPa·$m^{1/2}$ |
| 吸湿率（8h，沸水） | <0.25% |
| 填充料含量（质量分数） | <70% |

## 9.4 底部填充胶面临的新挑战

随着半导体硅技术向低于0.1μm特征尺寸发展，对封装的需求也在提高，如未来倒装芯片凸点间距变窄、凸点尺寸更小、芯片尺寸更大。因此，毛细管底部填充工艺面临巨大的挑战。如前文所述，当芯片尺寸增大及芯片与基板间距减小时，底部填充胶流动问题会更加严重。在倒装芯片的新发展中，无铅焊接和低 $k$（介电常数）层间介质/Cu 给底部填充胶带来了新挑战[17]。

高铅焊料和锡铅共晶焊料已广泛应用于芯片封装互连。近年来，针对有毒有害物质的环保法案和消费者对绿色电子产品的需求推动了行业向无铅焊料转移。目前，已开发出使用锡、银、铜、铋、铟和锌多种元素制作而成的化合物作为替代的无铅焊料。这些无铅焊料在焊接工艺中所需的回流温度，比人们所熟知的锡铅合金高。表9.2列出了一些常见的无铅焊料。

表9.2 可能的无铅合金焊料

| 合 金 | 熔 点 |
|---|---|
| Sn96.5Ag3.5 | 221℃ |
| Sn99.3Cu0.7 | 227℃ |
| SnAgCu | 217℃（三元共晶） |
| SnAgCuX(Sb，In) | 依组分而异，通常在210℃以上 |
| SnAgBi | 依组分而异，通常在200℃以上 |
| Sn95Sb5 | 232~240℃ |
| Sn91Zn9 | 199℃ |
| Bi58Sn42 | 138℃ |

在这几种候选的无铅焊料中，近三元共晶 Sn-Ag-Cu（SAC）合金成分（其熔点为217℃）正成为人们的一致选择。最佳组分95.4 Sn3.1Ag1.5Cu 焊料能够提供良好的机械强度、抗焊点疲劳和可塑性[18]。此外，该合金有足够的供应量及适当的润湿特性。

SnAgCu 焊料的使用给倒装芯片组装工艺带来两个主要挑战。首先，由于该合金的熔点比 SnPb 共晶焊料合金的熔点高30℃以上，所以工艺温度提高了30~40℃。这种高工艺温度对基板的影响很大，因为传统 FR-4 材料的玻璃态转化温度约为125℃，也会给所安装的芯片带来很大的热应力。基板在温度较高的回流工艺过程中的弯曲程度会增大。目前，有很多对适用于无铅工艺的高 $T_g$ 基板的研究。其次的挑战是助焊剂的化学成分。由于目前使用的助焊剂是为 SnPb 共晶焊料而设计的，因此这些助焊剂要么活性不够，要么在高温下没有足够的热稳定性。所以，

与Sn/Pb共晶焊料相比，总体来说无铅焊料的润湿性较差[19,20]。

在无铅焊料互连的趋势下，倒装芯片封装中所用的底部填充胶面临着与较高的回流温度相兼容的新挑战。由于较高温度的回流会使材料老化、吸湿及机械膨胀更加严重，从而给器件带来损害。因此，需要增强底部填充胶的热稳定性、与各种界面的粘附性、强度和断裂性能。SAC合金的塑性变形与共晶锡铅焊料不同。与锡铅焊料相比，SAC合金焊料在低应力水平下的蠕变变形较小，而在高应力水平下的蠕变变形较大。这就意味着底部填充胶的选择将取决于其应用需求。温差较大且保温时间较短的热循环会引起更大的蠕变，因此更加需要底部填充胶的保护[21]。由美国英特尔（Intel）公司[22]发起的对无铅应用中底部填充胶材料的评估，描述了在湿度敏感等级三级（MSL3）内经260℃回流后出现的主要失效模式。分层几乎是器件在高温回流后最常见的失效模式，此失效还与填充物及偶联剂含量低相关。一般而言，填充物含量较高（热膨胀系数低、高模数及低吸湿）且粘接性好的材料能够与无铅工艺相兼容。

随着IC制造朝着小尺寸和高密度方向发展，互连延迟成为了主要矛盾，由此带来了对新互连材料和层间介质材料的需求。人们已成功应用冶金铜和低*k*层间介质来提升元器件的工作速度并降低功耗。与传统的层间介质材料（如$SiO_2$）相比，这些材料通常倾向于多孔、易碎，其CTE较高而机械强度较低。低*k*层间介质与硅芯片间的热膨胀系数不匹配会在界面处产生较高的热机械应力。所以，底部填充胶的选择变得尤为关键。因为它不仅通过应力再分布的方式保护焊点，而且还为低*k*层间介质及其与硅的界面提供保护。在底部填充胶的材料特性中，影响低*k*层间介质封装可靠性的重要材料特性有$T_g$、CTE和模数。尽管如此，人们对这些材料特性最佳搭配仍然存在争议。

Tsao等人为低*k*倒装芯片封装评估了5种底部填充胶[23]。模拟和试验均表明，玻璃态转化温度（$T_g$）低且应力耦合指数低的底部填充胶在低*k*倒装芯片封装中表现出更好的可靠性。有两款$T_g$适当低一点（$T_g$在70~120℃）的底部填充胶在保护焊点及低*k*界面层方面具有很好的潜力。一方面，$T_g$很低（<70℃）的底部填充胶在热循环测试中不能起到保护焊点的作用。另一方面，由美国LSI Logic公司和德国汉高（Henkel Loctite（现已更名为Henkel））公司进行的一项研究表明，高$T_g$且低模数的底部填充胶则有益于低*k*倒装芯片[24]。低模数底部填充胶的封装应力较小，因而降低了低*k*层间介质层的应力，从而避免了底部填充胶分层及芯片破裂。$T_g$较高的底部填充胶在温度循环过程中保持较低的热膨胀系数（CTE），从而避免焊点疲劳。由德国Henkel公司开发的高$T_g$、低模数的底部填充胶具有很好的可制造性，且在封装质量鉴定测试（包括JEDEC预处理、热循环、湿度偏置试验和高温贮存）中表现出良好的可靠性。虽然倒装芯片和底部填充胶面临着这些新挑战，毛细管底部填充工艺仍然是倒装焊器件的主要封装技术。尽管如此，引脚间距和间隙高度的不断缩小，终将阻碍毛细管流。目前，业内已开始寻找毛细管型

底部填充胶的替代材料。接下来的几节描述了底部填充胶在材料和工艺方面的最近进展。

## 9.5　不流动底部填充

Pennisi 等人在美国摩托罗拉公司的支持下于 1992 年获得了关于集成助焊剂和底部填充胶的专利[25]，由此引发了人们对不流动底部填充工艺的研究和开发。首个不流动填充工艺，是由 Wong 等人在 1996 年公布的[26]。其工艺步骤原理如图 9.6 所示。与传统工艺中在芯片完成组装后再施胶所不同的是，在不流动底部填充工艺中，在芯片贴片前先在基板上施放底部填充胶。然后，将芯片对准后放置到基板上，再把整个组件通过回流焊接炉。在回流焊接炉中芯片与基板间通过焊料凸点形成互连，同时底部填充胶得以固化。这种新颖的不流动工艺去除了施放助焊剂和助焊剂清洗这两个独立的工艺步骤，避免了底部填充胶的毛细管流，并最终将焊料凸点回流和底部填充胶固化合并为一个单独的工艺步骤，从而提高了底部填充工艺的生产效率。这使倒装芯片与表面组装技术（SMT）兼容性向前迈进了一步。

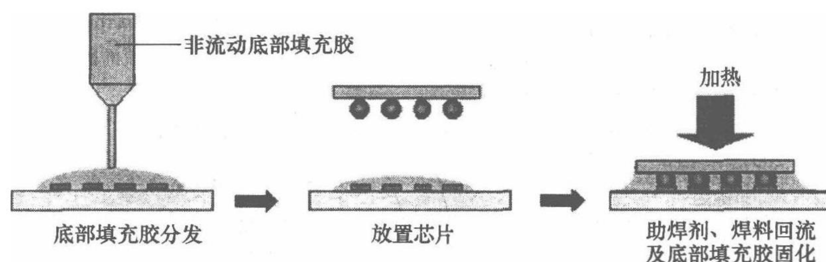



图 9.6　运用不流动底部填充胶的倒装芯片工艺

不流动底部填充工艺成功的关键在于底部填充胶材料。佐治亚理工学院（Georgia Institute of Technology）Wong 和 Shi 申请了首个关于不流动底部填充胶材料的专利[27]。不流动底部填充胶这种新工艺成为可能的两个关键特性是，潜性固化能力和固有助焊能力。不流动底部填充工艺的特性需要底部填充胶有足够长的反应潜伏期来保持低粘度，直至焊点形成。然而，胶状的底部填充胶会阻碍熔化的焊料坍塌到接触焊盘上，使焊点形成率较低。另一方面，由于后固化工艺步骤会花费额外的离线工艺时间，从而增加工艺成本，所以需要取消后固化工艺步骤。人们已经为不流动底部填充胶开发出了环氧树脂中所用的潜在催化剂。在 Wong 和 Shi 所设计的材料体系中，Co（Ⅱ）的乙酰丙酮化物被用作为潜在催化剂[28,29]，为不流动底部填充胶提供足够的固化潜伏期。金属螯合物的优点，不仅在于它促进潜伏固化能力，而且它还能为胶体提供较宽的固化（温度）范围。通过开发不同的金属原子和金属螯合物，可以把不同的环氧树脂的固化行为调整到适合无铅焊料凸点倒

装芯片封装应用中[30]。由于无铅焊料熔点通常比 SnPb 共晶焊料的高，无铅焊料凸点倒装芯片中的不流动底部填充胶需要有较长的固化潜伏期来确保无铅焊料润湿焊盘。Z. Zhang 等人研究了 43 种不同金属螯合物，并研制了一种与无铅回流焊接工艺兼容的不流动底部填充胶[30]。目前，已成功使用不流动底部填充胶制作出无铅凸点倒装芯片[31]。

尽管不流动底部填充胶的固化工艺很重要，但关于固化动力学及其与固化温度曲线之间关系的研究却很少。Zhang 等人利用自催化固化动力学模型（该模型参数与温度有关）来预测不流动底部填充胶在焊料回流工艺中的固化程度（Degree of Cure，DOC），试图找到描述不流动底部填充胶固化工艺的系统方法[32]。图 9. 7 给出了某种不流动底部填充胶在 SnPb 共晶焊料和无铅焊料回流工艺中固化程度（DOC）的计算结果。若底部填充胶在焊料熔点时的固化程度（DOC）比胶凝点低，则熔化的焊料能够润湿基板并形成互连。另一种则是 Morganelli 等人利用微双测电法对不流动底部填充胶的粘度进行原位测量[33]。由于粘度与离子导电率有关，可利用底部填充胶的介电特性对回流工艺中的不流动底部填充胶进行原位测量，从而能够预测焊料的润湿作用。

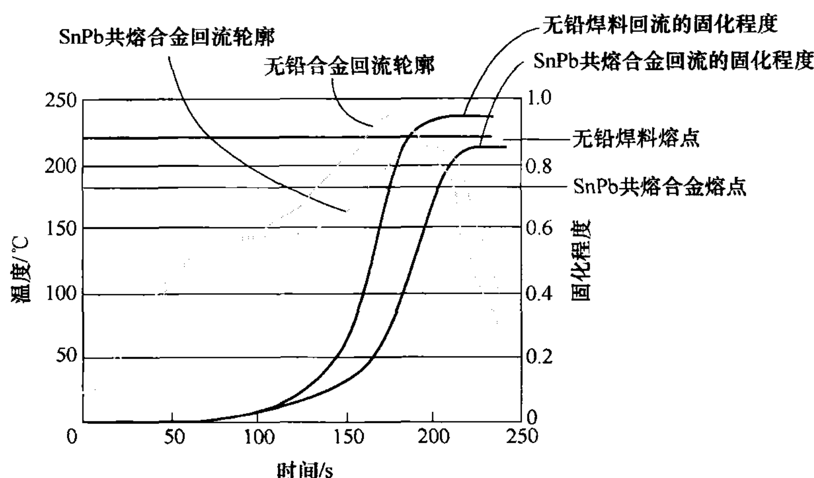



图 9. 7 不流动底部填充胶分别在 SnPb 共晶焊料和无铅焊料回流工艺中的固化程度（DOC）曲线

不流动底部填充胶的另一个重要特性是助焊能力。在传统倒装芯片工艺中，助焊剂被用来减少和清除焊料及焊盘中的金属氧化物，并防止它们在高温下再次被氧化。不流动底部填充胶无需使用助焊剂，而是在贴片前置于基板上。因此，不流动底部填充胶需要有一定的自助焊能力来帮助焊料润湿。为了实现这一目标，人们已在研究开发可回流固化的环氧助焊剂[34]。Shi 等人对不流动底部填充胶材料的助焊剂进行了广泛的研究[35-37]，包括铜焊盘表面的复合材料与不流动底部填充胶助焊

能力的关系，以及添加助焊剂对固化工艺的影响和不流动底部填充胶的材料特性。

一直以来，不流动底部填充胶已受到电子封装业的许多关注。经常可以在不流动底部填充倒装芯片封装体中发现空洞。这些空洞可能是因底部填充胶释放的气体、基板中的湿气所致或是组装过程中形成的空洞等。这些空洞通常附在焊料凸点上或在两个焊料凸点之间[38,39]。图9.8所示为用扫描声学显微镜观察到的不流动底部填充封装体中空洞的例子。底部填充胶中的空洞，尤其是那些靠近焊料凸点的空洞会导致各式各样的早期失效，如应力集中、底部填充胶分层和焊料挤压。研究表明，相邻焊料凸点间的空洞引起的焊料凸点挤压可能会导致焊点桥接[40]。影响空洞的材料和工艺因素复杂，且各因素间相互影响。研究表明，当固化潜伏和回流温度均较高时，酐（无水物）所释放的气体会引起严重的空洞。因此，在无铅回流工艺中空洞问题更加突出[41]。影响不流动底部填充工艺中底部填充空洞的重要工艺参数包括，底部填充胶的施胶方式、阻焊膜（焊料掩膜）设计、贴片压力和速度和回流温度曲线等[42,43]。在组装前，需要烘烤除去所有湿气，从而避免来自基板的空洞[39]。研究表明，在某些情况下，需要通过快速凝胶来尽可能避免空洞；然而在其他情况下，延长高温持续时间可驱除空洞[44,39]。总之，在恰当的材料和工艺参数的情况下，可最小化不流动底部填充工艺中的空洞。尽管如此，工艺窗口通常很窄。由R. Zhao等人所提出来的很重要的一点就是，对于小电路板，其温度分布较均匀，可相对容易地得到较好的回流温度曲线；然而对于含有多种器件的SMT组件和板子上存在很大的热量差异的情形，回流工艺的优化则面临着巨大的挑战[31]。

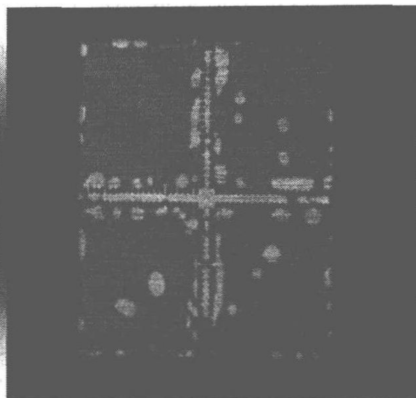


图9.8 不流动底部填充封装体的扫描声学显微镜的图像（亮点为底部填充胶空洞）

对于不流动底部填充倒装芯片封装的可靠性已有许多评估报告。这些报告存在差异的原因在于，不流动底部填充封装的工艺和可靠性主要取决于封装密度，包括芯片尺寸、间距和焊盘的表面涂层等。在对不流动底部填充最早的报告中，D. Gamota和C. Melton对比了传统底部填充封装体与不流动底部填充封装体的可靠性和典型失效模式[45]。他们发现，在传统底部填充封装组件中，失效主要是由底部填充胶与芯片钝化层界面的分层导致的。尽管如此，在不含填充物的不流动底部填充封装体中，界面的完整性很好，组件失效主要是由靠近PCB处的焊点破裂所致。由于不流动底部填充胶中不含填充物，其热膨胀系数（CTE）较高。他们认为，芯片、底部填充胶和PCB之间在局部区域的热膨胀系数不匹配产生了局部高应力场，从而导致焊点破裂。不含二氧化硅填充物或填充物含量很小的不流动底部

填充胶，不仅热膨胀系数高，且断裂韧度低[46]。加上热膨胀系数高度不匹配，低断裂韧度会导致在底部填充胶体中及底部填充的圆角处出现开裂。圆角处开裂会引起底部填充胶和芯片钝化层表面或底部填充胶与基板间出现分层，而底部填充胶体中开裂则会引发焊点开裂和焊点桥接[47]。这些都是不流动底部填充倒装芯片封装中的常见失效模式。人们通过向不流动底部填充胶中添加增韧剂来努力增强它的韧性[48]。人们对不流动底部填充胶的玻璃态转化温度（$T_g$）对封装可靠性的影响仍存在争议。通常认为底部填充胶的玻璃态转化温度应该大于温度循环的上限（125℃或150℃），以确保在可靠性测试中保持一致的材料特性。尽管如此，一些测试结果表明，玻璃态转化温度较低（70℃）的底部填充胶材料在液体-液体热冲击（Liquid-to-Liquid Thermal Shock，LLTS）试验中的表现更好些[49]。由 Zhang 等人对非酐基不流动底部填充胶的研究也表明[50]，高玻璃态转化温度不是封装所需的必要条件。温度高于 $T_g$ 时的底部填充胶与温度低于 $T_g$ 时的底部填充胶相比，尽管热膨胀系数高得多，但其模数则明显减小。因此，当环境温度超过其玻璃态转化温度时，底部填充胶中的总体应力未必会增加。但是，高玻璃态转化温度会使得底部填充胶经固化冷却后的残余应力较大，从而导致底部填充胶过早开裂。

### 9.5.1 向不流动底部填充胶中添加二氧化硅填充物的方法

之前的研究已表明，在底部填充倒装芯片中材料特性与封装可靠性之间的相互关系非常复杂。由于各材料特性之间常常互相联系，因此很难单独确定每个因素的影响。尽管如此，人们一般认为热膨胀系数低且模数高的底部填充胶有助于获得高可靠性互连[51]。因此，向底部填充胶中添加二氧化硅填充物对于增强可靠性是很有必要的。然而，由于在不流动工艺中底部填充胶在贴片之前就已经施放在基板上，填充物很容易滞留在焊料凸点与焊盘之间，从而阻碍焊点的形成[52]。热压回流焊（Thermo Compression Reflow，TCR）已用于清除焊点处的二氧化硅填充物[53]，工艺步骤如图 9.9 所示。在热压回流焊工艺中，底部填充胶被施放在预热过的基板上，然后吸取芯片并将其键合到基板上，并在高温下向其施加一定时间的压力以形成焊点。之后，再对组件进行后固化处理。键合压力和温度是影响成品率的重要参数。日本 NAMICS 公司的 Kawamoto 等人进行了一项仔细的研究，来确定填充物对像热压回流不流动底部填充工艺中焊点连接的影响[54]。在此项研究中使用了两种不同尺寸的二氧化硅填充料，各自的含量也不相同。研究发现，含有未经表面处理的填充物（60%（质量分数））的底部填充胶能够获得良好的焊点连接。较小的填充物会增加底部填充胶的粘度，并且相同重量比含量的情况下填充物颗粒数较多，使得滞留在焊点中的填充物增加。该研究还发现对填充物进行恰当的表面处理能够降低填充物含量高的底部填充胶的粘度，增加成品率。

人们还开发了其他向不流动底部填充胶中添加二氧化硅填充物的方法。在一个新申请专利的工艺中，Z. Zhang 等人使用了一种双层不流动底部填充工艺[55]。在

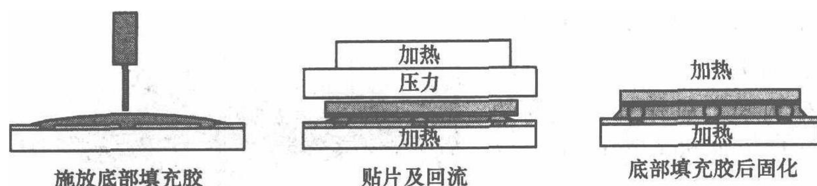



图9.9　倒装芯片热压回流焊工艺步骤

该工艺中运用了两层不流动底部填充胶，底层的底部填充胶粘度相对较高且不含二氧化硅填充物。首先将底层的底部填充胶施放在基板上，再施放含有二氧化硅的上层底部填充胶；然后，把芯片贴装到基板上并进行回流焊。在回流焊的同时形成焊点并固化或部分固化底部填充胶。此工艺流程如图9.10所示。事实证明使用含65%（质量分数）二氧化硅的上层底部填充胶可以获得高成品率[56]。对该工艺的深入研究表明，影响双层不流动底部填充工艺互连成品率的因素复杂且相互影响[57]。此工艺的工艺窗口小，底层底部填充胶的厚度和粘度是影响焊料凸点润湿的关键。当然，此工艺增加了一个倒装芯片工艺步骤从而工艺成本较高。

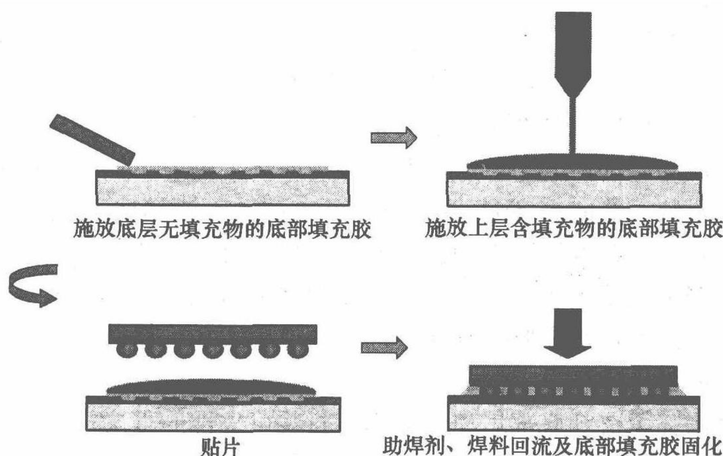



图9.10　双层不流动底部填充工艺

最近在纳米科技方面的进步，使得人们可以在相关的材料和电子封装方面进行创新研究。研究发现表面改性后的纳米二氧化硅填充物可与热固性树脂混合，从而有利于这些不粘接颗粒获得均匀一致的分布。作为不流动底部填充胶，纳米复合材料使得填充物含量达50%（质量分数）时仍能获得良好互连成品率[58]。这种由美国3M公司开发的高性能不流动底部填充胶使用的是123nm的二氧化硅填充物。当填充物含量为50%（质量分数）时，材料的CTE为$42\times10^{-6}$/℃，能在PB10（5mm×5mm，四周64个凸点）芯片上获得良好的互连成品率。

美国3M公司和美国佐治亚理工学院（Georgia Tech）对掺有纳米二氧化硅的

不流动底部填充胶的工艺和可靠性进行了联合研究[59]。图 9.11 所示为一张含有纳米二氧化硅填充物的不流动底部填充胶的扫描电子显微镜（SEM）图。含有纳米二氧化硅填充物的底部填充胶在气体-气体热循环（Air-to-Air Thermal Cycling，AATC）试验中的寿命延长了 1.5 倍。尽管纳米复合不流动底部填充胶材料在与 SMT 相兼容的不流动底部填充工艺中在高可靠性方面有良好的前景，但人们对纳米二氧化硅与焊点及底部填充胶的相互作用机理仍不是十分了解。由于纳米颗粒的比表面积大且容易聚结成不规则的团状，这使得填充物很难掺入到粘合剂中，因而对纳米二氧化硅颗粒进行表面处理对于配制底部填充胶很重要。Sun 等人对用于底部填充胶的纳米级二氧化硅的表面改性进行了基础研究[60]。他们发现，表面处理的类型是影响组分特性的主要因素。通过使用环氧硅烷，他们发现底部填充胶的粘度明显下降。

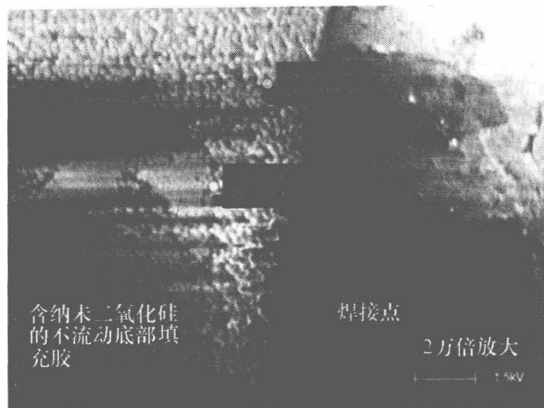



图 9.11 含纳米二氧化硅的不流动底部填充胶的焊点 SEM 图

总之，不流动底部填充工艺的发明极大地简化了倒装芯片底部填充工艺，并推动了倒装芯片封装工艺向着 SMT 发展。一个成功的不流动底部填充工艺，需要人们仔细研究材料和工艺参数。人们已对倒装芯片不流动底部填充组件的材料、工艺和可靠性方面努力做了大量研究。由于不流动底部填充胶不含二氧化硅填充物，因此其性能与传统的底部填充胶的性能不同，失效模式和可靠性方面的问题通常也与传统倒装芯片底部填充组件不同。

有好几种增强不流动底部填充倒装芯片封装可靠性的方法。方法之一，就是在底部填充胶的其他性能不降级的条件下，增强其断裂韧度从而避免底部填充胶在热循环中开裂。或者，用低 $T_g$ 且低模数材料来减小底部填充胶中的应力。尽管如此，这种方法没有让底部填充胶起到应力再分布层的作用。虽然这的确减小了底部填充胶中的应力，但尤其是对那些芯片尺寸大、I/O 端口多且间距尺寸小的应用场合，它不能避免焊点在热/机械应力下的疲劳失效。另一种方法，则是向底部填充胶中添加二氧化硅填充物，并调整传统底部填充胶的各个特性。为了克服填充料滞留现象，人们已开发出多种不同的方法。尽管如此，这些方法却难以用 SMT 技术来实现，且减弱了不流动底部填充工艺低成本的目的。掺有纳米二氧化硅的不流动底部填充胶，通过与 SMT 技术兼容的不流动底部填充工艺，可实现高可靠性的倒装芯片封装。然而，人们对纳米二氧化硅及其与底部填充胶和焊点之间相互作用的基本原理的了解还很缺乏，因此需要通过深入研究来优化材料和工艺。

## 9.6 模塑料底部填充

环氧模塑料（Epoxy Molding Compound，EMC）已被用作器件封装材料很长时间了。把模塑料和底部填充胶两者结合起来，这一新颖的想法催生了模塑底部填充工艺[61,62]。通过传递模塑工艺将模塑底部填充胶应用于倒装芯片封装中。其中，模塑料不仅填充芯片与基板间的间隙，而且还包覆整个芯片[63]。该工艺的优点在于将底部填充工艺与传递模塑工艺合并成一个工艺步骤，从而减少了工艺时间并提升了机械稳定性[64]。它还使用了早已被证明能提供优良的封装可靠性的环氧模塑料（EMC）。与含有50%～70%（质量分数）二氧化硅填充物的传统底部填充胶相比，模塑底部填充胶的填充物含量可以更高（高达80%（质量分数））从而能够提供与基板及焊点相匹配的低热膨胀系数。而与传统模塑料相比，模塑底部填充胶需要小尺寸的填充物，这也能使材料的热膨胀系数降低[65]。模塑底部填充胶尤其适用于倒装芯片封装来提高生产率。据称，与传统底部填充工艺相比，使用模塑填充工艺能使生产效率提高四倍[66]。

除了使用的材料不是仅填充芯片与基板间隙的液体包封材料而是包覆整个器件的塑封料之外，模塑底部填充工艺在模具设计及工艺方面均类似于加压底部填充工艺[67]。图9.12所示为使用模塑底部填充工艺的FCBGA器件的模具设计。

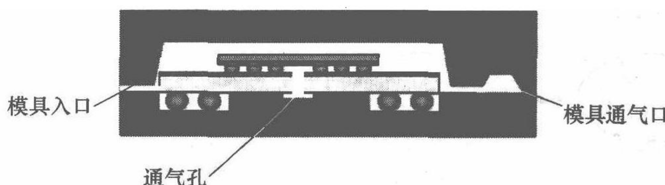



图9.12　模塑底部填充FCBGA的模具设计

模具设计所面临的挑战：倒装芯片的几何图形对模塑流的阻碍较大，以至于可能在芯片下面产生滞留的气泡。事实上，可以用声学显微镜观察到模塑底部填充胶中的气泡[68]。有几种模塑工艺可用于将这种几何图形的影响最小化[69]。一是使用图9.12所示的模具通气孔及几何图形优化使得芯片上面与下面的流体阻力相当。二是可以采用真空模塑方法来避免空气残留在芯片下面。另一种方法则是在基板上设计一个如图9.12中所示的通气口。尽管这需要对基板进行特殊设计，但该方法已经证实是可靠的，且为人们所普遍采纳。

模塑底部填充工艺中的重要工艺参数包括，模具温度、夹持力、注塑压力[53]。提高模具温度有助于降低模塑料的粘度，从而改善模塑料的流动特性并减小模塑料对焊点的应力。尽管如此，模具温度上限是焊料熔点（$T_m$）。如果温度达到焊接材料的熔点附近，在较高的注塑压力情况下焊料可能会熔化，甚至芯片会被挤离原来

位置。在高模具温度和高夹持力的条件下，低 $T_g$ 的基板也容易受到损坏。模塑料的溢流可能会沾污基板上的其他接触焊盘或测试焊盘。在高注塑压力情况下，会出现凸点裂纹和芯片裂纹。总之，只有正确选择材料、优化模具设计及填充工艺，才有可能使模塑底部填充工艺获得成功。但由于能够节约成本并增加可靠性，模塑底部填充工艺正引起业界为此付出巨大的努力。

## 9.7 圆片级底部填充

不流动底部填充胶的发明去除了毛细管流，并把助焊、焊料回流和底部填充胶固化整合为一个工艺步骤，大大地简化了底部填充工艺。尽管如此，如前文所述，不流动底部填充有其固有的缺点（包括不能实现大量的填充物），而这对封装体可靠性来说恰恰是个大问题。而且，不流动底部填充工艺还需要单独的施胶工艺步骤，因此不能完全用标准 SMT 设备来实现。为此，人们提出了一个更好的概念——圆片级底部填充。它与 SMT 工艺兼容，并能实现低成本和高可靠性[70-73]。其工艺步骤如图 9.13 所示。在此工艺中，通过使用恰当的方法（印制或涂覆），预先把底部填充胶转移到已凸点化的圆片上或没有焊料凸点的圆片上。然后，将底部填充胶预聚合，并将圆片切割成单个的芯片。对于尚未制作凸点的圆片，需要在划片前制作凸点。此时底部填充胶可用作掩膜。之后，通过标准 SMT 组装设备把单个芯片贴装到基板上。

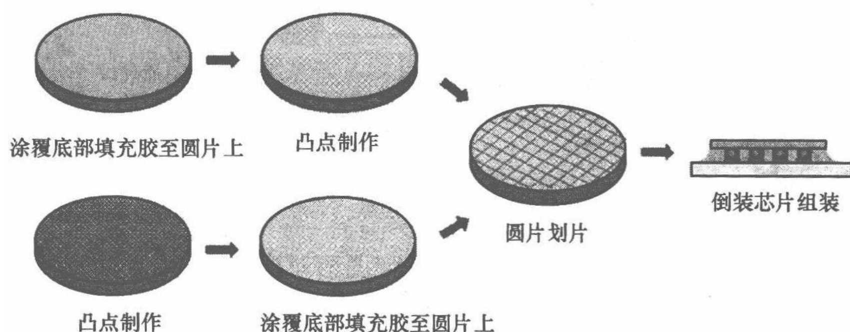
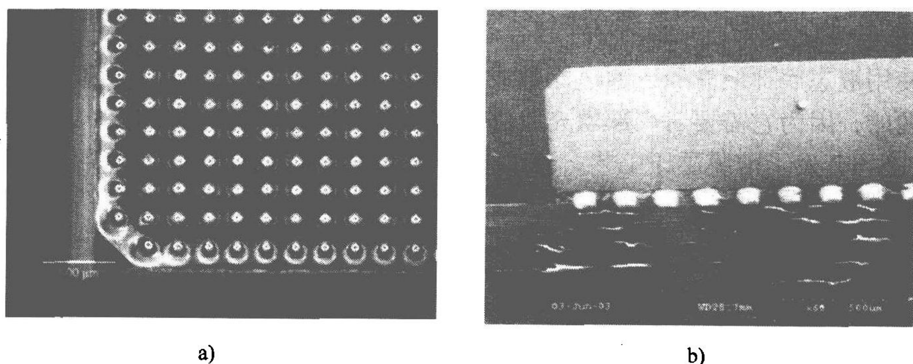



图 9.13 圆片级底部填充工艺步骤

在某种类型的 WLCSP 中，在圆片上使用一层聚合物对 I/O 端口进行再分布和/或用来增强封装的可靠性。然而，这层聚合物通常没有与基板粘接在一起，不能把它看做是底部填充胶。这里所讨论的圆片级底部填充胶是指，将芯片与基板粘接在一起的胶。它起着应力再分布层的作用而不是应力缓冲层。圆片级底部填充胶的诱人之处在于，它能实现低成本（因为它不需要对后道工艺进行重大改变）和底部填充封装组件的高可靠性。尽管如此，圆片级底部填充仍然面临材料和工艺方面的重大挑战，包括均匀地把底部填充胶涂覆在圆片上，底部填充胶的预聚合工艺，划

片及预聚合的底部填充胶贮存，底部填充胶的助焊能力，贮存寿命，焊料润湿，对无后固化的需求和可返修性等。由于圆片级底部填充工艺把封装生产线的前道和后道的一些工序集合在封装中，因此它需要芯片制造、封装公司、材料供应商密切配合、协同研究。目前，已有一些在该领域的合作研究项目[74-76]。本节中给出了几种致力于解决上述问题的新颖方法及一些圆片级工艺例子。

在大多数圆片级底部填充工艺中，在圆片划片前必须对涂覆的底部填充胶进行预聚合。预聚合工艺通常包括对底部填充胶的部分固化、溶剂蒸发或两者都有。为了便于划片、贮存和处理，预聚合后的底部填充胶必须像固体一样具有一定的机械完整性和稳定性。然而，在最后组装时，需要底部填充胶具有“可回流性”。例如，能够熔融并流动，以使焊料凸点能够润湿接触焊盘并形成焊点。因此，固化工艺的控制和底部填充胶的预聚合特性都是圆片级底部填充工艺成功应用的关键。美国佐治亚理工学院（Georgia Tech）的一项研究中，利用固化动力学模型来计算不同底部填充胶在焊料回流工艺中固化程度的变化[77]。另外，还评估了底部填充胶的胶凝作用，同时也评估了焊料在回流过程中的润湿能力，并用试验加以确认。基于预聚合工艺的工艺窗口和预聚合底部填充胶的材料特性，人们已成功开发出一种圆片级底部填充胶材料和工艺。用所开发的圆片级底部填充胶组装间距为 200μm 的全面阵列倒装芯片如图 9.14 所示。



a)　　b)

图 9.14　用圆片级底部填充胶组装间距为 200μm 的全面阵列倒装芯片
a）圆片级涂覆底部填充胶的圆片（凸点间距为 200μm）光学图像
b）芯片组装到基板上的焊点截面图

上述研究表明，对圆片级底部填充胶的预聚合工艺的控制，是实现良好的划片和贮存特性及板级组装焊料互连的关键。图 9.15 所示的是一种避免在未完全固化的底部填充胶时进行划片的工艺，即由美国 Motorola 公司、美国 Loctite 公司和美国奥本（Auburn）大学共同开发的圆片级可返修助焊型底部填充工艺[74]。由于尚未固化的底部填充胶会吸收湿气并可能导致组件中出现空洞，所以在此工艺中涂覆底部填充胶之前先对晶圆进行划片。涂覆时，先把助焊剂用丝网或模版印制涂敷在焊

球上，底部填充胶采用块状形式覆盖在晶圆上。块状底部填充胶是用修正后的模板印制制备的，以保持切割道清洁。助焊剂与块状底部填充胶分开，是为了维持块状底部填充胶的寿命，以及防止在焊料凸点顶部沾上底部填充胶中的填充料，从而确保在倒装芯片组件中的焊点连接。在此工艺中，不需要向板子上添加额外的助焊剂。因此，在倒装芯片键合工艺中底部填充胶必须是粘性的，以确保芯片与基板的接触（如前文所讨论的）。

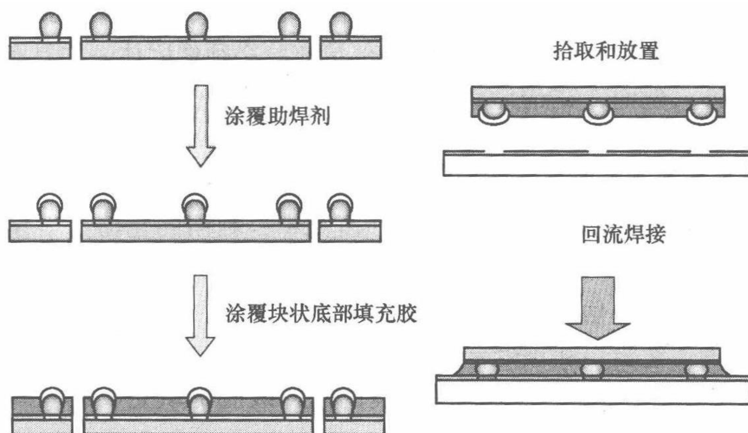



图 9.15 圆片级可返修助焊型底部填充工艺

使用液态底部填充胶，通过涂敷或印制方法，在圆片上制作底部填充层常常是有问题的，因为它需要对底部填充胶进行预聚合处理。美国 3M 公司和美国 Delphi-Delco 公司开发了薄膜层压工艺。该工艺避免了对底部填充胶进行预聚合处理的工艺步骤[79]，步骤如图 9.16 所示。热固/热塑双层塑料膜是在真空条件下加热层压在凸点圆片上的。在真空条件下加热的目的是确保塑料膜与圆片的完全粘附，避免

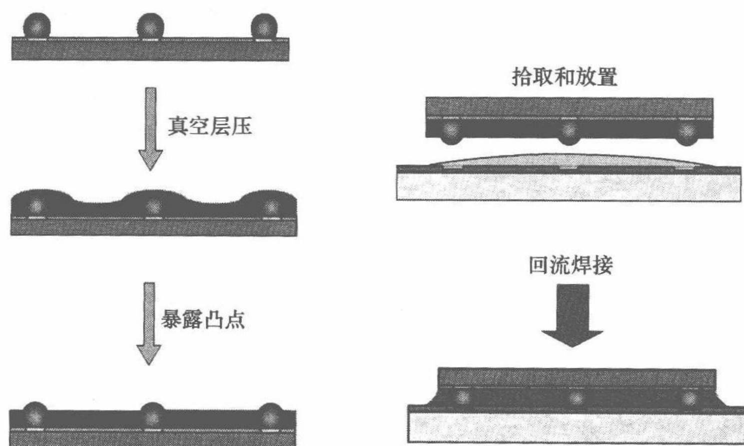



图 9.16 圆片级底部填充薄膜层压工

出现任何空洞。然后，采用一种不会改变焊料形状的工艺（专利技术）暴露出圆片焊料凸点。再在基板上涂覆可固化的助焊粘结剂，然后像非流动下填充工艺那样把芯片放置在印制板上进行回流焊接。

还可以在制作凸点前涂覆圆片级底部填充胶。图 9.17 所示为美国 Aguila Technologies 公司所开发的多层圆片级底部填充工艺[80]。先将填充物含量高的圆片级底部填充胶，通过丝网印制到未凸点化的圆片上，并固化。然后用激光对这层材料进行打孔，形成暴露出键合焊盘的微通孔，这些通孔会被焊膏所填充。经过回流工艺后，就在通孔上面形成了焊料凸点。贴片前，先在板子上涂覆一层聚合物助焊剂，然后像非流动下填充工艺那样把芯片放置在印制板上进行回流焊。

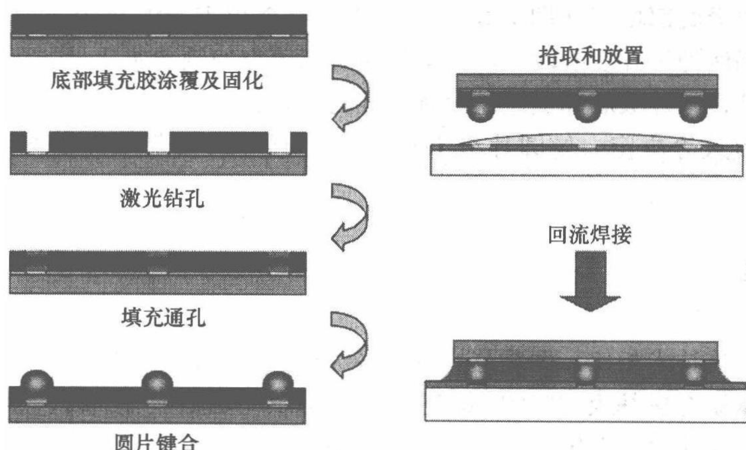



图 9.17　多层圆片级底部填充胶工艺

这三种工艺有一个相似之处，即助焊剂材料与块状底部填充胶材料相分离。圆片级底部填充工艺的好处之一，就是用不同的材料来实现不同的功能，从而不再需要“能解决一切问题的神奇材料”了。然而，这很可能会在底部填充层中产生不均匀。这种不均匀对可靠性的影响尚不完全清楚。

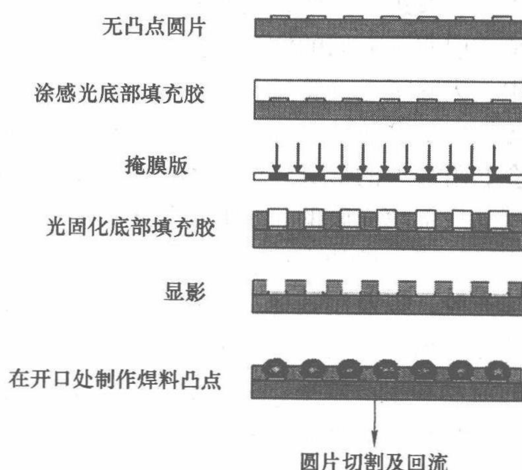



图 9.18　感光圆片级底部填充工艺

美国佐治亚理工学院（Georgia Tech）报告了他们把一种既可以用作光刻胶又可以用作底部填充胶的新型感光材料应用于圆片级底部填充[81]。在该工艺中（见图 9.18），先把圆片级底部填充胶涂覆在未凸点化的圆片上，然后用掩膜版在紫外线（UV）

下曝光使材料交联。显影后，未被曝光的材料会被去除掉，同时露出在圆片上制作焊料凸点所需的凸点焊盘。完全固化后的薄膜留在圆片上，在划片后的 SMT 组装工艺中用作底部填充。在组装时，需要使用聚合物助焊剂来保持器件在基板上的位置，且提供一定的助焊作用。这类似于干膜层压圆片级底部填充工艺。为了增强材料特性，加入二氧化硅填充物是必要的。为此，使用纳米二氧化硅填充物可以避免紫外光发生散射，因为散射会阻碍光致交联过程。纳米填充物还会使圆片上的底部填充胶薄膜保持透明，从而便于划片和组装工艺中的视觉识别。感光纳米复合圆片级底部填充胶为圆片级底部填充工艺提供了一种合理的解决方案，具有应用于细间距场合的潜力。

由于圆片级底部填充（即下填充）仍然是一个相当新的概念，工艺和材料的大多数研究仍然处于开发阶段，使用圆片级底部填充的倒装芯片封装可靠性的报告也很少。此外，圆片级底部填充还没有标准的工艺，最终由圆片和芯片尺寸、凸点节距和封装形式等决定。像圆片级 CSP 一样，圆片级底部填充的多种工艺可以共存。

## 9.8 总结

与其他互连技术相比，倒装芯片有许多优点，且已有许多实际应用。为了获得高可靠性的基于有机基板封装的倒装芯片，底部填充是必不可少的，但是底部填充工艺不易控制。所以，在倒装芯片批量生产中，它成了生产工艺的瓶颈。随着半导体硅技术向一个个纳米技术节点发展，其特征尺寸已小于 65nm，凸点节距和芯片基板间距缩小，以及无铅焊料的导入和低 $k$ 层间介质或铜互连材料的出现，都给底部填充材料和工艺带来了新挑战。为了解决这些问题，人们已对传统的底部填充做出了许多改进。其中，最新开发出来的不流动底部填充、模塑底部填充和圆片级底部填充引起了人们的广泛关注。不流动底部填充工艺通过把助焊剂整合到底部填充胶中，去除了毛细管流并把焊料回流与底部填充胶固化合并为一个工序，从而简化了传统的倒装芯片底部填充工艺。然而，由于不流动底部填充胶中的二氧化硅填充物会妨阻焊点的形成，所以不流动底部填充胶中的填充物含量不能太高。这就使得不流动底部填充胶的热膨胀系数偏高，从而限制了封装可靠性。人们已经开发出了许多增加可靠性的方法，如提高底部填充材料的断裂韧度，使用低 $T_g$ 及低模数底部填充胶，以及用其他工艺途径向底部填充胶中添加填充物。模塑底部填充，把底部填充与模塑工艺结合起来，尤其适用于改善倒装芯片封装中的毛细管式底部填充胶的流动和生产效率。为了获得更好的模塑底部填充封装效益，需要仔细选择材料，优化模具设计和工艺。圆片级底部填充把部分前道工艺结合到了封装工艺中，是一种低成本、高可靠性的倒装芯片解决方案。人们通过开发新材料和不同的工艺方法，已经解决了许多材料及工艺方面的难题，包括底部填充胶涂覆、带有底部填

充胶（半固化）的圆片划片、存放时间、组装时的图像识别、芯片放置及焊料润湿等问题。尽管目前的研究仍处于早期阶段且没有工艺标准，但已取得相当多的成就。该技术在未来的封装中一定会取得成功。所有这三种底部填充技术都需要材料供应商、封装设计、组装公司及芯片制造商的紧密配合。充分了解材料、工艺及它们相互间的联系是实现成功封装的关键。

## 参考文献


1. C.P. Wong, S. Lou, and Z. Zhang, "Flip the Chip", Science, Vol. 290, p. 2269, Dec, 2000.
2. E. Davis, W. Harding, R. Schwartz, and J. Coring, "Solid Logic Technology: Verdatile High Performance Microelectronics", IBM Journal of Research & Development, Vol. 8, p. 102, 1964.
3. F. Nakano, T. Soga, and S. Amagi, "Resin-Insertion Effect on Thermal Cycle Resistivity of Flip-Chip Mounted LSI Devices", The Proceedings of the International Society of Hybrid Microelectronics Conference, p. 536, 1987.
4. Y. Tsukada, "Surface Laminar Circuit and Flip-Chip Attach Packaging", Proceedings of the 42nd Electronic Components and Technology Conference, p. 22, 1992.
5. B. Han and Y.Guo, "Thermal Deformation Analysis of Various Electronic Packaging Products by Moire and Microscope Moire Interferometry", Journal Electronic Packaging, Vol. 117, p. 185, 1995.
6. S. Han and K.K. Wang, "Analysis of the Flow of Encapsulant During Underfill Encapsulation of Flip-Chips", IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B, Vol. 20, No. 4, pp. 424–433, 1997.
7. S. Han, K.K. Wang, and S.Y. Cho, "Experimental and Analytical Study on the Flow of Encapsulant During Underfill Encapsulation of Flip-Chips", Proceedings of the 46th Electronic Components and Technology Conference, pp. 327–334, 1996.
8. L. Nguyen, C. Quentin, P. Fine, B. Cobb, S. Bayyuk, H. yang, and S.A. Bidstrup-Allen, "Underfill of Flip Chip on Laminates: Simulation and Validation", IEEE Transactions on Components and Packaging Technology, Vol. 22, No. 2, pp. 168–176. 1999.
9. W.B. Young and W.L. Yang, "Underfill of Flip-Chip: The Effect of Contact Angle and Solder Bump Arrangement", IEEE Transactions on Advanced Packaging, Vol. 29, No. 3, pp. 647–653, 2006.
10. H. Bressers, P. Beris, J. Caers, and J. Wondergerm, "Influence of Chemistry and Processing of Flip Chip Underfills on Reliability", 2nd International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing, Stockholm Sweden, 1996.
11. J.B. Nysaether, P. Lundstrom, and J. Liu, "Measurements of Solder Bump Lifetime as a Function of Underfill Material Properties", IEEE Transactions on Components, Packaging and Manufacturing Technology, Part A, Vol. 21, No. 2, pp. 281–287, 1998.
12. R. Dudek, A. Schubert, and B. Michel, "Analyses of Flip Chip Attach Reliability", Proceedings of 4th International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing", pp. 77–85, 2000.
13. P. Palaniappan, P. Selman, D. Baldwin, J. Wu, and C.P. Wong, "Correlation of Flip Chip Underfill Process Parameters and Material Properties with In-Process Stress Generation", Proceedings of the 48th Electronic Components and Technology Conference, pp. 838–847, 1998.
14. L. Mercado and V. Sarihan, "Evaluation of Die Edge Cracking in Flip-Chip PBGA Packages", IEEE Transactions on Components and Packaging Technologies, Vol. 26, No. 4, pp. 719–723, 2003.
15. S.P. Lahoti, S.C. Kallolimath, and J. Zhou, "Finite Element Analysis of Thermo-hygromechanical Failure of a Flip Chip Package", Proceedings of IEEE 6th International Conference on Electronic Packaging Technology, 2005.

16. S. Luo and C.P. Wong, "Effect of Coupling Agents on Underfill Material in Flip Chip Packaging", Proceedings of 2000 International Symposium on Advanced Packaging Materials, pp. 183–188, 2000.
17. T. Chen, J. Wang, and D. Lu, "Emerging Challenges of Underfill for Flip Chip Application", Proceedings of the 54th Electronic Components and Technology Conference, pp. 175–179, 2004.
18. J.S. Hwang, "Lead-Free Solder: the Sn/Ag/Cu System", Surface Mount Technology, p. 18, July 2000.
19. B. Huang and N.C. Lee, "Prospect of Lead Free Alternatives for Reflow Soldering", Proceedings of SPIE – The International Society for Optical Engineering, Vol. 3906, p. 771, 1999.
20. A. Butterfield, V. Visintainer, and V. Goudarzi, "Lead-Free Solder Paste Flux Evaluation and Implementation in Personal Communication Devices", Proceedings of the 50th Electronic Components and Technology Conference, p. 1420, 2000.
21. S. Mahalingam, K. Goray, and A. Joshi, "Design of Underfill Materials for Lead Free Flip Chip Application", Proceedings of 2004 IEEE International Society Conference on Thermal Phenomena, pp. 473–479, 2004.
22. C.K. Chee, Y.T. Chin, T. Sterrett, Y. He, H.P. Sow, R. Manepali, and D. Chandran, "Lead-free Compatible Underfill Materials for Flip Chip Application", Proceedings of the 52nd Electronic Components and Technology Conference, pp. 417–424, 2002.
23. P. Tsao, C. Huang, M. Li, B. Su, and N. Tsai, "Underfill Characterization for Low-k Dielectric/Cu Interconnect IC Flip-Chip Package Reliability", Proceedings of the 54th IEEE Electronic Components and Technology Conference, pp. 767–769, 2004.
24. S. Rajagopalan, K. Desai, M. Todd, and G. Carson, "Underfill for Low-K Silicon Technology", Proceedings of 2004 IEEE/SEMI International Electronics Manufacturing Technology Symposium, 2004.
25. R. Pennisi and M. Papageorge, "Adhesive and Encapsulant Material with Fluxing Properties", U.S. Patent 5,128,746, (July 7, 1992).
26. C.P. Wong and D. Baldwin, "No-Flow Underfill for Flip-Chip Packages", U.S. Patent Disclosure, April 1996.
27. C.P. Wong and S.H. Shi, "No-Flow Underfill of Epoxy Resin, Anhydride, Fluxing Agent and Surfactant", U.S. Patent 6,180,696, (Jan. 30, 2001).
28. C.P. Wong, S.H. Shi, and G. Jefferson, "High Performance No Flow Underfills for Low-Cost Flip-Chip Applications", Proceedings of the 47th Electronic Components and Technology Conference, p. 850, 1997.
29. C.P. Wong, S.H. Shi, and G. Jefferson, "High Performance No-Flow Underfills for Flip-Chip Applications: Material Characterization", IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part A: Packaging Technologies, Vol. 21, No. 3, p. 450, 1998.
30. Z. Zhang, S.H. Shi, and C.P. Wong, "Development of No-Flow Underfill Materials for Lead-Free Bumped Flip-Chip Applications", IEEE Transaction on Components, and Packaging Technologies, Vol. 24, No. 1, pp. 59–66, (2000).
31. Z. Zhang and C.P. Wong, "Development of No-Flow Underfill for Lead-Free Bumped Flip-Chip Assemblies", Proceedings of Electronics Packaging Technology Conference, pp. 234–240, Singapore, (2000).
32. Z. Zhang and C.P. Wong, "Study and Modeling of the Curing Behavior of No-Flow Underfill", Proceedings of the 8th International Symposium and Exhibition on Advanced Packaging Materials Processes, Properties and Interfaces, pp. 194–200, Stone Mountain, Georgia, (2002).
33. P. Morganelli and B. Wheelock, "Viscosity of a No-flow Underfill During Reflow and its Relationship to Solder Wetting", Proceedings of the 51st Electronic Components and Technology Conference, pp. 163–166, 2001.
34. R.W. Johnson, M.A. Capote, S. Chu, L. Zhou, and B. Gao, "Reflow-Curable Polymer Fluxes for Flip Chip Encapsulation", Proceedings of International Conference on Multichip Modules and High Density Packaging, 1998, pp. 41–46.

35. S.H. Shi and C.P. Wong, "Study of the Fluxing Agent Effects on the Properties of No-Flow Underfill Materials for Flip-Chip Applications", Proceedings of the 48th Electronic Components and Technology Conference, p. 117, 1998.
36. S.H. Shi, D. Lu, and C.P. Wong, "Study on the Relationship Between the Surface Composition of Copper Pads and No-Flow Underfill Fluxing Capability", Proceedings of the 5th International Symposium on Advanced Packaging Materials: Processes, Properties and Interfaces, p. 325, 1999.
37. S.H. Shi and C.P. Wong, "Study of the Fluxing Agent Effects on the Properties of No-Flow Underfill Materials for Flip-Chip Applications", IEEE Transactions on Components and Packaging Technologies, Part A: Packaging Technologies, Vol. 22, No. 2, p. 141, June 1999.
38. P. Palm, K. Puhakka, J. Maattanen, T. Heimonen, and A. Tuominen, "Applicability of No-Flow Fluxing Encapsulants and Flip Chip Technology in Volume Production", Proceedings of the 4th International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing, pp. 163–167, 2000.
39. K. Puhakka and J.K. Kivilahti, "High Density Flip Chip Interconnections Produced with In-situ Underfills and Compatible Solder Coatings", Proceedings of the 3rd International Conference on Adhesives Joining and Coating Technology in Electronics Manufacturing, pp. 96–100, 1998.
40. T. Wang, T.H. Chew, Y.X. Chew, and Louis Foo, "Reliability Studies of Flip Chip Package with Reflowable Underfill", Proceedings of the Pan Pacific Microelectronic Symposium, Kauai, Hawaii, February 2001, pp. 65–70.
41. Z. Zhang and C.P. Wong, "Assembly of Lead-Free Bumped Flip-Chip with No-Flow Underfills", IEEE Transactions on Electronics Packaging Manufacturing, in publication.
42. D. Miller and D.F. Baldwin, "Effects of Substrate Design on Underfill Voiding Using the Low Cost, High Throughput Flip Chip Assembly Process", Proceedings of the 7th International Symposium on Advanced Packaging Materials: Processes, Properties and Interfaces, 2001, pp. 51–56.
43. R. Zhao, R.W. Johnson, G. Jones, E. Yaeger, M. Konarski, P. Krug, and L. Crane, "Processing of Fluxing Underfills for Flip Chip-on-Laminate Assembly", Presented at IPC SMEMA Council APEX 2002, Proceeding of APEX, San Diego, CA, pp. S18-1-1 – S18-1-7, 2002.
44. T. Wang, C. Lum, J. Kee, T.H. Chew, P. Miao, L. Foo, and C. Lin, "Studies on a Reflowable Underfill for Flip Chip Application", Proceedings of the 50th Electronic Components and Technology Conference, pp. 323–329, 2000.
45. D. Gamota and C.M. Melton, "The Development of Reflowable Materials Systems to Integrate the Reflow and Underfill Dispensing Processes for DCA/FCOB Assembly", IEEE Transactions on Components and Packaging Technologies, Part C, Vol. 20, No. 3, p. 183, July 1997.
46. X. Dai, M.V. Brillhart, M. Roesch, and P.S. Ho, "Adhesion and Toughening Mechanisms at Underfill Interfaces for Flip-Chip-on-Organic-Substrate Packaging", IEEE Transactions on Components and Packaging Technologies, Vol. 23, No. 1, March 2000, pp. 117–127.
47. B.S. Smith, R. Thorpe, and D.F. Baldwin, "A Reliability and Failure Mode Analysis of No Flow Underfill Materials for Low Cost Flip Chip Assembly", Proceedings of 50th Electronic Components & Technology Conference, 2000, pp. 1719–1730.
48. K.S. Moon, L. Fan, and C.P. Wong, "Study on the Effect of Toughening of No-Flow Underfill on Fillet Cracking", Proceedings of the 51st Electronic Components and Technology Conference, 2001, pp. 167–173.
49. H. Wang and T. Tomaso, "Novel Single Pass Reflow Encapsulant for Flip Chip Application", Proceedings of the 6th International Symposium on Advanced Packaging Materials: Process, Properties, and Interfaces, 2000, pp. 97–101.
50. Z. Zhang, L. Fan, and C.P. Wong, "Development of Environmental Friendly Non-Anhydride No-Flow Underfills", IEEE Transactions on Components and Packaging Technologies, Vol. 25, No. 1, March 2002, pp. 140–147.

51. S.H. Shi, Q. Yao, J. Qu, and C.P. Wong, "Study on the Correlation of Flip-Chip Reliability with Mechanical Properties of No-Flow Underfill Materials", Proceedings of the 6th International Symposium on Advanced Packaging Materials: Processes, Properties and Interfaces, 2000, pp. 271–277.
52. S.H. Shi, and C.P. Wong, "Recent Advances in the Development of No-Flow Underfill Encapsulants – a Practical Approach towards the Actual Manufacturing Application", Proceedings of the 49th Electronic Components and Technology Conference, p. 770, 1999.
53. P. Miao, Y. Chew, T. Wang, and L. Foo, "Flip-Chip Assembly Development Via Modified Reflowable Underfill Process", Proceedings of the 51st Electronic Components and Technology Conference, 2001, pp. 174–180.
54. S. Kawamoto, O. Suzuki, and Y. Abe, "The Effect of Filler on the Solder Connection for No-Flow Underfill", Proceedings of the 56th Electronic Components and Technology Conference, 2006, pp. 479–484.
55. Z. Zhang, J. Lu, and C.P. Wong, Provisional Patent 60/288,246: "A Novel Process Approach to Incorporate Silica Filler into No-Flow Underfill", 5-2-2001.
56. Z. Zhang, J. Lu, and C.P. Wong, "A Novel Approach for Incorporating Silica Fillers into No-Flow Underfill", Proceedings of the 51st Electronic Components and Technology Conference, 2001, pp. 310–316.
57. Z. Zhang and C.P. Wong, "Novel Filled No-Flow Underfill Materials and Process", Proceedings of the 8th International Symposium and Exhibition on Advanced Packaging Materials Processes, Properties and Interfaces, 2002, pp. 201–209.
58. K.M. Gross, S. Hackett, D.G. Larkey, M.J. Scheultz, and W. Thompson, "New Materials for High Performance No-Flow Underfill", Symposium Proceedings of IMAPS 2002, Denvor, September, 2002.
59. K. Gross, S. Hackett, W. Schultz, W. Thompson, Z. Zhang, L. Fan, and C.P. Wong, "Nanocomposite Underfills for Flip Chip Application", Proceedings of the 53rd Electronic Components and Technology Conference, 2003, pp. 951–956.
60. Y. Sun, Z. Zhang, and C.P. Wong, "Fundamental Research on Surface Modification of Nano-Size Silica for Underfill Applications", Proceedings of the 54th Electronic Components and Technology Conference, 2004, pp. 754–760.
61. P.O. Weber, "Chip Package with Molded Underfill", U.S. Patent 6,038,136, (March 14, 2000).
62. P.O. Weber, "Chip Package with Transfer Mold Underfill", U.S. Patent 6, 157,086, (December 5, 2000).
63. K. Gilleo, B. Cotterman, and T. Chen, "Molded Underfill for Flip Chip in Package", High Density Interconnection, p. 28, June 2000.
64. T. Braun, K.F. Becker, M. Koch, V. Bader, R. Aschenbrenner, and H. Reichl, "Flip Chip Molding – Recent Progress in Flip Chip Encapsulation", Proceedings of 8th International Advanced Packaging Materials Symposium, March, 2002, pp. 151–159.
65. F. Liu, Y.P. Wang, K. Chai, and T.D. Her, "Characterization of Molded Underfill Material for Flip Chip Ball Grid Array Packages", Proceedings of the 51st Electronic Components and Technology Conference, 2001, pp. 288–292.
66. L.P. Rector, S. Gong, T.R. Miles, and K. Gaffney, "Transfer Molding Encapsulation of Flip Chip Array Packages", IMAPS Proceedings, 2000, pp. 760–766.
67. S. Han and K.K. Wang, "Study on the Pressurized Underfill Encapsulation of Flip Chips", IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B: Advanced Packaging, Vol. 20, N0. 4, pp. 434–442, 1999.
68. L.P. Rector, S. Gong, K. Gaffney, "On the Performance of Epoxy Molding Compounds for Flip Chip Transfer Molding Encapsulation", Proceedings of the 51st Electronic Components and Technology Conference, 2001, pp. 293–297.
69. K.F. Becker, T. Braun, M. Koch, F. Ansorge, R. Aschenbrenner, and H. Reichl, "Advanced Flip Chip Encapsulation: Transfer Molding Process for Simultaneous Underfilling and Postencapsulation", Proceedings of the 1st International IEEE Conference on Polymers and Adhesives in Microelectronics and Photonics, 2001, pp. 130–139.

70. S.H. Shi, T. Yamashita, and C.P. Wong, "Development of the Wafer-Level Compressive-Flow Underfill Process and Its Required Materials", Proceedings of the 49th Electronic Components and Technology Conference, p. 961, 1999.
71. S.H. Shi, T. Yamashita, and C.P. Wong, "Development of the Wafer-Level Compressive-Flow Underfill Encapsulant", Proceedings of the 5th International Symposium on Advanced Packaging Materials: Processes, Properties and Interfaces, p. 337, 1999.
72. K. Gilleo and D. Blumel, "Transforming Flip Chip into CSP with Reworkable Wafer-Level Underfill", Proceedings of the Pan Pacific Microelectronics Symposium, p. 159, 1999.
73. K. Gilleo, "Flip Chip with Integrated Flux, Mask and Underfill", W.O. Patent 99/56312, (November 4, 1999).
74. J. Qi, P. Kulkarni, N. Yala, J. Danvir, M. Chason, R.W. Johnson, R. Zhao, L. Crane, M. Konarski, E. Yaeger, A. Torres, R. Tishkoff, and P. Krug, "Assembly of Flip Chips Utilizing Wafer Applied Underfill", Presented at IPC SMEMA Council APEX 2002, Proceedings of APEX, San Diego, CA, pp. S18-3-1 – S18-3-7, 2002.
75. Q. Tong, B. Ma, E. Zhang, A. Savoca, L. Nguyen, C. Quentin, S. Lou, H, Li, L. Fan, and C.P. Wong, "Recent Advances on a Wafer-Level Flip Chip Packaging Process", Proceedings of the 50th Electronic Components and Technology Conference, pp. 101–106, 2000.
76. S. Charles, M. Kropp, R. Kinney, S. Hackett, R. Zenner, F.B. Li, R. Mader, P. Hogerton, A. Chaudhuri, F. Stepniak, and M. Walsh, "Pre-Applied Underfill Adhesives for Flip Chip Attachment", IMAPS Proceedings, International Symposium on Microelectronics, Baltimore, MD, 2001, pp. 178–183.
77. Z. Zhang, Y. Sun, L. Fan, and C.P. Wong, "Study on B-Stage Properties of Wafer Level Underfill", Journal of Adhesion Science and Technology, Vol. 18, No. 3, pp. 361–380 (2004).
78. Z. Zhang, Y. Sun, L. Fan, R. Doraiswami, and C.P. Wong, "Development of Wafer Level Underfill Material and Process", Proceedings of 5th Electronic Packaging Technology Conference, Singapore, pp. 194–198, December 2003.
79. R.L.D. Zenner and B.S. Carpenter, "Wafer-Applied Underfill Film Laminating", Proceedings of the 8$^{th}$ International Symposium on Advanced Packaging Materials, pp. 317–325, 2002.
80. R.V. Burress, M.A. Capote, Y.-J. Lee, H.A. Lenos, and J.F. Zamora, "A Practical, Flip-Chip Multi-Layer Pre-Encapsulation Technology for Wafer-Scale Underfill", Proceedings of the 51st Electronic Components and Technology Conference, pp. 777–781, 2001.
81. Y. Sun, Z. Zhang, and C.P. Wong, "Photo-Definable Nanocomposite for Wafer Level Packaging", Proceedings of the 55th Electronic Components and Technology Conference, p. 179, 2005.

# 第10章 用于半导体芯片封装的环氧模塑料发展趋势

Shinji Komori, Yushi Sakamoto

**摘要：** 作为一种封装和保护材料，环氧模塑料具有防湿、成型性好、环保和可靠性高等特性，能满足不断发展的封装要求，因此在半导体封装领域得到广泛应用。本章回顾了环氧模塑料在各个方面的最新进展，包括先进材料开发、成型工艺、改善成型性能的方法、抗湿气回流特性、封装成型阵列区的翘曲控制及低 $k$ 介电层内的应力控制等。

**关键词：** 环氧模塑料（Epoxy Mdding Compound，EMC），阻燃剂，成型性，抗湿气回流特性，翘曲，低 $k$ 介电层。

## 10.1 简介

近年来，半导体封装几乎应用于所有的电子设备和产品，包括信息终端（如手机和个人电脑）、数码相机、视频设备、家用电器设备（如冰箱和洗衣机）等，并且应用范围越来越广。

环氧模塑料，在半导体中主要用于保护芯片不受外界环境的损害，特别是来自外来的物理作用（如碰撞和压力），以及外来化学作用（如水汽、热量、紫外线）的损害；维持电路的绝缘性能，使芯片获得一个易于组装到印制电路板上的封装外形。

随着高密度表面组装技术沿着容纳更多电子元器件，降低体积和重量，提高性能，降低组装成本方向发展，为适应这种高密度组装要求，半导体封装正变得更薄、更小、密度更高。特别是四方扁平封装（QFP）、小外形封装（SOP）及类似的封装结构，都已被薄型四方扁平封装（TQFP）和薄小外形封装（TSOP）所代替，并继而被面组装结构所取代，包括凸点连接球栅阵列（BGA）、芯片尺寸封装（CSP）等类似结构。这些封装形式具有更小的组装面积，可以获得比引线框架结构更高的信号传输速度。应用这些新型封装结构的产品正在逐年增加。图 10.1

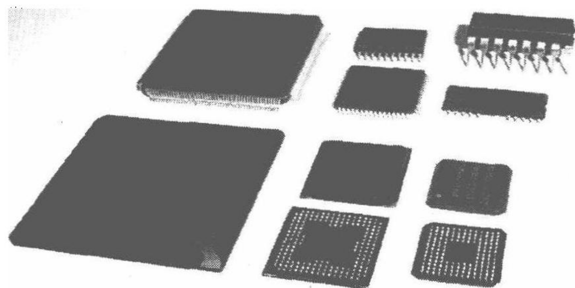


图 10.1 半导体封装实例

给出了一些半导体封装实例。图 10.2 给出了一些典型半导体封装结构的横截面示意图。此外，图 10.3 给出了封装技术的最新发展趋势。

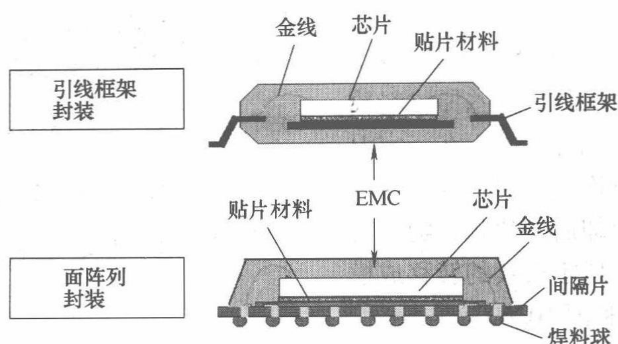



图 10.2　半导体封装结构横截面视图

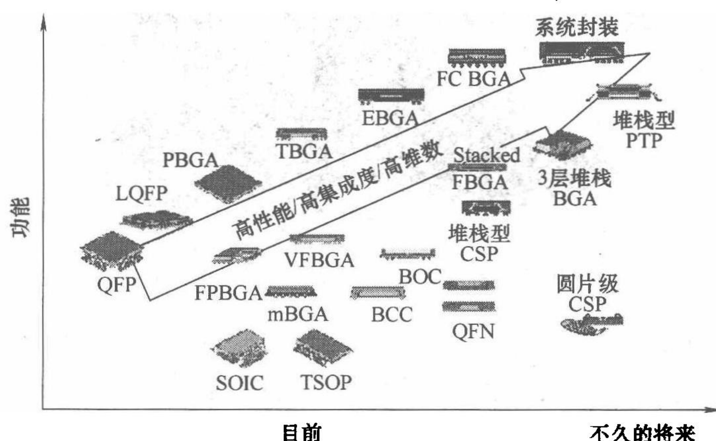



图 10.3　封装技术发展趋势

另一方面，随着对环境保护、可回收可循环使用等环保问题的关注增多，人们对环境友好型产品的需求更加强烈。主要表现的方式就是寻求环境友好的半导体封装，包括在半导体封装外部引脚连接中禁止使用含铅焊料，以及去除环氧模塑料中的卤素和锑基阻燃剂。

环境友好型环氧模塑料的研究和发展趋势，是无铅、无卤素、无阻燃剂。这些将在本章中进行阐述。

## 10.2　环氧模塑料介绍

为了满足可靠性、物理特性和成型方面的要求，需要在环氧模塑料中加入几种原材料。一些常用的原材料成分包括环氧树脂、酚醛树脂、熔融石英粉填料、偶联

剂、促凝剂和脱模剂。所有这些原材料对最终产品的粘接强度和成模特性都有重要影响。

图 10.4 给出了一种半导体封装用环氧模塑料的典型成分。这些原材料放入捏合机或碾轮式混合机中，在一定温度下搅拌、揉捏成均质的混合物。通常这些材料在捏合冷却后呈片状，随后粉碎成小球状颗粒，便于后续的转移成模工艺（见图 10.5 和图 10.6）。

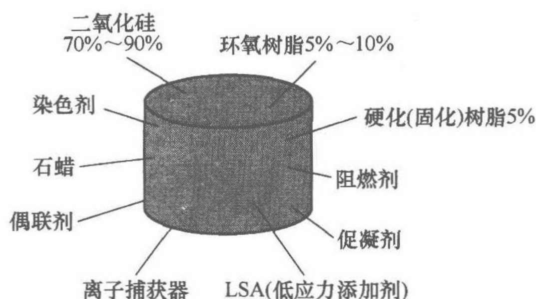



图 10.4 环氧模塑料典型成分



图 10.5 粉末状与小球状环氧模塑料实例

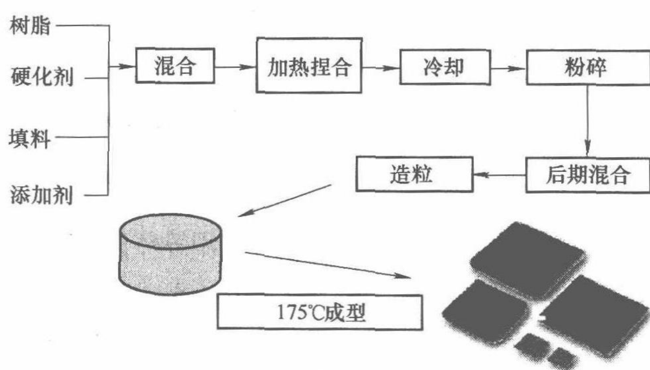



图 10.6 环氧模塑料转移成模工艺流程

### 10.2.1 环氧树脂

由于物理性质均衡，环氧树脂有很多优点。例如，它具有高粘接性、低收缩性，抗化学及水汽腐蚀性优异，并具有相对较高的热阻和优良的电性能。同时，使用环氧树脂还可以提高工艺效率。例如，环氧树脂可以低温固化，固化时间短，固

化前熔化速率低。

酚醛环氧树脂是一种固化型环氧树脂，广泛用于固化后增强树脂网络的交联密度。同时，越来越多的填料开始应用于半导体封装中，以降低水汽吸收和尺寸变化。由于树脂体系中可以高掺量地填充填料，具有低结晶速率的含二酚结构环氧模塑料近年来得到了广泛应用（见图 10.7）。

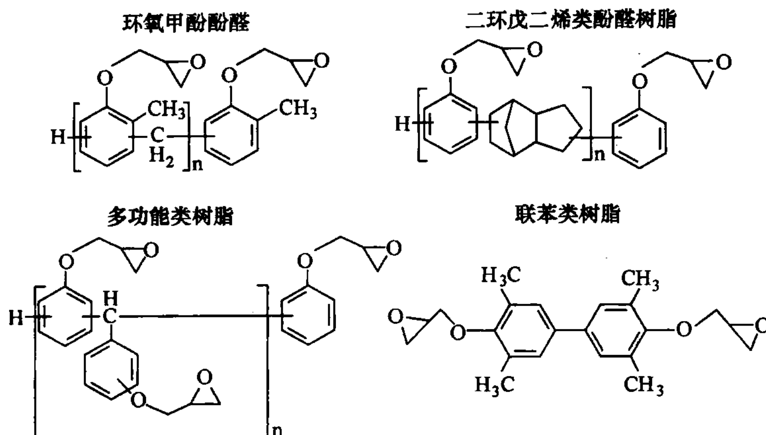



图 10.7　一些常用的环氧树脂化学结构

## 10.2.2　硬化剂

由于在耐热、抗湿气、电性能、固化特性及贮存方面的优良性能，酚醛树脂通常作为环氧模塑料的硬化剂。通过调节酚醛树脂中的重复单体数量，可以改变材料中的分子重量分布，进而调节含酚醛树脂硬化剂的环氧模塑料熔融粘度。

## 10.2.3　有机填料

在环氧模塑料中掺加二氧化硅颗粒，通常可以降低环氧模塑料的热膨胀系数和吸水率。晶体二氧化硅粉末通过天然石英砂制备。而无定形二氧化硅来自于熔化的天然石英砂，又称熔融二氧化硅。

熔融二氧化硅通常采用天然的高纯石英砂制得，因为它具有纯度高、化学稳定性好、热膨胀性低、绝缘性高和价格低等优点，广泛用于环氧模塑料。

熔融二氧化硅可粗分为片状石英和球形石英。片状石英通过粉碎石英砂得到。而球形石英是在二氧化硅粉末熔化、液化后喷雾到天然气和氧气燃烧的高温火焰中，由于液体表面张力而制备得到的。与天然二氧化硅相比，通过碱性硅酸盐、四氯化硅、硅烷制备的二氧化硅称为合成二氧化硅，也呈片状或球形。

因为，$\alpha$ 离子容易引起动态随机存储器（Dynamic Random Access Memory，DRAM）发生故障，所以要尽量减少环氧模塑料中的 $\alpha$ 离子含量。因此，采用含有

少量放射性元素（如铀和钍）的天然石英砂，制备的融熔二氧化硅的 α 离子含量较低。其放射性元素含量低于 $10^{-10}$，而作为填料的合成二氧化硅中的放射元素含量则要求低于 $0.1\times10^{-10}$。

环氧模塑料的流动和瞬态特性受填料颗粒的形状、大小分布、最大直径、平均直径和比表面积影响。在环氧模塑料中更多地使用球形二氧化硅，是因为它能有效降低环氧模塑料成形时的剪切应力。

另一方面，由于半导体封装内部会产生大量的热，提高材料热导率和封装体的散热性能非常必要。因此，需要使用高热导率材料，如晶体二氧化硅、氧化铝、氮化硅等，作为环氧模塑料的填料。

### 10.2.4 促凝剂

促凝剂是一种促进环氧树脂与硬化剂反应的催化剂。从生产的角度看，促凝剂可加快固化。然而，其对环氧模塑料固化后的导电性能和低温存贮稳定性的影响，是需要考虑的一个重要因素。

考虑到半导体芯片的耐热温度、固化特性及环氧模塑料熔融粘度间的平衡，成模温度一般为 170 ~ 180℃。在此温度范围内，常用的促凝剂有，有机磷化合物，如三苯基膦、有机膦；胺化合物，包括脒化合物如 DBU（1,8-重氮基-双环（5,4,0）十一烯-7）。

### 10.2.5 硅烷偶联剂

硅烷偶联剂不仅可以增强无机填料与有机树脂基体间的界面粘合，还可用于半导体环氧模塑料中。硅烷偶联剂的有机官能团与环氧树脂、酚醛树脂中的硬化基团反应，可以有效增强固化产品的粘接强度。硬化基团包括环氧硅烷、氨基硅烷及类似的基团[2]。

此外，采用硅烷偶联剂对填料颗粒进行表面处理，可以有效改善颗粒在环氧模塑料中的分散，降低树脂成模时的粘度[3]。

另一方面，硅烷偶联剂还可用于改善环氧模塑料与芯片表面及相关材料（如银，铜，金或作为引线框架的 42 合金，以及作为钝化材料的聚酰亚胺及其他类似材料）间的粘接强度。例如，含硫氢基的硅烷能有效增强环氧模塑料与镀银引线框架间的粘接力。粘合强度提高的机理在于引线框架与硅烷间的化学键合[4]。

### 10.2.6 阻燃剂

用于半导体的环氧模塑料应该满足 UL94-V0 可燃性等级要求，因此通常需要在环氧模塑料中加入阻燃剂。

溴化环氧树脂（一种溴酚醛环氧树脂）与锑基阻燃剂（如三氧化二锑）联合应用，能有效增强阻燃效率，因而得到广泛应用。

然而近几年，由于对环境问题的高度关注，阻燃剂中不能含有卤素和锑化合物。这是因为卤素化合物燃烧时会产生卤素气体，而锑化合物可能会慢性中毒。因此，开发了各种环保型阻燃剂，来满足半导体环氧模塑料应用要求，其中一些已经商业化。

另外，通过使树脂具有自熄灭结构，已研制出不含阻燃剂，满足 UL94-V0 耐火要求的耐火系统[5,6]。采用该技术的环氧模塑料已经商业化[7]。

不增加填料含量，而采用含多芳香环的树脂达到耐火要求是可行的。这种含有高含量芳香碳环的树脂氧指数较高，具有阻燃作用。含有多种芳香环的多芳香树脂（Multi Aromatic Resin，MAR）具有阻燃能力，燃烧时容易碳化。另外，含有较长交联链的树脂在高温时变软，与挥发性组分产生泡沫，形成表面保护膜阻隔氧气和热量（见图 10.8）。因此，这类树脂本身就是一种阻燃剂，可在不使用卤素或锑化合物等阻燃剂的情况下，制备出环保型环氧模塑料。

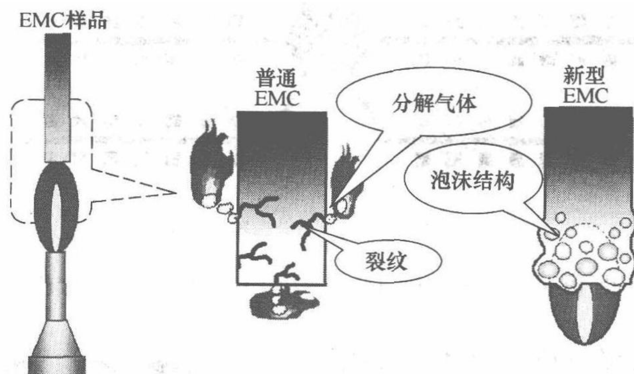



图 10.8 含长交联链的新型环氧模塑料（EMC）与普通环氧模塑料阻燃机理对比说明图

### 10.2.7 其他添加剂

着色剂（如炭黑）和释放剂（如天然或合成石蜡），也是 EMC 的重要组成部分。另外，如果需要，在 EMC 中也可加入能捕获 $Na^+$ 和 $Cl^-$ 等离子杂质的离子捕获剂，如硅烷或合成橡胶基的低应力剂以及类似材料。

## 10.3 环氧模塑料成型工艺

转移模压法通常用于塑封或使用 EMC 封装半导体芯片。

如图 10.9 所示，转移模压过程包括如下步骤：①放置基板、引线框架、间隔片，并将半导体芯片放在加热模具空腔中；②锁紧模具，将 EMC 颗粒倒入模具中，在压力下将活塞压入空腔中；③保持腔内的 EMC 颗粒压力，加热使之固化成型；④开启模具，取出模压后的封装体。

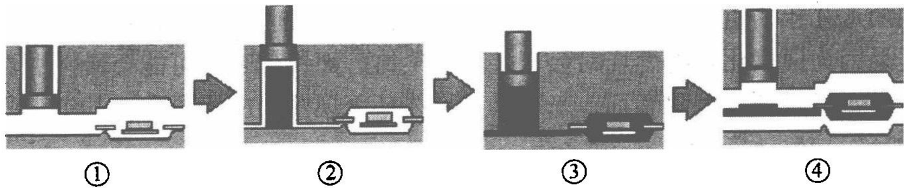



图 10.9 转移模压工艺步骤说明

有两种转移模压法：1）传统方法，大颗粒 EMC 从容器中倒入一个大模具再喂料给多个孔洞（见图 10.10）；2）多杆活塞法，将多个容器中的小片状 EMC 喂入模具中的一个或多个孔洞（见图 10.11）。

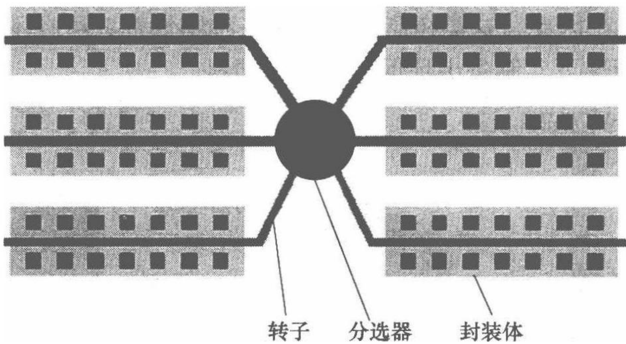



图 10.10 传统转移模压工艺中 EMC 喂料方法示意图

模压温度一般在 170～180℃，传统模压时间一般是 120s，多杆活塞模压时间为 60～90s。因为不同孔洞中固化的 EMC 一致性好，废品筛选工艺少，易于自动化等优点，使得多杆活塞法更有优势，应用更广泛。

模压后的半导体封装通常需要后期固化，通过 EMC 完全固化获得最佳性能，后期固化条件一般为 170～180℃ 下固化 2～8h。

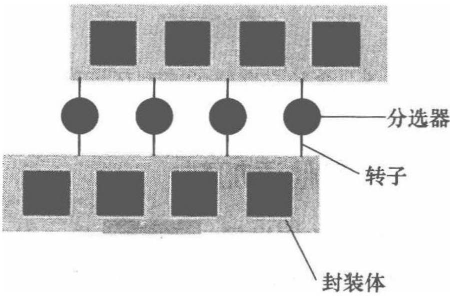



图 10.11 多杆活塞模压工艺中 EMC 喂料方法示意图

## 10.4 成模特性

改善模压性能不仅能提高产量，也对提高半导体封装可靠性有重要意义。

在转移模压工艺中，没有固化的 EMC 颗粒在模具里熔化后，以较低的粘度流入腔体中，环氧树脂加热后固化变硬，最后形成交联结构。必须仔细控制 EMC 模

压工艺中的固化（硬化）过程，太多或太快地固化可能导致粘度过度增加，从而影响熔化后的 EMC 在模具中的流动，并有可能产生模压缺陷和损害半导体器件组成。如果固化速度太慢，当模具打开时 EMC 固化不完全、脱模性差，导致模压产品破坏，芯片污染等类似情况。

因此，根据铸模和半导体器件封装要求，调整到合适的 EMC 熔化粘度、流动性和固化性质十分重要。

即使生产中经过长时间的多次模压工艺，EMC 的脱模性能必须长期稳定。因此，容易脱模对降低 EMC 与模压芯片间粘接所产生的器件应力非常必要。

同时，降低熔融粘度和增强固化性质也很重要。高熔融粘度可能使金线断裂，并且（或者）挂断金线造成开路或短路。

图 10.12 给出了模压过程中成模压力（显示了 EMC 熔融粘度）对金线变形率的影响。从图中可以看出，高成模压力（由于高 EMC 熔融粘度）产生了更多的金线变形。

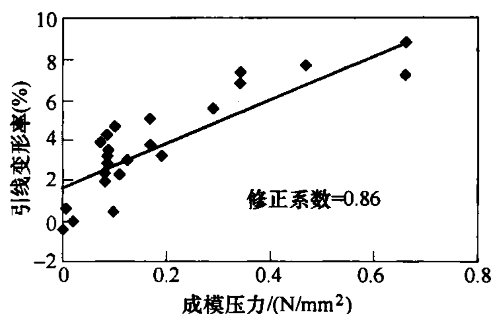



图 10.12　EMC 熔融粘度与金线变形率之间的关系

对非常薄的半导体封装，模压产品厚度可能只有几十微米。在这种封装中，必须保证模塑料固化后没有孔隙，才能满足封装可靠性要求。在成模过程中，EMC 粘度必须很低，以便顺利流过狭窄空隙进入成模芯片。获取低粘度的一种方式，是通过减少 EMC 固化过程中固化促进剂的含量来降低固化反应。但是，过度降低树脂粘度或固化促进剂含量也可能导致产量降低和脱模性能退化。

## 10.5　抗湿气回流特性

### 10.5.1　抗湿气回流特性简介

当 QFP 或 SOP 等表面组装技术在 1980 年首次应用时，通过红外回流工艺将半导体组装和焊接到电路板时所产生的缺陷曾成为一个重大技术问题而引起人们的重视[8]。这些缺陷包括封装与基板的界面脱层，吸潮的半导体管壳在高温回流时温度突然升高产生的封装裂纹。

与传统引线框架封装（如 QFP）相比，在 20 世纪 90 年代下半叶已经商业化的面阵列封装（如 BGA 和 CSP）在回流中更容易出现缺陷，从而要求 EMC 具有更好的抗湿气回流特性。在面阵列封装中，由于采用插入式基板，导致额外的水汽吸收，致使焊料掩膜和镀金层与 EMC 界面的粘接力降低，湿气也很容易渗透穿过这

些表面。此外，由于结构不对称（如 EMC 只存在于基板的一面），封装体产生的翘曲更大。因此，期望 EMC 能同时在抗回流特性和降低封装翘曲方面有所改善。

另外，无铅焊料（如 SnAg）正在取代传统的 SnPb 共晶焊料。因为无铅焊料（如 SnAg）的熔点比传统 SnPb 焊料高 30～40℃。而传统 SnPb 焊料的回流温度为 230℃左右，那么 SnAg 焊料回流温度需提高至 260℃左右。因此，回流时的封装变形和水蒸汽压力引起的应力都会增加，从而可能产生更多的封装缺陷。

## 10.5.2　机理

模压封装回流过程中可能产生的封装缺陷模型如图 10.13 所示。

由于半导体封装中不同器件的热膨胀系数（CTE）不匹配，所以这些器件在回流时以不同速率膨胀，从而在封装体中产生内应力。封装吸湿量与封装缺陷率间关系明显，如图 10.14 所示。回流前吸湿量高的封装体回流后的缺陷率更高。

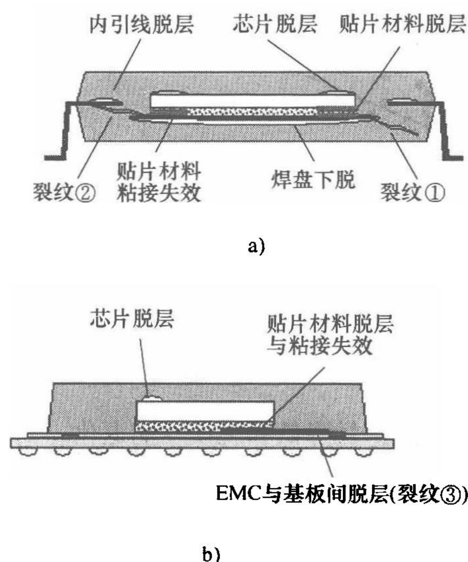



图 10.13　模压封装回流过程中可能产生的封装缺陷模型

a）引线框架封装　b）面阵列封装回流时的可能失效模式说明

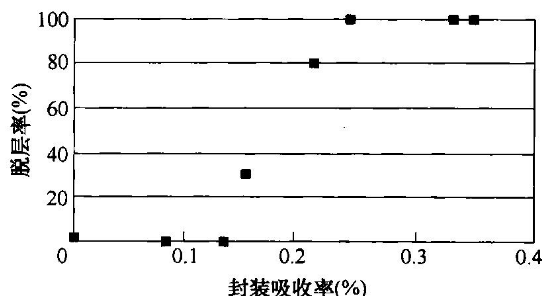



图 10.14　BGA 封装回流前吸水率与回流后脱层率关系（封装体：35mm×35mm，PBGA；应力条件：85℃，85% RH；红外回流：峰值温度 260℃；脱层率：脱层样品数/评估总封装样品数）

由 EMC 吸水膨胀引起的界面粘接强度下降，是产生脱层的一个主要原因[9]。其他可能的因素包括，热膨胀系数增加，吸湿回流中玻璃化转变温度 $T_g$ 与粘接强度下降加速了脱层与裂纹出现。

大体上有两种封装裂纹。第一种裂纹是如图 10.13 中所示的“裂纹①”，是由水蒸汽压力作用在脱层界面，产生的一种全芯片背面脱层。第二种裂纹如图 10.13

中所示的“裂纹②”和“裂纹③”，是由水蒸汽压力产生的脱层扩展而成的，主要发生于贴片材料与引线框架或贴片胶与硅芯片背面之间的界面上。

对于封装裂纹和脱层检测，可通过显微镜观察封装断面（见图 10.15），或扫描声显微镜进行无损检测（见图 10.16）。

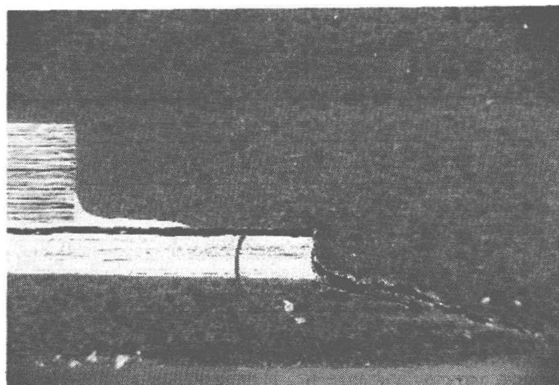


图 10.15　模压封装裂纹的横截面显微照片

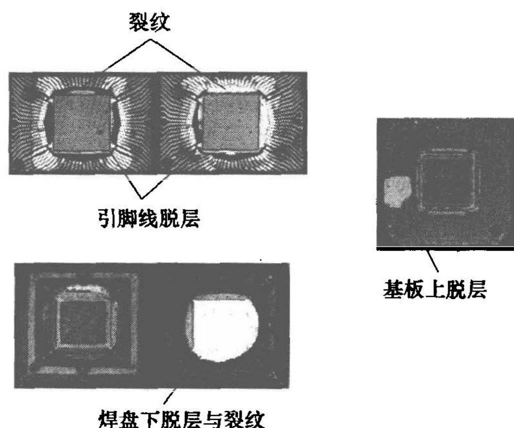



图 10.16　各种封装裂纹与脱层的扫描声显微图片

因为回流缺陷与模压封装中的吸湿量高度相关，所以回流前封装体中的水汽含量越低越好。即使模压后封装体中的水汽含量较低，在模压后焊料回流组装前，封装体也会从空气中吸收水汽。因此，半导体制造商会对回流前的模压封装给出一个具体的有效时间。

### 10.5.3　改善抗湿气回流特性

采用不同方法可在一定程度上改善模压封装的抗湿气回流特性，如改变贴片材料、引线框架和插入材料。然而，改变环氧模塑料的性能似乎最有效。

无铅焊料所要求的高回流温度（如260℃）对EMC有很不利影响。表10.1给出了EMC在240℃与260℃下的性能对比。副作用定义为“应力-抗湿性比（应力/抗湿性）”，其表达式为蒸汽压、热膨胀与弯曲模量的乘积除以粘接强度与屈服强度的乘积。从表10.1中可以看出，温度从240℃变化为260℃时，对EMC整体性能的不利影响是成倍增长的。

**表10.1 高回流温度对EMC性能影响**

| 参数 | 单位 | 240℃ | 260℃ | 效果 |
|---|---|---|---|---|
| 总蒸汽压 | MPa（RV） | 3.2（100） | 4.5（139） | - |
| 热膨胀 | RV | 100 | 137 | - |
| 粘接强度 | RV | 100 | 90 | - |
| 弯曲模量 | RV | 100 | 90 | + |
| 弯曲强度 | RV | 100 | 90 | - |

注：回流温度从240℃变为260℃所造成的应力-抗湿性比的变化=应力增加/抗湿性变化=蒸汽压×热膨胀×弯曲模量/(粘接强度×屈服强度)=1.39×1.37×0.9/(0.9×0.9)=2.12

### 10.5.3.1 低吸湿低模量树脂体系

环氧模塑料（EMC）中的树脂体系对EMC总体性能有很大影响。树脂体系的几个关键性能（屈服强度、弹性模量、吸水特性）间的内在联系如图10.17所示。下面将进行详细讨论。

通常，树脂的屈服强度与弹性模量和吸水率之间存在线性比例关系（见图10.17a、b）。例如，含有普通苯酚和酚醛树脂的树脂体系在高温时具有高强度、高弹性模量和高吸水率，因此采用该树脂体系的EMC抗焊料回流特性差。为了获得好的抗回流特性，理想树脂体系应具有图10.17所示虚线圈内所具有的性质。

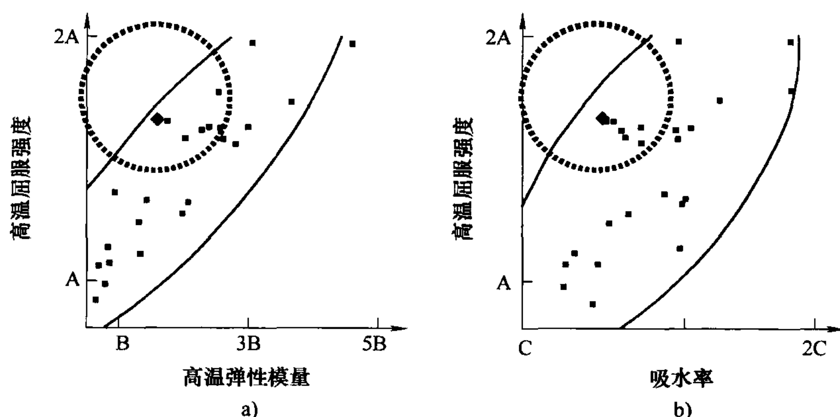



图10.17 树脂的屈服强度与弹性模量和吸水率的关系

a）屈服强度与弹性模量内在关系图 b）屈服强度与吸水率内在关系图

基于上述概念，在基础环氧树脂-苯酚树脂体系中引入多芳香环（Multi-Aromatic Ring，MAR）树脂和联苯芳烷基结构可有效地改善 EMC 的抗焊料回流特性。这两种树脂体系的化学结构如图 10.18 所示。这些新树脂体系由于在偶联点间存在长链结构，使高温下的弹性模量很低；由于存在厌水结构（如芳香环），从而使吸水率较低。采用这些树脂体系，有可能制备出具有高抗回流特性的 EMC，因为这些树脂体系的强度与弹性模量或吸水率之间存在完全不同的内在联系。

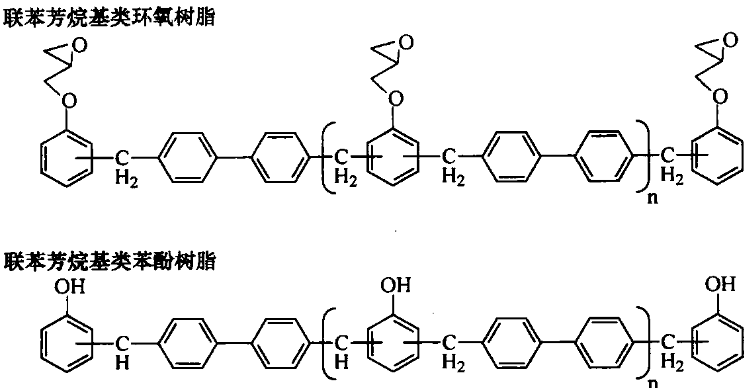



图 10.18　联苯芳烷树脂体系的化学结构式

表 10.2 列出多芳香环、联苯树脂与传统树脂体系性能的对比（ECN 体系：甲酚-酚醛环氧树脂，Expoxidized Cresol Novolak；DCP 体系：双环己烷戊二烯类酚醛环氧树脂，Dicyclo Pentadien Type Novolak Expoxy）。这些新树脂体系具有较高的抗湿性-应力比（抗湿性/应力），能够更好地抵抗无铅焊料回流。

**表 10.2　各种树脂体系的抗湿能力-应力比较**（表中值为相对联苯树脂的比值）

| 树脂类型 | ECN 体系 | DCP 体系 | 联苯树脂体系 | 多芳香环树脂体系 |
|---|---|---|---|---|
| 环氧类型 | ECN | DCP | 联苯树脂 | 多芳香环 |
| 固（硬）化剂 | PN | PN | 对苯二甲基酚醛 | 多芳香环 |
| 吸水率 | 1.15 | 0.95 | 1.00 | 0.85 |
| 热膨胀 | 0.80 | 1.00 | 1.00 | 1.00 |
| 屈服模量 | 1.85 | 1.30 | 1.00 | 0.85 |
| 粘接强度 | 0.80 | 1.10 | 1.00 | 1.20 |
| 屈服强度 | 1.40 | 1.05 | 1.00 | 0.95 |
| 抗湿性/应力 | 0.66 | 0.94 | 1.00 | 1.56 |

注：抗湿性/应力 =（粘接强度 × 屈服强度）/（吸水率 × 弯曲模量 × 热膨胀）

#### 10.5.3.2 提高填料含量技术

除了改变树脂结构，增加填料含量也可以有效改善 EMC 的抗湿气回流特性。如图 10.19 所示，增加填料含量降低了吸水率，从而降低了回流时产生的蒸汽压。

然而，增加填料含量也会增加 EMC 熔融粘度，降低粘接强度，原因在于增加填料含量会降低 EMC 的成模性及其对芯片、引线框架、基板及类似物间的润湿性。

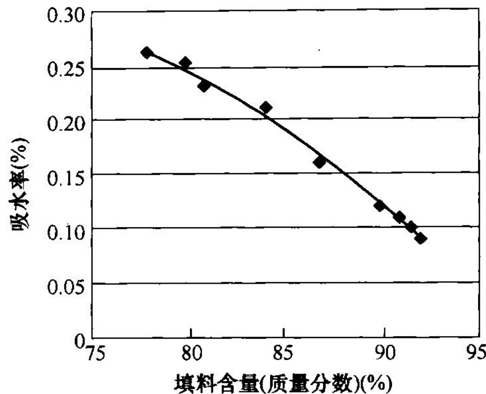
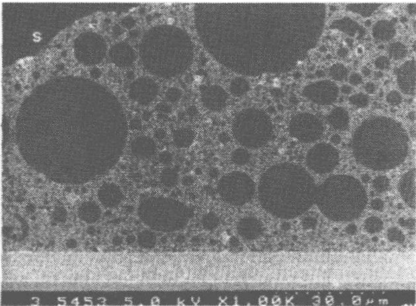



图 10.19 EMC 填料含量与吸水率之间的关系

为了改进熔融二氧化硅填料特性，使其在高填充率时也不会大幅度增加熔融粘度而开展了一些研究工作。例如，通过采用对颗粒尺寸分布进行优化的混合物填料，可以获得较高的填料充填密度（低孔隙率，见图 10.20a）和较高的填料含量，而不增加 EMC 的熔融粘度。图 10.20b 是优化填料尺寸分布后的固化 EMC 横截面图。

| 填料直径 | 填料含量 | |
|---|---|---|
| $R$<br>$0.414R$<br>$0.225R$ | 100%<br>0<br>0 | 91.5%<br>6.5%<br>1.85% |
| 填料充填示意图 | 孔隙率:29.5% | 孔隙率:19.0% |

a)



b)

图 10.20 提高填料含量分析

a）填料尺寸分布对其充填密度影响 b）优化尺寸分布后的高填料含量 EMC 横截面

#### 10.5.3.3　提高粘接强度

含有小环氧基团的环氧树脂固化后会产生高的 OH 基团密度。它通常具有较高的粘接强度。然而，从减少应力的观点来看，高 OH 基团密度相当不利，因为它增加了高温时的吸水率和弹性模量。增加填料含量有利于降低吸水率和热膨胀系数，但因为 EMC 成模时的熔融粘度高，可能会降低 EMC 与芯片、引线框架和基板间的润湿性和粘接性。

添加在 EMC 中用来改善其脱模性的石蜡，有可能会降低粘接强度并引起脱层。这是因为在脱模过程中产生的应力会撕裂键合界面。因此，选择合适类型的脱模剂非常重要。

在上述硅烷偶联剂实例中，通过掺加添加剂在界面上形成化学键，可以提高 EMC 与芯片、引线框架和基板间的粘接强度。

## 10.6　改善面阵列封装翘曲

与引线框架封装不同，面阵列封装模压在基板的一边，当它模压后冷却到室温时，因为基板与 EMC 间的热膨胀系数不匹配，通常会出现翘曲（见图 10.21）。封装翘曲会导致电路板与焊料凸点间的连接可靠性变差。

为了降低面阵列封装翘曲，必须减少固化收缩和残余热收缩。具有高玻璃化转变温度 $T_g$ 和低固化收缩率的 EMC 体系（如三苯酚甲烷类环氧树脂和固（硬）化剂）正是我们想要的。另一种降低固化收缩的技术是增加 EMC 中的填料含量。

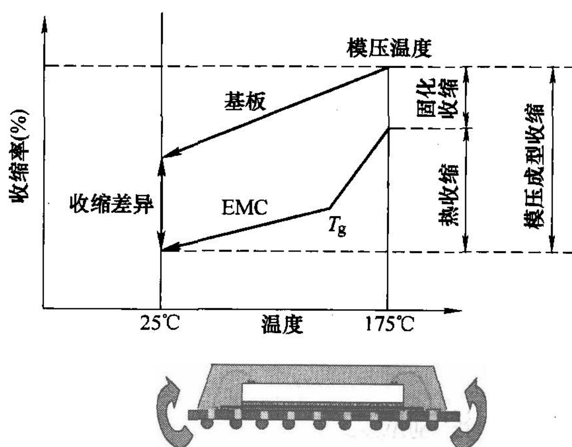



图 10.21　面阵列封装的翘曲机理

与引线框架封装相比，面阵列封装的抗湿气回流特性较差。因此，除了降低翘曲外，还需要改善其抗湿气回流特性。因此，一般希望 EMC 具有较低的固化收缩率和良好的抗湿气回流特性。

除了降低模压成型收缩外，减少温度大于 $T_g$ 时的 EMC 的弹性模量，也可以有效降低面阵列封装翘曲（见图 10.22）。具有低吸水率和低弹性模量的树脂可用于改善翘曲和抗湿气回流特性[7]。

目前，除了围绕 EMC 外，还在开展一些研究，希望通过改变插入板和贴片材料来降低面阵列封装翘曲。

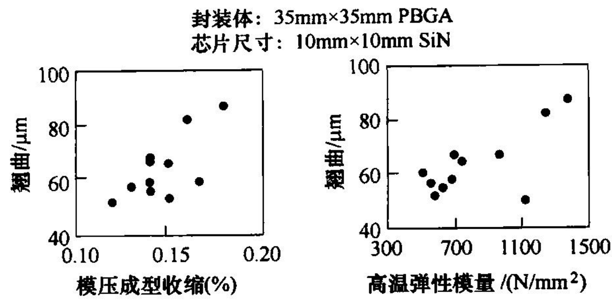



图 10.22 模压成型收缩与弹性模量对面阵列封装的影响

如前文所述，同时改善成模性能和可靠性是一项具有挑战性的任务，并且也在开展一些研究工作，通过开发新的树脂材料、填料、固化剂、添加剂和新的混合方法，来构建下一代高性能面阵列封装 EMC 材料。

## 10.7 低 *k* 芯片模压方面的挑战

近年来，高性能集成电路要求采用低 *k*（介电常数）介电层。与普通 $SiO_2$ 介电层相比，低 *k* 介电层易碎，所以要求 EMC 在较宽温度范围内具有低应力性质。

在尺寸为 0.13μm 的这一代芯片前，因为低 *k* 介电层孔隙率更大，所以芯片上的电路容易损坏。今后这种趋势将会继续下去，低 *k* 介电层的机械性能将会更差，如图 10.23 所示。

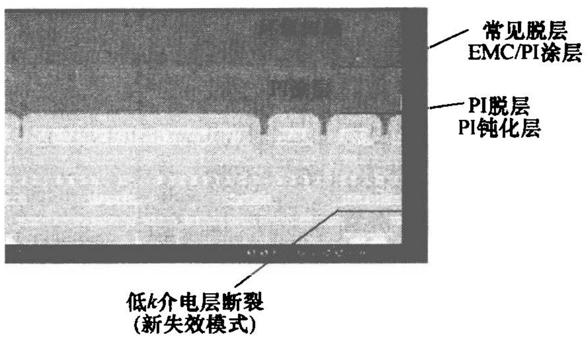



图 10.23 低 *k* 介电层芯片的失效模式

### 10.7.1 控制应力

IC 封装体由各种具有不同热膨胀系数（CTE）的材料组成：

| 材　料 | CTE/($10^{-6}$/℃) |
|---|---|
| 模塑料 | 8～17 |
| 引线框架 | 铜为 17；合金 42 为 7 |
| BT 衬底 | 13～17 |
| Si 芯片 | 3 |

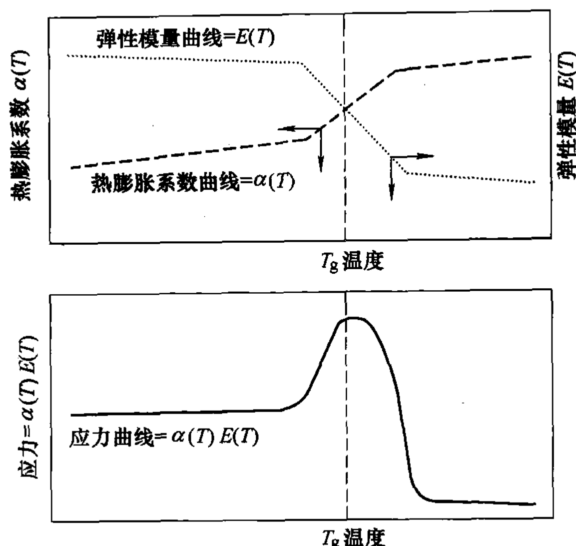



图 10.24 EMC 热膨胀系数和弹性模量对热应力影响关系图

器件间热膨胀系数不匹配将在封装体内产生应力。应力大小与 CTE、温度、弹性模量有关（见图 10.24），公式如下：

$$S=\int E(T)\alpha(T)\mathrm{d}T$$

$$S=(\alpha_1-\alpha_i)E_1(T-T_g)+(\alpha_1-\alpha_i)E_2(T_g-T_1)$$

式中 $S$——内应力；

$\alpha_1$，$\alpha_2$——EMC 在 $T_g$ 以上和以下温度的热膨胀系数；

$\alpha_i$——材料热膨胀系数（如芯片）；

$E_1$，$E_2$——EMC 在 $T_g$ 以上和以下温度的弹性模量；

$T_g$——EMC 玻璃化转变温度；

$T_1$——模压温度；

$T$——应力计算温度。

为了降低热应力，可采用低应力添加剂（Low Stress Additive，LSA）和低应力树脂。其中，低应力添加剂用于降低弯曲模量。

在树脂交联过程中，低应力添加剂可吸收封装应力。但是，掺加低应力添加剂通常会提高吸水率。多芳香环（MAR）树脂具有许多特有的性能，如吸水率低、弹性模量低、燃烧时自熄灭等，最适合作为低 $k$ 芯片模压应用。

## 10.7.2 有限元模拟研究

有限元方法（FEM）力学模拟可用于研究封装体内的应力分布（见图 10.25）。从图 10.25 可以看出，应力主要集中在芯片表面，因此降低应力来保护低 $k$ 介

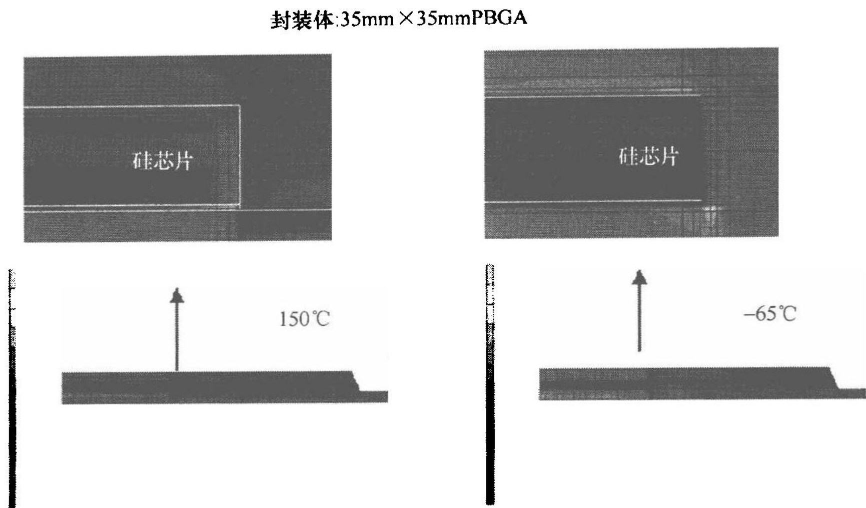



图 10.25 PBGA 封装有限元模拟（FEM）应力结果

电层非常重要。

表 10.3 列出了不同 CTE、弹性模量和 $T_g$ 温度组合下应力的有限元模拟结果。容易发现，采用低 CTE、低弹性模量和高 $T_g$ 环氧模塑料（EMC），可以降低封装应力。

**表 10.3 不同材料性质组合的 EMC FEM 应力模拟结果（-65℃）**

| EMC 材料 | | CTE/($10^{-6}$/℃) | | 模量/(kg/mm²) | | $T_g$/℃ | 最大主应力/(kg/mm²) | 剪应力/(kg/mm²) |
|---|---|---|---|---|---|---|---|---|
| | | $\alpha_1$ | $\alpha_2$ | $<T_g$ | $>T_g$ | | | |
| G770 | 参考组 | 9 | 43 | 2600 | 60 | 140 | 6.9 | 11.7 |
| 模型 1 | CTE 降低 | 7 | 34 | 2600 | 60 | 140 | 5.0 | 8.6 |
| 模型 2 | CTE 升高 | 11 | 52 | 2600 | 60 | 140 | 8.9 | 14.7 |
| 模型 3 | $E$ 降低 | 9 | 43 | 2100 | 50 | 140 | 6.2 | 10.1 |
| 模型 4 | $E$ 升高 | 9 | 43 | 3100 | 70 | 140 | 7.6 | 13.1 |
| 模型 5 | $T_g$ 降低 | 9 | 43 | 2600 | 60 | 110 | 9.6 | 15.9 |

### 10.7.3 EMC 评估

填料含量与内应力间的关系如图 10.26 所示。在低温时，内应力开始增加，随着填料含量提高内应力降低。因此，提高填料含量和降低弹性模量可减少应力。填料含量相同时，多芳香环树脂体系比双联苯树脂体系的弹性模量低（见图 10.27），因此，多芳香环树脂 EMC 作用在芯片上的应力比双联苯树脂 EMC 的要低。

图 10.28 所示为 PBGA 封装的实验结果。芯片介电层为有机多孔低 $k$ 材料，其弹性模量为 4GPa。采用这种芯片是为了模仿低 $k$ 芯片结构，该芯片采用低应力添加剂（LSA）型 EMC 进行模压。

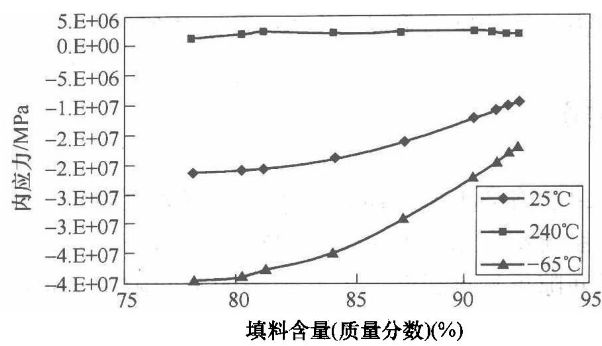



图 10.26　EMC 填料含量与内应力间的关系

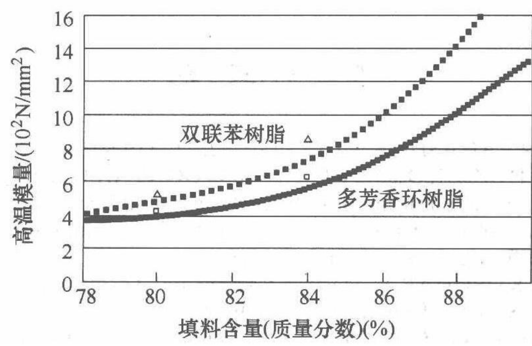



图 10.27　MAR 和联苯 EMC 的填料含量与弹性模量间的关系

| 条件 | 空白组<br>(无LSA) | 提高组<br>(有LSA) |
|---|---|---|
| L3+260℃ | | |
| TC 500 | | |
| TC 1000 | | |

图 10.28　采用常规 EMC 和有 LSA EMC 的 PBGA 封装声扫描显微镜（SAM）图

500 次热循环后，无低应力添加剂（LSA）的封装在芯片低 *k* 层出现脱层（SAM 图中的白色区域），1000 次热循环后该脱层进一步扩展。掺加 LSA 的 EMC

封装没有脱层，因为掺加 LSA 能提高了 EMC 的抗热循环特性，降低了应力。

## 10.8 未来趋势

未来的半导体封装将会更薄、体积更小、对应力更敏感。一些先进封装技术，如芯片堆叠封装、系统级封装（System in Package，SiP）或类似技术，将使 EMC 模压过程中填充窄间隙更具挑战性。由此带来的窄间隙中 EMC 流动性问题也将更加关键。

此外，对半导体封装用 EMC 的可靠性、加工性和环境因素提出了更严格的要求。因此，需要开展深入研究，以研制出更先进的 EMC 材料来满足这些要求。

## 参考文献

1. Kazuo TAKAHASHI, Kogyo Zairyo, 42, 112 (1994)
2. Hiroyuki HOZOJI, Osamu HORIE, Shoji OGATA, Shunichi NUMATA, and Tokuyuki KINJO, Japanese Journal of Polymer Science and Technology, 47, 483 (1990)
3. The Society of Powder Technology, Japan Ed., "Comminution, Classification and Surface Modification", p. 566, N.G.T. (2001)
4. Akinobu KUSUHARA, Masumi SAKA, and Toshitsune ISHIGURO, Journal of the Adhesion Society of Japan, 35, 153 (1999)
5. M. IJI and Y. KIUCHI, Polym. Adv. Tchnol., 12, 393 (2001)
6. Masatoshi IJI, Yukihiro KIUCHI, Isao KATAYAMA, and Takayuki UNO, Electronic Materials, 2000, April, 86 (2000)
7. Yushi SAKAMOTO and Hiroki OSUGA, Electronics Mounting Technology, 18, 44 (2002)
8. Semiconductor and Integrated Circuits Division, Hitachi, Ltd. Ed., "Mounting Technology of Surface Mounted LSI Packages and Improvement of the Reliability Thereof" p. 502, Oyo Gijutsu Shuppan (1989)
9. Naotaka NAKA, Makoto KITANO, Tetsuo KUMAZAWA, and Asao NISHIMURA, Journal of Japan Society Mechanical Engineers, 63, 614 (1997)
10. Ken OOTA, Masumi SAKA, J. Polym. Eng. Sci., 41, 1373 (2001)

# 第11章 导 电 胶

Daoqiang Daniel Lu, C. P. Wong

**摘要：** 近一段时间以来，导电胶（Electrically Conductive Adhesive，ECA）技术取得了长足的进步。本文首先回顾了近期各种各向异性导电胶/各向异性导电膜（Anisotropic Conductive Adhesive/Film，ACA/ACF）材料的研发及其应用情况；接下来详细描述了近期各向同性导电胶（Isotropic Conductive Adhesive，ICA）材料的研发进展及电学与机械方面的研究成果，包括提高电导率，阐述接触电阻机制，稳定接触电阻方法及增强机械冲击性能等。

**关键词：** 导电胶（ECA），各向同性导电胶（ICA），各向异性导电胶/各向异性导电膜（ACA/ACF），电导率，导电颗粒，接触电阻，缓蚀剂，冲击性能，无铅，倒装芯片，芯片尺寸封装（Chip Scale Package，CSP），球栅阵列（BGA），表面组装技术（SMT）。

## 11.1 引言

导电胶（ECA）由聚合物基体与导电填充物混合组成。聚合物基体是电绝缘体，因而具有良好的介电性能。导电填充物提供了电学特性，而聚合物基体则提供了机械特性。因此，根据两种组分的不同，导电胶具有不同的电学与机械特性，这与具有固定电学与机械特性的金属焊料有明显的区别。ECA 在我们身边已经存在了一段时间。在 20 世纪 50 年代，含金属填充的热固化聚合物作为导电胶首先申请了专利[1-3]。最近，ECA 材料作为含铅焊料的替代材料之一，已经在微电子封装领域得到广泛应用。导电胶分为两类：各向异性导电胶（ACA）和各向同性导电胶（ICA）。

## 11.2 各向异性导电胶

### 11.2.1 概述

各向异性导电胶（ACA）占据了聚合物粘接产品最主要的份额。各向异性导电胶在垂直或者 $Z$ 轴方向具有单向导电性。这种方向性的导电性通过按体积添加相对少量的导电填充物（5~20%（体积分数））来实现[4-6]。这种少量的按体积添

加的情况不足以导致颗粒间的相互接触，因而妨碍了粘合剂在 $X$-$Y$ 平面出现电学导通。薄膜或者膏状的 $Z$ 向粘合剂作为两个需要连接的表面中间层，经过加热和加压作用，将导电颗粒限制在两个器件相对导电表面之间。一旦达到电学连续性，电介质聚合物基体就会由化学反应（热固化）或者冷却（热塑形）实现硬化。硬化后的电介质聚合物基体将两个器件粘接在一起，有助于维持器件表面与导电颗粒之间的接触压力。图 11.1 给出的一系列示意图描述了实现 ACA 粘接的组装步骤。在欧洲、日本和美国，各向异性导电胶已得到深入研究并应用于电气连接领域，各式各样的设计、配方和工艺已申请专利[6]。

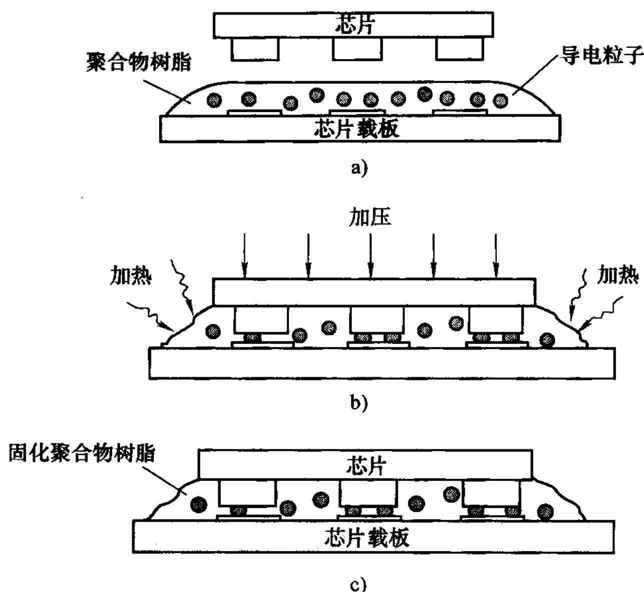



图 11.1　实现 ACA 粘接的组装步骤示意图
a）器件部分（凸点芯片与表面涂敷 ACA 的对应基板）　b）芯片与对应基板进行组装并保持相对位置进行固化　c）装配完成的器件截面图

## 11.2.2　种类

广义上 ACA 可以分为两大类：工艺处理前就导电的各向异性导电胶和工艺处理后才导电的各向异性导电胶。其特性可以总结如下：①工艺处理前的各向异性导电，是由粘合剂基体薄膜内部规则排列的导电颗粒材料特性决定的。这类材料通常为窄带状或薄片状，需要对导电薄膜进行激光打孔或者刻蚀，然后填充导电材料，制造工艺复杂。这类材料可以提供预期的电接触，其代表性应用就是预成型基板。②工艺处理后的各向异性导电是由导电填充物和粘合剂基体均匀混合后形成的。这类材料在工艺处理前不存在内部结构或排列规则。所有的膏状粘合剂及部分带状粘合剂都属于这一类。

## 11.2.3 粘合剂基体

粘合剂基体用于在互连时形成机械粘接，其中热固化与热塑形材料都有使用。热塑形粘合剂，在聚合物熔融温度 $T_g$ 以下时，属于刚性材料；超过 $T_g$，聚合物开始具有流动性。因此，$T_g$ 必须足够高以避免聚合物在使用过程中出现流动，但是 $T_g$ 也必须足够低以防止器件与对应的芯片基板在组装过程中出现热损伤。热塑形粘合剂的主要优势在于，在进行返修时连接部分的拆卸相对容易[7,8]。然而，热塑形 ACA 同样具有很多缺点。其中最严重的问题之一，就是粘接性不足以使导电颗粒保持在适当位置，从而导致热冲击之后接触电阻增大[7,8]。此外，在粘接时由于器件表面 ACA 的压力引起的粘合剂层应力恢复，使接触电阻增大，这一现象称为“反冲”。这种由热塑形弹性体的渐变特性引起的现象，经常发生在对 ACA 薄膜进行加热以形成电学连接之后。在“反冲”过程中，接触电阻有时可以比初始电阻增大超过 3 倍[7]。

热固化粘合剂，如环氧树脂和硅树脂，在特定条件下固化时形成一种三维横向连接结构。固化技术包括加热、紫外光及添加催化剂。在不可逆的固化反应作用下，原来无横向连接结构的材料转化为刚性固体。热固化 ACA 在高温下稳定，更重要的是有较低的接触电阻。这是由于固化后，压力使导电颗粒保持紧密接触。也就是说，固化反应造成的收缩实现了长期稳定的低接触电阻。在高温下保持强度的能力及粘合剂粘接的强化是这类材料的主要优势。然而，由于固化反应是不可逆的，连接部分无法进行返工或维修[7,8]。粘合剂基体及其配方的选择对于组装器件的寿命长短来说是至关重要的。实际上，粘合剂基体存在很多种选择。丙烯酸树脂可用于低温环境（低于 100℃），聚酰亚胺则用于温度接近 300℃ 的最严酷环境[6]。

## 11.2.4 导电填充物

### 11.2.4.1 固体金属颗粒

导电填充物用于为粘合剂提供导电性。最简单的填充物是金属颗粒，如金、银、镍、铟、铜、铬和无铅焊料（SnBi）[6,7,9-11]。这些用于 ACA 的颗粒通常为球形，直径在 3 ~ 15μm[12]，一些专利中也提出采用针形或须形颗粒[6]。

### 11.2.4.2 含金属镀层的非金属颗粒

一些 ACA 体系采用了具有薄金属镀层的非导电颗粒。其内核材料是塑料或者玻璃，金属镀层则由金、银、镍、铝或铬组成。这些体系的基本颗粒形状也是球形。塑料核颗粒在相对的导电表面之间受到挤压而产生变形，因此提供了较大的接触面积。聚苯乙烯（Polystyrene，PS）由于具有金属镀层的珠状物，而具有与热固化粘合剂非常接近的热膨胀系数，因而经常被选为内核材料。环氧树脂涂层与具有金属镀层的 PS 珠组合，在热稳定性方面有了巨大的提升[7]。此外，玻璃也可以作为内核材料。由于玻璃核不可变形，因此具有金属镀层的玻璃颗粒可以

产生可控的粘接线厚度。因为导电颗粒尺寸是已知的，所以连接点的电导率是可以预测的。

#### 11.2.4.3 含绝缘层的金属颗粒

为了实现小尺寸间距连接，人们开发了对金属球或具有金属镀层的塑料球表面进行绝缘树脂涂敷的技术。绝缘树脂层只在压力作用下出现破裂，暴露出里面的导电表面，被称为微囊体填充物（Microcapsule Filler，MCF）。MCF 填充量较高的能够避免印制线路部件之间出现电学短路，从而实现小尺寸间距应用[7,12]。采用微囊体填充材料的典型 ACA 连接横截面如图 11.2 所示。

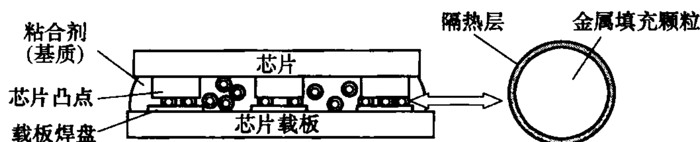



图 11.2 采用 MCF 填充的 ACA 连接的横截面示意图

## 11.3 使用各向异性导电胶的倒装芯片应用

在传统倒装芯片封装中，芯片与芯片基板间的焊料凸点提供了电学连接。为了实现高可靠性，经常需要有机底填充材料来填充芯片与芯片基板间的缝隙。固化后的底填充粘合剂形成一个整体结构，使应力可以在缝隙内所有材料上均匀分布，而不是只集中在焊料连接部分。在过去的几年中，许多研究都致力于开发出使用 ACA 来取代焊料凸点的倒装芯片封装。对于倒装芯片来说，ACA 相对于含铅焊料的主要优势包括 ACA 的小尺寸间距能力、无铅、低处理温度、无熔融残留物及低成本。此外，由于 ACA 树脂可以充当底填充粘合剂，ACA 倒装芯片技术不需要额外的底填充工艺。

ACA 倒装芯片技术已经有很多实际应用，这些应用都是将倒装芯片粘接在刚性芯片基板上[13]，包括晶体管收音机、个人数字助理（Personal Digital Assistant，PDA）中裸芯片组装的 ASIC，数码相机中的传感器芯片，以及笔记本电脑中的存储器芯片。在所有的应用中，其共同特点是 ACA 倒装芯片技术都用于间距极小，通常小于 120μm 情况下的裸芯片组装。对于这些小尺寸间距应用，利用 ACA 倒装芯片技术代替钎焊明显更加合算。

由于其良好的弯曲能力可以顺从应力的释放，ACA 倒装芯片粘接在柔性芯片基板上具有更好的可靠性。例如，树脂固化过程中产生的内部应力可以通过芯片基板的变形而被吸收。由 Wu 等人进行的 ACA 连接点的应力分析指出，固化之后刚性基板的残余应力大于柔性基板的残余应力[14]。

## 11.3.1 采用凸点的ACA倒装芯片

### 11.3.1.1 双填充体系

Y. Kishimoto等人提出了使用两种不同填充物的各向异性导电胶——镀金橡胶颗粒（较软）和镍颗粒（较硬）[15]。ACA用于将具有镀金凸点的倒装芯片粘接到镀铜的基板上。在压力作用下，软颗粒与表面焊盘形成接触并产生变形，从而降低接触电阻。而可以使凸点和焊盘产生变形的硬颗粒，同样与表面紧密接触以帮助降低接触电阻。研究表明，在ACA材料中添加硬和软两种填充物具有相似的电压-电流关系，在经历1000次热循环和1200h 85℃/85% RH的老化试验之后，都具有稳定的接触电阻值[15]。

### 11.3.1.2 有镀层塑料填充物

日本卡西欧（Casio）公司开发了一种被称为微型连接器的先进各向异性导电胶薄膜（见图11.3）[16-18]。这种粘合剂含有由具有薄金属镀层的塑料球制成的导电颗粒。导电颗粒上面又附加一层10nm厚的绝缘聚合物层。该绝缘层由大量绝缘粉末状微颗粒组成，可以使导电球与外表面形成电绝缘。通过静电吸附效应，绝缘粉末状微颗粒粘附在金属层表面形成了该绝缘层。其基本的粘合树脂属于热塑形或热固化，在固化时产生压力。进行粘合时在加热与加压的作用下，与IC芯片凸点表面接触的绝缘层破裂。而绝缘层完整地保护了导电颗粒不被粘合焊盘压碎，因此只在*Z*向形成电学连接并防止出现横向短路情况。采用附加绝缘层的设计，通过增加填充物的百分比（即每单位体积基本粘合树脂和薄膜所含颗粒数），可以实现小尺寸间距和低接触电阻，而不存在横向短路。日本Casio公司已经开始利用这种材料进行袖珍液晶电视机的生产[18]。

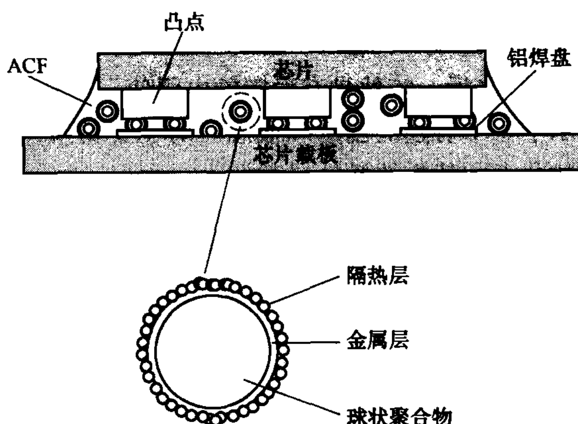


图11.3 日本Casio公司ACA技术——微连接器示意图

### 11.3.1.3 焊料填充物体系

大多数商用ACA的电导率取决于导电颗粒与基板接触焊盘和芯片凸点间挤压产生的机械接触程度。而采用焊料填充的ACA建立了微观的金属化互连。该连接的优势在于，冶金结的建立可以防止粘合剂聚合物基体在工作寿命期限内由于发生松弛而导致断电事故。因此，采用焊料填充的ACA结合了钎焊与粘合剂粘接各自

的优点，从而使ACA连接点更加可靠。此外，冶金结具有更小的接触电阻，能够实现更好的电学性能[19]。

采用SnBi填充与采用Bi填充的ACA连接点具有脆弱的金属间化合物结构，在与诸如Cu、Ni、Au和Pd等典型导体和镀层材料结合时存在问题[20]。然而，Bi与SnBi可以与Sn、Pb、Zn及Al兼容。由于Zn和Al容易氧化，所以对于用SnBi与Bi填充的ACA应用，只有Sn和Pb是合适的最外层表面材料。利用Bi颗粒填充的ACA在SnPb凸点芯片与SnPb镀层基板间形成的冶金结具有高质量的互连形式[21]。在相对较低的温度下，连接点一旦形成就可以经受高温。连接点的形成过程如图11.4所示。在粘接温度为160℃时，当Bi颗粒局部穿透SnPb表面的薄氧化层时，液态小球立刻形成。在Bi颗粒完全溶入固态SnPb凸点和涂层间的液态小球后，更多的Sn和Pb将会溶入液态小球，直到达到该液体在粘接温度下的平衡浓度。凝固后，已溶解的Bi将会以非常细小的颗粒形式从饱和溶液中沉淀出来。由于熔化的状态十分短暂，固态小球需要比第一次熔化更高的温度才可以再次熔化。固态小球再次熔化的熔点可以通过连接点处Bi浓度来进行控制。这样形成的ACA连接点在经历2000h 85℃/85% RH的老化试验或1000h温度循环测试(-40～125℃）之后，依然具有稳定的电阻值。虽然这一研究只是初步的，但是它为我们展示了一个有趣的创意和概念。对于无铅应用，不同材料，诸如纯Sn，可以用于芯片凸点和基板的最外层表面[21]。

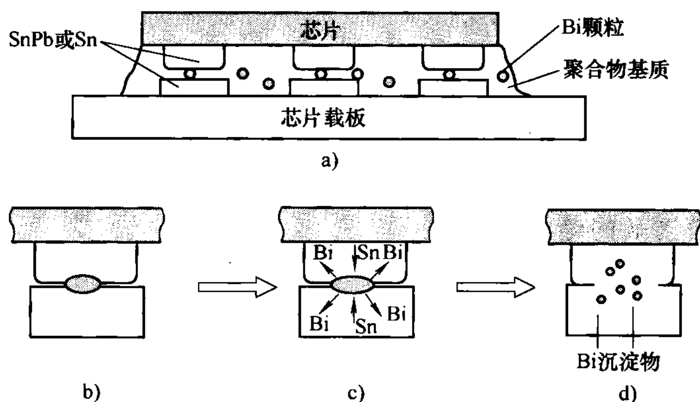



图11.4 凸点芯片与对应基板间使用Bi填充的ACA形成电气连接的示意图
a）芯片对准并放置在芯片基板上 b）施加粘接压力时芯片凸点与基板焊盘间Bi颗粒的变形情况
c）Bi颗粒溶入加热出现的液态小球 d）Bi扩散进入Sn-Pb基体并形成小尺寸固体沉淀物

#### 11.3.1.4 Ni填充物

日本东芝（Toshiba）公司的Hino Works为移动通信终端开发了一种倒装芯片粘接技术，该技术采用了镍球填充的各向异性导电薄膜（ACF）和具有金球凸点的LSI芯片。LSI芯片边缘还利用树脂密封工艺来增强机械强度。芯片基板则采用

FR-5玻璃环氧树脂来提高耐热性。按此组装的传呼机通过了包括跌落、振动、弯曲、扭力及高温等测试在内的认证。该工艺利用全自动倒转芯片粘接方法进行了量产能力论证，可以达到每月30000部寻呼机的产能[22]。

## 11.3.2 基于玻璃芯片基板的ACA凸点倒装芯片

ACA很可能是基于玻璃基板的倒装芯片应用中最常用的粘胶。基于玻璃基板的ACA倒装芯片技术与TAB（载带自动粘接）技术相比，不仅为封装提供了更高的互连密度和更薄、更小的尺寸，还具有更少的工艺流程和更低的成本。此外，当间距小于70~100μm时，使用ACA将IC芯片直接与LCD玻璃面板进行粘接是一个更好的选择。小尺寸与高分辨率的LCD，例如取景器、视频游戏机显示器或液晶投影仪的光开关，都是采用玻璃基板的倒装芯片技术进行IC芯片互连。

### 11.3.2.1 具有选择性粘性的粘合剂方法

日本夏普（Sharp）公司开发了一种倒装芯片粘接方法，采用图11.5所示的ACA技术[23,24]。该技术的创新点在于，将导电颗粒组装到IC芯片表面焊盘。这一“凸点化”工艺在晶圆表面上涂敷一层1~3μm厚UV固化粘合剂。它涂敷了UV固化粘合剂的晶圆，在形成IC芯片铝焊盘的标准掩膜光刻工艺时在UV光下进行照射。经过这一步工艺后，铝焊盘上的粘合剂薄膜没有固化，依然具有粘性，而芯片其他区域上的粘合剂固化。由于铝焊盘上的粘合剂存在粘性，导电颗粒很容易粘附在这些位置。该技术使用的导电颗粒是镀金的聚合物球体。在与玻璃基板对准前，对LSI芯片进行UV固化粘合剂的涂胶作业。施加压力以保持LSI芯片与玻璃基板间的接触，使用UV光对光固化粘合剂进行照射。此后即使撤除施加的压力，芯片表面依然与其对应的基板焊盘保持电学连接。这是由于在已经固化的粘合剂压力作用下，依然与这些表面焊盘保持接触的导电颗粒发生了变形。该工艺具有以下优点：不需要电镀制作凸点；粘接工艺可以利用UV光在室温下完成，从而使其他材料不会因为加热而发生损坏。该封装概念能够达到较高的生成能力。

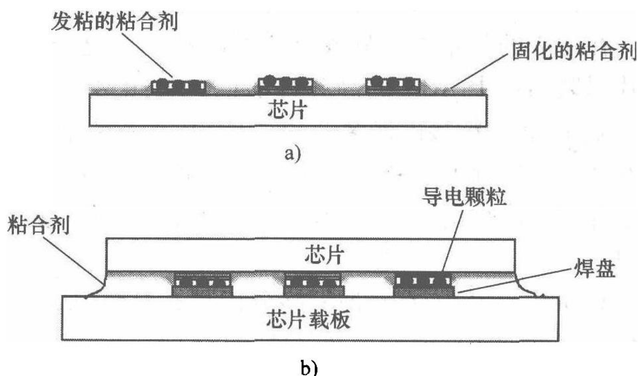



图11.5 日本夏普（Sharp）公司采用ACA的倒装芯片技术示意图

a）导电颗粒粘附在芯片焊盘区域，未固化的粘合剂依然具有粘性 b）经过光（UV）固化后，作用在粘合剂上的压力使芯片与玻璃基板依然保持接触

#### 11.3.2.2 MAPLE 方法

日本精工爱普生（Seiko Epson）公司开发了一种新工艺，称为“MAPLE”（金属-绝缘体-金属有源面 LSI 组装工艺，Metal-insulator-metal Active Panel LSI Mount Ergineering）方法。这是一种基于玻璃基板的倒装芯片技术。MAPLE 方法利用均匀分布导电金颗粒的热固化各向异性导电薄膜，将 IC 芯片直接与玻璃基板直接进行粘接。相比于需要进行几次对准的传统于玻璃基板倒装芯片技术，粘接工艺非常简单。首先，在玻璃基板上贴一层 ACA 薄膜，将 IC 芯片凸点与对应的玻璃基板焊盘对准之后进行预粘接，在高温和压力作用下形成永久性的 IC 互连。粘接工艺中施加压力的设备表面必须与 IC 芯片表面平行，并保持平坦光滑[25]。与 TAB 相比，金属-绝缘体-金属（Metal Insulator Metal，MIM）平板模块采用 MAPLE 方法，具有更小的平板边缘尺寸、更薄的平板厚度、更少的装配边框、更少的工艺步骤及更简单的模块结构。采用 MAPLE 的平板模块通过了所有必需的可靠性测试。MAPLE 方法可用于 MIM 平板模块的大批量生产。

### 11.3.3 基于高频应用的 ACA 凸点倒装芯片

在很多低频应用中，导电胶粘接被证明是一个具有低成本和高可靠性的解决方案。在过去的几年中，ACA 互连的高频性能已经开始吸引越来越多的关注。倒装芯片封装结构中 ACA 的高频性能已经被很多研究者报道过。Rolf Sihlbom 等人指出，采用 ACA 粘接的倒装芯片，在 FR-4 芯片基板上 0.045 ~2GHz 的频率范围内，以及在高频特氟龙芯片基板上 1 ~21GHz 的频率范围内，具有与采用焊料粘接的倒装芯片等效的性能。导电胶颗粒尺寸和材料的不同对高频下 ACA 连接点的性能影响很小[26,27]。

Myung-Jin Yim 在微波网络分析与 $S$ 参数测量的基础上，为 ACF 倒装芯片连接点建立了微波频率模型。通过使用该模型，可以对采用镀镍和镀金两种聚合物颗粒填充的 ACF 倒装芯片互连进行模拟。通过推算可以得到，采用镀金聚合物颗粒填充的 ACF 倒装芯片互连，在 13GHz 的频段内与采用焊料凸点的倒装芯片具有相同的传输和损耗特性，因此最高可用于 13GHz 频段。然而由于镍颗粒相对于镀金颗粒具有更高的电感，所以采用镀镍填充的 ACF 连接点最高只能用于 8GHz 频段。在高谐振频率应用中，通常希望聚合物树脂具有较低的介电常数而导电颗粒具有较低的电感[28]。

### 11.3.4 基于无凸点倒装芯片的 ACA

虽然基于凸点芯片的倒装芯片通常都使用 ACA，但是在一些情况下无凸点倒装芯片也会采用这一技术。对于无凸点倒装芯片，必须通过导电颗粒与芯片的铝焊盘而非凸点粘接来施加一个压力可控的接触。这一压力必须足够大，以确保能够破坏铝焊盘的氧化层。足够数量的导电颗粒必须进入接触焊盘区域，并在粘接和固化

期间保持位置不变以确保互连的可靠性。除了保证接触区域导电颗粒数量的最大化，位于焊盘附近区域的颗粒数量必须达到最小以防止出现电学短路。无凸点倒装芯片下一个必须额外考虑的因素，就是在粘接与固化过程中粘合剂的流动性。在聚合物树脂进行固化时，温度升高速度必须足够慢以保证导电填充颗粒能够从芯片基板一侧移动到芯片焊盘一侧[29]。

#### 11.3.4.1 镀金镍颗粒填充

已经报道过，采用镀金的镍颗粒为无凸点倒装芯片提供可靠连接的应用[30]。另一项研究表明，相比于含有较小颗粒的ACA，含有较大颗粒的ACA能够更好地适应由表面粗糙、焊盘不平坦或与基板表面不平行所引起的平整度问题。采用小直径颗粒ACA的无凸点倒装芯片，要得到100%电导一致性是非常困难的[31]。

#### 11.3.4.2 镀镍/金的银颗粒填充

日本东芝（Toshiba）公司开发的一项倒装芯片技术，利用ACF将无凸点裸芯片（具有铝焊盘）组装到一块采用银浆丝网印制形成凸点的PCB上[32]。经过固化形成银凸点（直径70μm，高20μm），随后在上面电镀镍/金。研究表明，采用镀金塑料球，具有低CTE（$28\times10^{-6}$/℃）、低吸水率（1.3%）的ACF效果最好。与没有电镀镍/金的银浆成形凸点相比，电镀镍/金的银浆成形凸点具有更小的初始连接电阻和更小的连接电阻增长率。

#### 11.3.4.3 导电圆柱

日本日东电工（Nitto Denko）公司为小尺寸间距倒装芯片应用开发了一款各向异性导电薄膜[33]。这款ACF的特点是：①凸点较少的芯片与小尺寸间距印制线路板之间具有可连接性；②高电导率；③可维修（在高温下可以轻易将芯片从印制线路板上剥离）；④高可靠性；⑤可在室温下保存。其他值得注意的特点还有，最小可用间距25μm；导电单元是微金属圆柱而非任意形状的颗粒；粘合剂基体由热塑形聚合物树脂构成；导电圆柱镀有绝缘层；具有高$T_g$的聚合物将导电圆柱与粘合剂完全隔离。

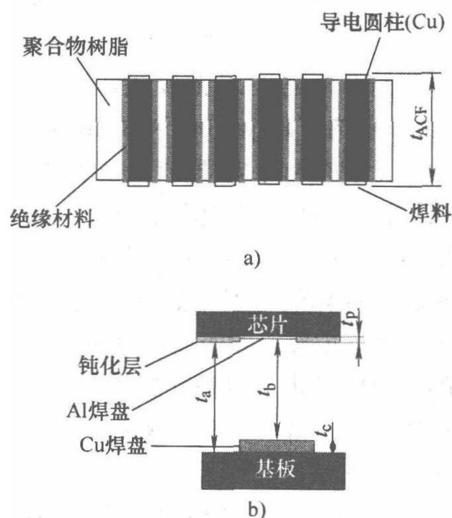



图11.6 小尺寸间距倒装芯片连接示意图
a）填充了导电圆柱的各向异性导电薄膜
b）典型无凸点芯片与对应芯片基板的横截面图

通过简单地改变导电圆柱的直径，就可以使导电薄膜适应不同的间距。在导电圆柱（通常为铜）的顶端和底部都镀有锡/铅或其他焊料。导电圆柱两端所镀的焊料熔化，可以在导电圆柱与芯片焊盘金属及对应的芯片基板间形成良好的金属化连接。图11.6a所示为该薄膜的横截面结构。由

于金属镀层表面粗糙，因此具有能够为对应的表面焊盘提供良好连接的优点。无凸点芯片的典型表面焊盘结构如图 11.6b 所示。为了实现良好的连接，导电圆柱的高度必须大于钝化层的厚度（$t_p$）。因为芯片基板表面铜焊盘与芯片表面钝化层的间距 $t_b$，通常小于 $t_a$（芯片基板表面焊料掩膜与芯片表面钝化层的间距），如果导电圆柱的高度大于 ACF 的厚度（$t_{ACF}$），那么在粘接过程中就为导电圆柱假设一个倾斜位置。为了实现良好的连接与粘附效果，调节芯片或芯片基板上焊盘的厚度及 ACF 的厚度就成为了重点。可靠性结果表明，具有高 $T_g$（282℃）粘合剂基体的 ACF 拥有较高的可靠性；经过 1000 次加速热循环测试（-25～125℃）后接触电阻依然保持不变。

### 11.3.5 基于 CSP 和 BGA 应用的 ACA 倒装芯片

针对 CSP 应用市场，美国 Merix 公司与美国奥本（Auburn）大学联合开发了一款被称为区域键合导电（Area Bonding Conductive，ABC）粘合剂的各向异性导电胶。ABC 粘合剂是一种双区域热固化粘合剂，由连续氧化物填充的绝缘粘合剂环绕导电胶焊盘形成完整的粘接区域。两个区域通过聚酯载体释放薄膜提供无法溶解的、分阶段反应的、无粘性的环氧树脂。相比于传统的 ACA，ABC 粘合剂的导电区域仅位于粘接焊盘的位置。ABC 粘合剂可以为倒装芯片和 CSP 应用提供一个可靠、低成本、低温低压的工艺选择[34]。

#### 11.3.5.1 双层 ACF 薄膜

美国摩托罗拉（Motorola）公司利用 ACF 开发出一种低成本、小尺寸间距的柔性 CSP 倒装芯片封装[35]。这种封装结构通过灵活利用现有的引线键合焊盘配置，在不增加布线和晶圆焊料凸点制造成本的情况下，消除了芯片下部需要包封的需求。他们对两类 ACF 薄膜进行研究，在第二层填充了具有镍-金镀层的二乙烯基苯-聚苯乙烯（Polystyrene-Divinylbenzene，PS-DVB）球及固体镍颗粒的双层薄膜。这种由无填充和导电颗粒填充的两种粘合剂层组成的薄膜结构如图 11.7 所示。这种双层设计降低了互连焊盘 $X$-$Y$ 空间内的颗粒密度，有助于增强 $X$-$Y$ 平面上的绝缘特性。同时，双层薄膜能够提供更大的粘接体积，从而捕获粘接互连焊盘上更多的颗粒。计算值与观测值都表明，双层薄膜被捕获的导电颗粒数量远远大于单层 ACF。这意味着，即使双层 ACF 内的颗粒密度较低，影响两个互连焊盘间电学连接的导电颗粒也可以被互连焊盘间的双层 ACF 更加有效地捕获。具有镍/金镀层的粘接焊盘的芯片和芯片基板都是柔性聚酰亚胺材料，完全可以补偿平整度的差异。它对于压缩粘接操作所具有的适应性，能够使粘接区域的铜线发生变形，补偿存在的不平整与不规则情况。这种 ACF 粘合剂体系，在经过 500 次液态至液态的温度冲击（LLTS）老化试验（-55～125℃）后，依然能够提供稳定的接触电阻。

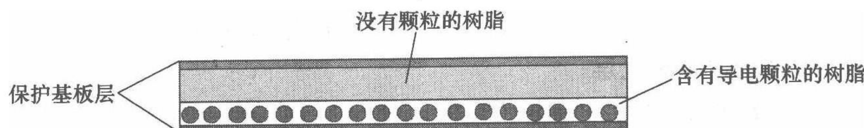



图 11.7 双层 ACF 示意图

#### 11.3.5.2 陶瓷芯片基板与有机芯片基板对比

陶瓷芯片基板和有机芯片基板，作为微球栅阵列（μBGA）形式的芯片尺寸封装（CSP）和 BGA 及倒装芯片器件中广泛采用的结构，可以通过使用具有不同尺寸导电颗粒的 ACA 进行对比[36]。陶瓷芯片基板具有 AgPd 厚膜粘接焊盘，而有机芯片基板则是采用亚微米级镀金铜焊盘的传统 PCB（1oz 铜 FR-5 层压板）。相对于陶瓷芯片基板，有机芯片基板可以更容易地实现均匀电导率和高成品率。这是因为 FR-5 芯片基板的粘接焊盘比陶瓷芯片基板的厚膜更为平整。对于有机和陶瓷芯片基板，最适宜的工艺条件和粘合剂材料的选择这两方面存在着很大的区别。在两种芯片基板中，采用小颗粒 ACA 的总体性能较差，而采用大尺寸聚合物内核颗粒的 ACA 性能更好。这是因为聚合物内核颗粒的变形可以弥补芯片凸点与芯片基板间的间隙偏差。

### 11.3.6 SMT 应用

在小尺寸间距应用方面，ACA 作为表面组装技术中铅锡焊料的替代物而被广泛研究。除了可以提供无铅组装解决方案，其成本效益也是一大关键优点。使用 ACA 进行小尺寸间距表面组装器件的粘接，其最大优势是成本低。ACA 粘合剂的一个局限就是需要在接触压力的作用下进行固化。利用传统的表面组装技术，在刚性芯片基板上将 ACA 作为焊料的替代物，这一概念是由 J. Liu 等人提出的[37]。小尺寸间距的表面组装器件使用 ACA，通过小尺寸间距的粘接设备粘接到 FR-4 基板上，然后大尺寸间距的器件则使用 ICA，通过标准表面组装设备进行粘接。研究表明，标准化的表面组装工具能够用于导电胶的封装应用。采用 ACA 粘接的具有焊料镀层的塑料零件（0.65mm 间距），在 -40 ~ 85℃ 的加速温度循环（Accelerated Temperature Cycling，ATC）测试后，其连接电阻没有变化。然而，相似的部件在 -55 ~ 125℃ 条件下经过 1000 次循环就出现了失效[38]。这些机械稳定性问题都是由连接点形状不规则，也就是 ACA 粘接点没有进行优化所造成的。

### 11.3.7 失效机理

因为粘合剂基体是非导电材料，所以对于传统 ACA，连接点需要依赖一定程度的压力来确保接触。使用焊料的连接点的主要失效机理都与金属间化合物的形成及颗粒的磨损有关，而使用粘合剂的连接点则展现了不同的失效机理。有两种主要的失效机理会影响接触：第一种是在接触区域或导电颗粒表面形成一层绝缘薄膜；

第二种是导电单元间由于粘附性降低或压力损耗而导致的机械接触降低。

#### 11.3.7.1 非贵重金属氧化层

非贵重金属凸点、焊盘和导电颗粒的电化学腐蚀导致了绝缘金属氧化物的形成，从而大大增加了接触电阻。电化学腐蚀，只在潮湿的环境下具有电位差的金属之间发生。湿气通常加速氧化物的形成，因而也会导致接触电阻增大。对使用金凸点和填充了镍颗粒的 ACF 的柔性基板倒装芯片（FCOF）进行可靠性测试，结果表明连接点的接触电阻随着高温、高湿条件下存放时间的延长而增大[39]。在这种条件下，金凸点成为阴极，而镍颗粒成为阳极，最终在镍颗粒表面形成了一种绝缘的镍氧化物。

#### 11.3.7.2 压力损耗

维持导电部分间的接触压力，一部分是由于 ACA 的聚合物基体进行固化时产生收缩而造成的。粘合剂基体与芯片及芯片基板间的粘合剂基体内聚强度和界面粘附强度都必须足够大，以维持压力。然而，因吸收湿气导致的粘合剂热膨胀，以及因外加载荷导致的机械应力，都会减小这种由固化产生的压力。此外，水分不仅扩散进入粘合剂层，还渗透进入粘合剂与芯片及芯片基板间的界面，引起粘接强度降低，从而导致接触电阻增大，甚至能够导致电学接触完全失效[40]。

## 11.4 各向同性导电胶描述

### 11.4.1 电学导通的浸透理论

各向同性导电胶（ICA）是由聚合物树脂与导电填充物组成的混合物。导电填充物通过导电颗粒间的相互接触为这种混合物提供了导电性。随着填充物不断聚集，ICA 的电学特性使它从绝缘体转变成为导体。人们利用浸透理论对 ICA 混合物进行了解释。在填充物聚集水平较低时，ICA 的电阻率随着填充物的不断聚集而逐渐减小。然而，当填充物聚集达到了被称为浸透阈值的 $V_c$ 这一临界值时，电阻率急剧下降。人们相信，在这种聚集程度下，所有的导电颗粒全部互相接触，并形成了一个三维网络。随着填充物的进一步聚集，电阻率只有轻微的下降[41-43]。图 11.8 所示曲线解释了基于浸透理论的 ICA 的电阻率变化。为了实现电学导通，ICA 中填充物的体积分数必须等于或者略微高于临界体积分数。与焊料类似，ICA 在连接点具有电气连接和机械粘

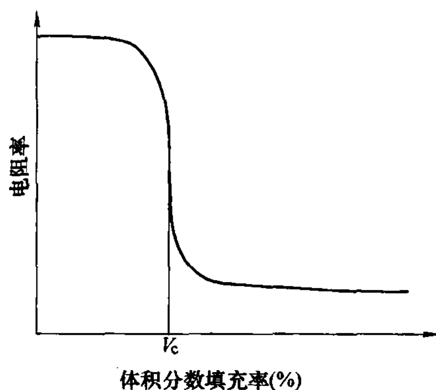



图 11.8 ICA 体系中填充物体积分数对电阻率的影响

接两种功能。在ICA连接点内，聚合物树脂提供了机械稳定性，而导电填充物则提供了电学导通。填充物的含量太高将会引起粘合剂连接处机械完整性的恶化。因此，ICA配方的挑战性在于，既要使填充物的含量最大化以实现良好的电学导通，又不能对机械性能带来不良影响。如一个典型ICA配方，其导电填充物的体积分数大约在25%～30%之间[44,45]。

## 11.4.2 粘合剂基体

各向同性导电胶的聚合物基体与各向异性导电胶类似。ICA的理想基体应该具有较长的存放寿命（良好的室温环境）、快速固化能力、相对较高的熔融温度（$T_g$）、低吸湿性及良好的粘性[46]。

### 11.4.2.1 基体材料

热塑形与热固化树脂都可以用作ICA的成分。ICA成分中最主要的热塑形树脂是聚合物树脂。热塑形ICA吸引人的优势在于其可返工性。举例来说，就是可以轻易地进行返修。然而，热塑形ICA的一个主要缺点就是高温下粘附性的衰退。另一个缺点是它们通常都含有溶剂。在加热过程中，溶剂挥发后将形成空洞。大部分商用ICA采用的都是热固化树脂。环氧树脂由于具有更加均衡的特点，所以通常被用作热固化ICA的主要成分。硅树脂、氰酸酯及氰基丙烯酸酯也可以用于制作ICA[47-51]。

### 11.4.2.2 实现保存与快速固化

大部分商用ICA必须在非常低的温度，通常为-40℃下进行保存和运输，以防止ICA固化。对ICA使用者来说，罐装寿命是一个非常重要的因素。为了实现室温保存，必须小心选择环氧固化剂。许多令人满意的商用ICA都采用室温下不溶于环氧树脂的固态固化剂。然而，这些固化剂在较高的温度（固化温度）下，依然可以溶于环氧树脂，并与环氧树脂发生反应。保存的另一个方法就是采用包封好的咪唑作为固化剂或者催化剂，将咪唑包封在一个非常小的聚合物球中。在室温下，这个聚合物小球不溶于环氧树脂或与环氧树脂反应。但是在较高的温度下，聚合物外壳破裂，咪唑从小球中释放出来，使环氧树脂固化或者对固化反应进行催化。令人满意的ICA的另一个吸引人的特点，就是快速固化。更短的固化时间可以增加产量，从而降低加工成本。对于采用环氧树脂的ICA，选用合适的固化剂和催化剂（如咪唑和叔胺（三级胺）），可实现快速固化。

### 11.4.2.3 低$T_g$材料影响

具有低$T_g$的导电胶能够在热循环老化试验过程中失去导电性[52,53]。采用金属粉末填充的导电胶通过相邻的金属颗粒互相接触来实现导电，这就为器件引线与金属镀层焊盘之间提供了连续的导电通路。当处于热循环条件时，连接点相对于芯片基板焊盘进行引线的循环重复剪切运动。剪切应变的大小主要依赖于热循环条件和器件与芯片基板间的热膨胀失配。由于引线变形与基板相应变形可以忽略，产生的

剪切应变主要是通过导电胶的粘弹性或者粘塑性变形进行调整的。当导电胶通过变形对产生的剪切应变进行调整时，金属颗粒产生移动，从而改变了相邻金属颗粒间接触点的位置。如果有机基体具有很强的跟随性，它将流动起来，对金属颗粒移动离开后留下的区域进行填充。在热循环过程中剪切应变的方向发生反向，相邻的金属颗粒移动返回到它们之前的接触位置，而这些位置则部分被具有跟随性和电绝缘性的有机基体材料所覆盖。随着热循环次数增加，相邻金属颗粒间的接触电阻也在不断增大，从而导致连接点电阻随之增大[52]。

#### 11.4.2.4　吸湿性影响

吸湿性能够影响导电胶连接处的可靠性。众所周知，具有聚合物混合成分的湿气对于叠层环氧树脂结构的机械和电气性能具有不利影响[53,54]。有关电子封装可靠性和湿度灵敏性的研究揭示了相似的不利影响。可以确定的是，吸湿性能够引起接触电阻增大。这一现象在粘接焊盘和器件的金属镀层不是贵重金属的情况下尤为明显[55]。表 11.1 总结了吸湿性对导电胶连接点的影响。为了达到较高的可靠性，导电胶需要具有较低的吸湿性。对于焊盘与器件金属镀层具有较高的粘附强度，是电子封装领域互连导电胶的必要特性。采用环氧树脂的 ICA 与采用聚酰亚胺和硅树脂的 ICA 相比具有更好的粘附强度。然而，硅树脂基体比环氧树脂具有更低的吸湿性[48]。

**表 11.1　ICA 连接点处的湿气影响**

| 主要影响 |
| --- |
| 减小机械强度 |
| 使界面粘附强度减小并引起分层 |
| 使连接点处出现空洞的概率增大 |
| 使连接点处的应力急剧增大 |
| 导致由腐蚀引起的金属氧化物层的形成 |

### 11.4.3　导电填充物

由于聚合物基体属于电绝缘材料，ICA 配方中的导电填充物为材料提供了导电性。为了实现较高的电导率，填充物浓度必须至少等于或者高于由浸透理论预测的临界浓度。

#### 11.4.3.1　纯银与镀银填充物比较

虽然金（Au）、镍（Ni）、铜（Cu）和碳（C）等材料也可以作为 ICA 的组成成分，但是银（Ag）是到目前为止应用最为广泛的导电填充物。银是所有低成本金属中，惟一的氧化物（$Ag_2O$）具有导电性的金属。大多数普通金属的氧化物都

是良好的电绝缘体，例如铜粉在老化试验后变成不良导体。由于极易被氧化，采用镍和铜材料填充的导电胶通常不具有良好的导电稳定性。即使加入抗氧化剂，采用铜材料填充的导电胶在老化试验时出现了体电阻率增大，尤其是在高温和高湿条件下。商业上镀银的铜材料被用作导电墨水，也可以用作粘合剂的填充物。而由纯银颗粒填充的混合物，在高温和高湿或者热循环过程中常常出现电导率增大的现象，这对于像铜片这样的镀银金属来说却是不常见的。据推测，热能与机械能的加载使纯银颗粒能够实现更紧密的接触，但是镀银的铜材料由于镀层具有不连续性，因而铜层之下会出现氧化层/腐蚀层，从而减少了导电通路[44]。

#### 11.4.3.2 颗粒形状与尺寸

ICA 中采用的导电填充物最常见的形态，就是薄片状。这是因为薄片具有较大的表面积和更多的接触点，比球形填充物具有更多的导电通路。ICA 填充物的颗粒尺寸通常在 1 ~ 20μm 之间，更大的颗粒可以为材料提供更高的电导率和更低的粘附性[56]。一种新型的纳米尺寸多孔银颗粒已经被用来制作 ICA[57,58]。采用这种颗粒的 ICA 的机械特性得到提高，但是电导率却小于采用银薄片填充的 ICA。此外，短碳纤维作为导电填充物也可用于制作导电胶[59,60]。然而，采用碳材料填充的导电胶比采用银材料填充的导电胶具有低得多的电导率。

#### 11.4.3.3 银铜填充物

1992 年，研究人员提出了一种具有特殊结构的粉末作为导电胶填充物[61]。这种粉末由铜和银两种金属颗粒组成。银在颗粒表面具有较高的浓度，其浓度随着颗粒表面向颗粒内部移动而逐渐减小，但是银的总含量却很小。采用这种粉末填充的导电胶具有理想的抗氧化性。也就是说，它可以暴露在含有 $100\times10^{-6}$ 氧气含量的氮气保护气中而不被氧化。这种粘合剂与目前商用的铜浆相比，在经过加热和/或冷却测试以后，具有更高的可焊性、足够大的粘附强度及与纯铜浆相同的最小迁移量[61]。

#### 11.4.3.4 低熔点填充物

为了提高电气与机械性能，低熔点合金填充物可用于制作了 ICA。导电填充物的粉末表面镀有一层低熔点金属。导电粉末由金、铜、银、铝、钯和铂等金属中选出。而低熔点金属是铋、铟、锡锑和锌这些易熔的金属。填充物颗粒采用低熔点金属进行镀层，在相邻颗粒间及由粘合剂材料粘接的颗粒与粘接焊盘间熔融形成冶金结[62,63]。

## 11.5 使用各向同性导电胶的倒装芯片应用

实现低成本倒装芯片技术的一个关键因素就是各向同性导电胶。与传统倒装芯片（FC）技术相比，使用 ICA 进行凸点化和粘接具有很多优点（见表 11.2）。

**表 11.2 采用 ICA 倒装芯片技术的优点**

| 优　点 |
| --- |
| 工艺简单，通过减少激活和净化工艺减少了标准工艺步骤 |
| 器件与引线基板上具有更小的温度载荷 |
| 较大范围的材料组合选择性 |
| 允许选择工艺参数和粘接特征的粘合剂体系的广泛适用性 |
| 由于不用考虑合金构成，对凸点下金属层（Under Bump Metallization，UBM）要求不多 |

美国 Motorola 公司通过数学模拟和实验，成功地验证了一种采用丝网印制技术的 ICA 倒装芯片凸点化工艺[64]。这项研究使用了具有金薄膜镀层的砷化镓和硅基倒装芯片器件，以及同样具有镀金层的氧化铝和 FR-4 芯片基板。利用导电胶作为聚合物凸点的芯片与芯片基板，其连接处（例如 GaAs/$Al_2O_3$，GaAs/FR-4 和 Si/FR-4）的电气性能与金和金锡凸点没有什么不同（所有的倒装芯片都利用 ICA 贴装在芯片基板上）。然而，在 HAST 和热冲击测试中很快就观察到了失效现象。

在进行圆片级和大尺寸产品的生产时，聚合物凸点化方法是一种低成本且有效的工艺。在加速老化条件下，例如 85℃/85% RH 和温度循环下，连接点处电阻稳定性的数据说明聚合物倒装芯片的互连具有长期的稳定性。聚合物倒装芯片的封装广泛适用于刚性基板及热敏感和柔性芯片基板。

## 11.5.1 工艺

文献资料介绍了多种倒装芯片凸点化和粘接技术。采用 ICA 的倒装芯片常常被称为聚合物倒装芯片（Polymer Flip Chip，PFC）。PFC 工艺是一种丝网印制技术。该技术将 ICA 通过金属模板进行印制，在 IC 器件的铝焊盘表面淀积形成的凸点下金属层上形成聚合物凸点。实现 PFC 互连的工艺步骤顺序为 UBM 淀积、ICA 丝网印制、凸点形成（ICA 凝固）、倒装芯片贴装实现电气连接、增强机械性能的底填充及环境集成[64-66]。

### 11.5.1.1 芯片焊盘保护层的形成

事实上，对于所有倒装芯片工艺，铝粘接焊盘必须进行保护以避免生成不导电的氧化铝，这样能够确保粘接焊盘的分界面具有较小而又稳定的电阻。聚合物倒装芯片工艺利用一种非电镀技术，在聚合物凸点化之前使用镍/金或钯覆盖铝焊盘。通常钯的厚度为 0.5 ~ 1.0μm，镍/金的厚度为 3.0 ~ 5.0μm。

### 11.5.1.2 印制 ICA

PFC 工艺将高精度的丝网印制技术与高导电性的 ICA 结合起来。这些聚合物都能够进行热固化或者热塑形。首先，在晶圆上具有金属镀层的粘接焊盘上，通过金属掩膜版直接淀积 ICA 来形成聚合物凸点。印制形成的导电胶凸点可以根据成本和制造要求，作为一种可以替代其他凸点化技术的有力选择。印制工艺通常包括筛

网或模板，通过上面的开孔淀积形成凸点。筛网由相互交织的线状网格组成，线状网格上面覆盖有感光材料。这些感光材料经过光刻形成与凸点位置对应的图形。模板由金属薄片制成，通过刻蚀、电铸（电镀）或者激光打孔形成淀积凸点用的开孔。

在印制过程中，点涂的粘合剂与模板开孔还有一定的距离。通常模板与下面基板之间有一段抓取-释放距离。橡胶滚轴下压，使模板与下面的基板或晶圆表面完全接触。随着橡胶滚轴沿着模板表面移动，通过粘合剂滚动的形式形成稳定的图形。在流体压力作用下，橡胶滚轴推动粘合剂进入图形化的模板开孔中。然后模板提起，离开基板表面，从而把粘合剂留在了基板表面。

### 11.5.1.3 固化

对于热固化的聚合物凸点来说，在丝网印制后聚合物凸点可以进行完全固化，也可以进行被称为分阶段固化的部分固化。而对于热塑形聚合物凸点，丝网印制之后溶剂挥发形成了固态凸点。凸点高度一般在 50 ~ 75μm 之间，而且可以通过调整工艺将间距降低至 5mil。通过理想的共面化工艺可以达到最多 80000 个凸点/晶圆的凸点密度。

一旦凸点化的晶圆被切割成小芯片，芯片即可从晶圆上进行拾取，反转过来，然后贴装粘接在芯片基板上。粘接热固化聚合物凸点的不同工艺步骤如图 11.9 所示。热塑形凸点的工艺与其类似。对于热固化凸点来说，最后一步工艺包括加热固化，而热塑形凸点连接只需要加热加压几秒钟以使热塑材料融化。

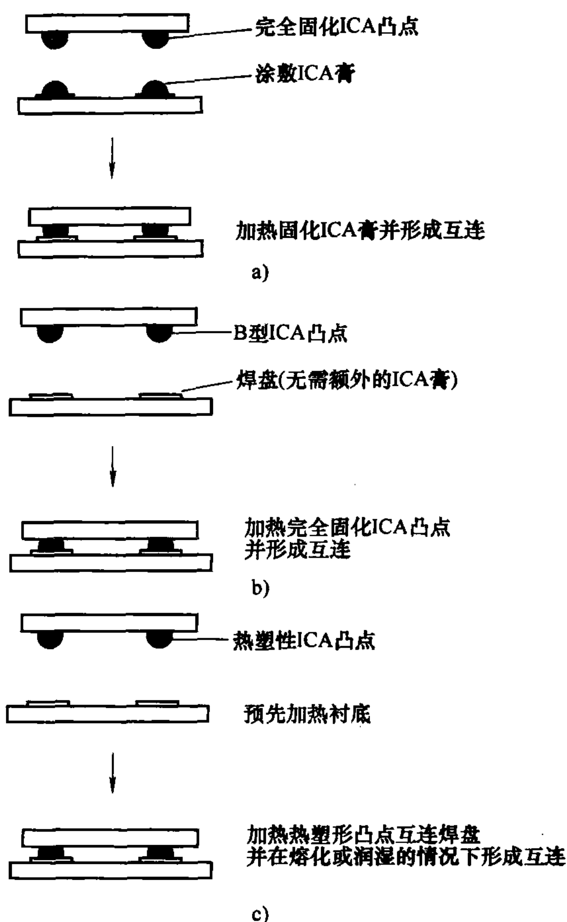



图 11.9 使用 ICA 的不同芯片贴装工艺示意图
a）含固化后 ICA 凸点的芯片，及其对应的含未固化 ICA 焊盘的基板 b）含部分（分阶段）固化 ICA 凸点的芯片，及其对应的含裸露焊盘的基板 c）含热塑形 ICA 凸点的芯片，及其对应的含裸露但是经过预加热焊盘的基板

### 11.5.1.4 底部填充

底部填充物被注入芯片与芯片基板间的间隙，然后进行固化，从而完成整个倒装芯片工艺。底填充物的作用就是为倒装芯片封装提供

机械集成和环境保护。研究表明，热固化与热塑形 ICA 都能够提供低于 5mΩ 的较低的初始连接点电阻，并在经历所有的加速可靠性测试后依然具有稳定的连接点电阻（Au-Au 倒装芯片粘接）。这些可靠性结果说明，热固化凸点与热塑形凸点的性能之间并没有本质性的不同，两种聚合物都可以提供可靠的倒装芯片电气互连[66]。

### 11.5.2 基于金属凸点的倒装芯片连接点

ICA 也可以用于与具有金属凸点的芯片形成电气互连。各向同性导电胶与 ACA 相比，具有更高的填充物含量，从而为整个材料提供各向同性（也就是所有方向相同）的电导率。为了使这些材料能够应用于倒装芯片，它们必须有选择性地用于那些将要进行电气互连的区域。同样地，这些材料在放置或者固化时不能流动，以避免形成电路部件间的电气短路。筛网或模板印制是进行 ICA 精确淀积最常用的方法。然而，为了满足倒装芯片尺寸和精度的要求，粘接需要非常精确的图形对准。为了克服这一困难，日本三菱（Matsushita）公司开发了一种迁移方法[67]。

由于在芯片或者芯片基板上需要钉状突起或柱状突起，日本三菱公司利用传统的球形粘接头来形成金钉状凸点。凸点化工艺比完整的引线键合工艺快许多。球形凸点工艺消除了传统的用于标准凸点制作的溅射与电镀工艺的需求。为了防止粘接区域变得太大，凸点都采用了圆锥体形状。这些凸点都由一个平整的平面冲压保持水平，使其保持统一的高度和平面。通过将芯片表面与丝网印制制作的 ICA 薄膜接触，使 ICA 选择性地迁移到凸点顶端，迁移厚度可以通过改变印制薄膜的厚度来进行控制。接下来芯片被拾取、对准并放置在芯片基板上。整个贴装过程都要对 ICA 进行加热固化，使芯片与芯片基板之间形成连接。最后，底填充物（绝缘粘合剂）被点涂在芯片和芯片基板之间并进行固化。因为需要粘接压力，这种组装的方法为热固化提供了选择。为了避免银的迁移，ICA 采用了一种含有 20% 钯的特殊银钯合金配方。采用 ICA 的钉状凸点倒装芯片形成连接点的工艺流程如图 11.10 所示。

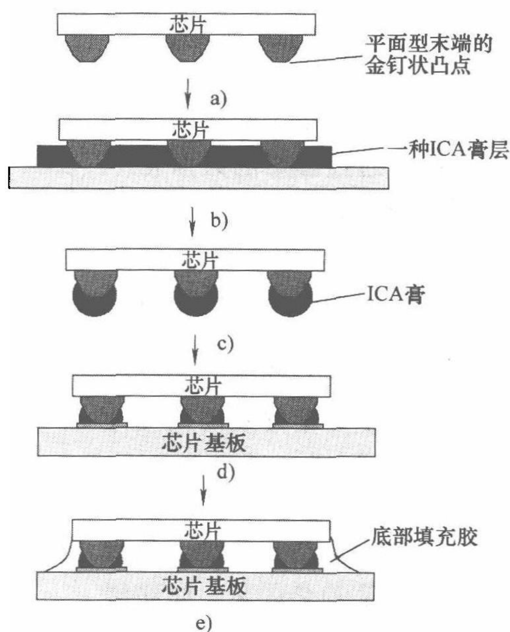



图 11.10 采用 ICA 钉状凸点倒装芯片形成连接点工艺流程图

a）由引线键合工具形成的金钉状凸点被平坦化 b）经过平坦化的凸点被插入 ICA 薄膜 c）芯片被抽出，凸点表面覆盖了 ICA d）在固化过程中，芯片在压力作用下被放置在对应的芯片基板的焊盘上 e）底填充物（绝缘粘合剂）被点涂并进行固化

11.5.2.1 **与焊接连接点比较**

使用金属凸点粘接倒装芯片还有另外一种工艺，步骤包括在芯片基板上丝网印制形成ICA、对准并放置芯片、固化ICA以形成粘接，然后进行底填充。通过这种方法，挪威SINTEF电子公司，对采用ICA将倒装芯片和具有镍/金镀层的FR-4芯片基板进行粘接的结构与采用焊料进行粘接的结构，进行了对比。他们对焊料倒装芯片电路与ICA倒装芯片电路在温度循环（-55~125℃）条件下的失效次数进行比较。研究表明，ICA倒装芯片的连接点至少能够在1000~2000次循环内保持稳定的接触。这与焊料倒装芯片连接点的寿命具有可比性。然而，ICA样品中的偏差非常高，组装工艺需要进行优化以提高连接点电阻的可重复性[68]。

### 11.5.3 基于无凸点芯片的ICA工艺

另一种广为人知的聚合物倒装芯片凸点化工艺是微机械凸点化[69,70]。最初，导电聚合物凸点的铬/金接触金属焊盘被淀积在硅晶圆上，然后使用厚的光刻胶进行图形化以形成凸点开孔。在形成导电聚合物凸点的图形时，大深宽比和垂直的侧壁图形是至关重要的。在光刻之后，通常填充有银薄片的热塑形导电聚合物材料，通过点涂或者丝网印制填充进凸点开孔图形中。使用对流热烘箱对晶圆进行加热以去除溶剂。由于厚光刻胶与导电聚合物的固化条件各不相同，光刻胶可以小心地剥离，使烘干的聚合物凸点显现出来，最后晶圆被切割成独立的芯片。

具有热塑形凸点的芯片被放置在芯片基板上并预加热，温度约高于聚合物的熔点20℃，使凸点经过回流后与芯片基板焊盘匹配。当芯片基板温度降至聚合物熔点以下时，机械和电气粘接形成。为了增强机械粘接强度，还应当通过在芯片上施加一个重量来提供一个较小的压力。

对于传感器和执行器系统、光微电子机械系统（Microelectromechanical Sytem，MEMS）、光电多芯片模块（Optoelectronic Multichip Module，OEMCM）及电子系统等应用，这种倒装芯片粘接技术具有巨大的潜力来取代传统的焊料倒装芯片技术[70]。

## 11.6 ICA在微电子封装中的应用

### 11.6.1 表面组装应用

铅锡焊料（SnPb）是电子器件与印制电路板（PCB）进行互连的标准材料。最常见的回流焊接工艺是一种采用铅锡焊料粘合剂的表面组装工艺（SMT）。由于铅危害人体健康，特别是在欧洲，减少工业上铅的使用的压力日益增长[71]。因此，SMT工艺中铅锡焊料粘合剂的使用必须减少或者消除，以满足法律条例和市场驱

动的双重压力。

11.6.1.1 优点

人们迫切需要无铅和对环境无害的互连粘接工艺。在所有的选择当中，导电胶（ECA）和无铅焊料是最为可行的[72-74]。与焊接技术相比，ECA技术具有诸多优点，例如更少的工艺步骤降低了工艺成本，更低的工艺温度使使用对高温敏感和低成本的芯片基板成为可能，以及实现小尺寸间距能力[73]。

11.6.1.2 缺点

然而，导电胶技术依然处于起步阶段，担心与限制确实存在。商用ICA的主要限制包括，相比于焊料材料较低的电导率、采用非贵重金属部件的不稳定的接触电阻及较差的抗冲击性。ICA的电阻率（约 $10^{-4}\Omega\cdot cm$）低于铅锡焊料（约 $10^{-5}\Omega\cdot cm$）。尽管能够满足绝大多数电子应用，但是ICA的电导率必须得到提高。尤其在高温高湿老化条件下，ICA与采用非贵重金属（如锡铅、锡和镍）的部件之间的接触电阻，将会随着时间延长急剧增大[75-78]。此外，印制线路板封装在组装、拾取及整个产品寿命过程中，常常受到巨大的机械冲击。如果没有足够好的抗冲击性，封装结构无法保证完好。然而，大部分微电子商用ICA的冲击性表现都较差。使用ICA组装的器件，在封装结构经受突然性冲击时经常从基板上脱落[77,79]。提高ICA的性能，使其成为更可靠的材料，依然有着很多的工作要做。这些改进将在下面的章节中进行讨论。

11.6.1.3 CSP应用

日本三菱电子工业有限公司开发了无焊料粘接技术。该技术采用镍填充的各向同性导电胶，将陶瓷芯片尺寸封装（CSP-C）组装到FR-4基板上[80]。选取镍来替代银的原因在于，镍不同于银，不存在电迁移现象。CSP-C的陶瓷芯片基板（$CTS=7\times10^{-6}$）与FR-4有机芯片基板（$CTS=16\times10^{-6}$）之间存在着巨大的热膨胀系数失配。这种CTE失配导致了焊料粘接点在加速热循环（ATC）测试过程中产生较大的应力，从而引起焊料疲劳，过早出现失效。ICA与焊料相比通常具有更好的热机械特性。此外，由于CSP面阵列封装结构的连接点间以紧密的间距（也就是非常靠近）进行排列，所以金属迁移现象也引起了重点关注。

封装工艺如下：①将ICA丝网印制在FR-4基板的面阵列区域；②组装CSP-C；③对ICA进行固化以形成粘接。与采用银填充的ICA相比，采用镍填充的导电胶具有更高的抗金属迁移性，与焊料粘接点近似。同样地，采用镍填充的ICA连接点的热疲劳寿命比焊料粘接点高5倍。

### 11.6.2 ICA连接点高频性能

有关ICA连接点高频性能的研究工作还十分有限。J. Felba等人开发了一种各向同性导电胶的配方，可以在微波应用中替代焊料[81]。研究包括了大量不同的粘合剂基体材料及多种主要（银薄片、镍和石墨）和附加（煤烟和银薄片粉末）填

充物材料。为了评估这种粘合剂配方的可用性，研究者在标准微带通滤波器的金材料带状线上制作了一个额外的间隙，并使用粘合剂粘接的银材料跨接线进行桥接。粘接有跨接线的滤波器的品质因子（$Q$ 因子）和损耗因子（$L$ 因子），分别在 3.5GHz 的初步试验及 3.5GHz 和 14GHz 的最终试验时进行测量。结果表明，银薄片粉末由于具有最高的 $Q$ 因子和最低的 $L$ 因子，因而成为微波应用中 ICA 的最佳填充材料。同样地，由于附产品炭黑降低了品质因子，因而应当避免使用[82]。

美国佐治亚理工学院（Georgia Tech）对倒装芯片测试仪器组装在具有镀金层的铜传输线的 FR-4 芯片基板上进行了研究[81]。利用这种测试设备，研究人员评估比较了熔融铅锡焊料和 ICA 的表现。ICA 和熔融铅锡焊料在 0.045 ~ 2GHz 的频率范围内具有近似相同的性能，两种材料的传输损耗都是最小的。研究还表明，经过 85℃/85% RH 的老化试验 150h 后，铅锡焊料和 ICA 的 S11 参数与老化之前的信号相比没有太大的变化。但是在老化试验后，铅锡连接点的 S21 值比 ICA 连接点偏离更多。

### 11.6.3 ICA 连接点疲劳寿命

目前，对于 ICA 连接点的疲劳寿命已经有了一些研究。为了理解在断裂和疲劳载荷下 ICA 互连的性能，J. Constable 等人通过监测拉伸和疲劳测试（1000 次循环载荷）过程中 ICA 连接点的电阻变化（微欧姆灵敏度），对断裂和疲劳载荷下 ICA 互连的性能进行了研究[83]。对断裂表面的观察表明，ICA 连接点的寿命取决于粘接点金属表面的粘附失效情况。研究人员发现，ICA 的断裂应变在 20% ~ 38% 范围内时，在弹性区域电阻依然近似为一个常量；但是一旦拉力脱离线性弹性状态，电阻将开始快速增大。对于疲劳测试，线性位移先大幅升高至预编程的最大位移，然后又急剧下降返回到开始位置。通过观察，研究人员发现 ICA 连接点处的剪切应变经历 1000 次循环载荷后变化 10%，比焊料要高大约一个数量级。这表明使用导电胶对于一些倒装芯片应用是很有好处的。研究者相信，由于 ICA 的银填充颗粒不能调节这么大的应变，而环氧树脂基体被束缚着，所以银填充颗粒必须相对于彼此之间进行移动。电阻变化的最常见曲线是在突然失效之前增大至相对于界面接触电阻 70% 损耗的位置。这表明界面裂缝已有部分扩展到了粘合剂中[83]。

为了加深对 ICA 疲劳退化的了解，R. Gomatam 等人研究了在温度和湿度条件下的 ICA 连接点性能[84]。疲劳寿命在高温高湿条件下出现衰减。研究表明，ICA 连接点的疲劳寿命随着温度循环频率的降低而急剧减少。产生这种效果的原因在于，频率降低后扩展裂缝将在更长的时间内暴露于更高的载荷之下，从而导致较高的蠕变载荷。

## 11.7 提高 ICA 电导率

ICA 的电导率低于焊料[85]。即使 ICA 的电导率在多数应用中是足够大的，但是人们依然需要更高的 ICA 电导率。为了开发出一种适用于当今电子互连应用的新型 ICA，必须全面了解各种材料。

### 11.7.1 消除润滑剂层

一种 ICA 通常由聚合物粘合剂和银薄片填充材料组成。在银薄片表面出现了一层薄薄的有机润滑剂。这个润滑剂层在 ICA 的性能中扮演着重要的角色，包括在粘合剂中扩散银薄片及粘合剂配方的流变[85-88]。这个有机物层由银表面与润滑剂之间的银盐组成，有机物属于一种类似硬脂酸的脂肪酸[88,89]，而润滑剂层由于其电绝缘性而影响 ICA 的导电性[88,89]。为了提高导电性，该有机润滑剂层必须通过使用能够溶解有机润滑剂层的化学物质进行部分或者全部清除[88-90]。然而，如果清除了润滑剂层，ICA 粘合剂的粘性将会增大。一种理想的化学物质（或润滑剂清除剂）应该在室温下处于潜伏状态（不能清除润滑剂层），但是在略低于聚合物粘合剂的固化温度下处于活跃状态。这种润滑剂清除剂可以是一种固态的短链酸，一种二甘醇单丁醚或二乙基乙二醇一乙胺醋酸醚的高沸点醚，以及一种具有小分子质量的聚乙烯乙二醇[88-90]。这些化学物质能够通过清除银薄片表面上的润滑剂层来提高 ICA 电导率，并使薄片之间形成紧密接触[88,90]。

### 11.7.2 增强收缩

通常，ICA 粘合剂在固化前具有较低的电导率，但固化之后电导率会急剧增大。ICA 主要是通过银薄片之间更加紧密的接触，来提高固化过程中的电导率。而这种紧密接触，是由聚合物粘合剂的收缩引起的[91]。所以，具有高固化收缩率的 ICA 通常具有最好的导电性。因此，增强聚合物粘合剂的固化收缩率是另一个可以提高电导率的方法。对于采用环氧树脂的 ICA，可以在配方中添加很少量的多功能环氧树脂以提高交联密度和收缩率，从而提高导电性[91]。

### 11.7.3 瞬态液相填充物

提高电导率的另外一种方法，就是在 ICA 配方中加入瞬态液相烧结金属填充物。这种填充物是由高熔点金属粉末（如 Cu）和低熔点合金粉末（如 SnPb）混合而成的。当达到熔点时，低熔点粉末熔化并溶解了高熔点颗粒。这种液体只存在一个非常短的时间，然后形成一种合金并凝固。电导率是通过聚合物粘合剂中两种粉末形成的多元化冶金学互连建立起来的。聚合物粘合剂将两种金属粉末熔化，使两种金属结合，促进粉末的瞬态液相粘接，为电气导通形成稳定的冶金网络，同时也

形成可以提供粘附性的相互贯穿的聚合物网络。使用这种方法可以得到较高的电导率[91-94]。ICA连接点在粘接点处形成了金属合金及其自身的粘附性，这为高温、高湿老化试验过程提供了稳定的电气连接。此外，ICA连接点由于在导电胶和器件之间形成了冶金学互连，所以展现了良好的抗冲击强度。这项技术的一个局限在于低熔点和高熔点填充物的组合种类是有限的。只有明确可以互溶的金属填充物组合才可以形成这种金属互连。

## 11.8 提高接触电阻稳定性

ICA（通常是具有银薄片填充的环氧树脂）和具有非贵重金属表面的器件之间的接触电阻在高温高湿，尤其是在85℃/85% RH下的老化试验过程中急剧增大。（美国）国家制造科学中心（National Center of Manu facturing and Science，NCMS）为替代焊料的导电胶制订了稳定性标准。该标准规定，在85℃/85% RH条件下经过500h的老化试验，接触电阻可以在20%的范围内变化[76]。

### 11.8.1 电阻增大原因

文献资料中提出，非贵重金属表面的普通氧化和腐蚀作为两个主要机理，可能是ICA粘接点在高温、高湿老化试验过程中出现电阻增大的原因。非贵重金属表面的普通氧化被看做是已观察到的电阻增大的主要原因。只有个别研究声称腐蚀可能是电阻增大的机理[74,75,95-97]。一项研究强有力地表明，ICA和非贵重金属交界处的电化学腐蚀，比非贵重金属表面的普通氧化更可能是ICA接触电阻变化的主要原因（见图11.11）[98,99]。非贵重金属作为阳极，由于失去电子成为金属离子（$M-ne=M^{n+}$）。贵重金属作为阴极，其反应通常为$2H_2O+O_2+4e=4OH^-$。然后$M^{n+}$离子与$OH^-$结合形成金属氢氧化物或者金属氧化物。由于这种电化学（腐蚀）工艺在交界面处形成了一层电绝缘的金属氢氧化物或者金属氧化物层，从而导致接触电阻急剧增大[98,99]。

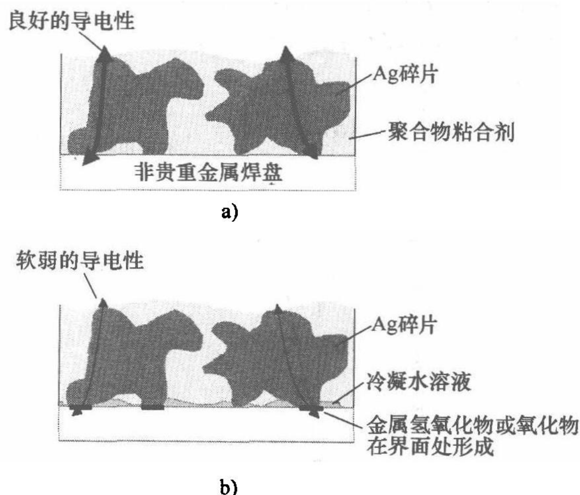



图11.11 在导电银胶填充ICA上，非贵重金属焊盘电化学腐蚀效应示意图

a）腐蚀前良好导电性 b）由于电化学腐蚀形成了金属氢氧化物或者金属氧化物层，使导电性变差

## 11.8.2 稳定接触电阻方法

### 11.8.2.1 减小吸湿性

电化学腐蚀需要湿气的存在。在电化学腐蚀发生之前，必须在交界面处形成电解质溶液。因此，防止在 ICA 和非贵重金属表面交界处出现电化学腐蚀的一种方法，就是减小 ICA 的吸湿性。低吸湿性的 ICA 与高吸湿性的 ICA 相比，通常在非贵重金属表面交界处具有更稳定的接触电阻[100,101]。没有电解质的情况下，电化学腐蚀的速率非常低。在这种情况下电解质主要来自于聚合物粘合剂（通常是环氧树脂）中的杂质。因此，含有高纯度树脂的 ICA 应该表现得更好。

### 11.8.2.2 使用腐蚀抑制剂

防止电化学腐蚀的另一种方法，是在 ICA 配方中引入有机腐蚀抑制剂[99-102]。通常，有机腐蚀抑制剂作为金属和外界环境之间的阻挡层，在金属表面形成一层薄膜[103-106]。一些螯合的混合物对防止金属腐蚀尤其有效[105]。大部分有机腐蚀抑制剂在特定温度下都会与环氧树脂发生反应。因此，如果 ICA 含有环氧树脂，腐蚀抑制剂在固化过程中必须不与环氧树脂发生反应，否则将使其被消耗掉从而影响效果。一些文献资料对有机腐蚀抑制剂进行了充分讨论[104,106]。图 11.12 给出了在 ICA 与 SnPb 表面上，螯合的腐蚀抑制剂对接触电阻的影响。可以看出，腐蚀抑制剂在稳定接触电阻方面非常有效。

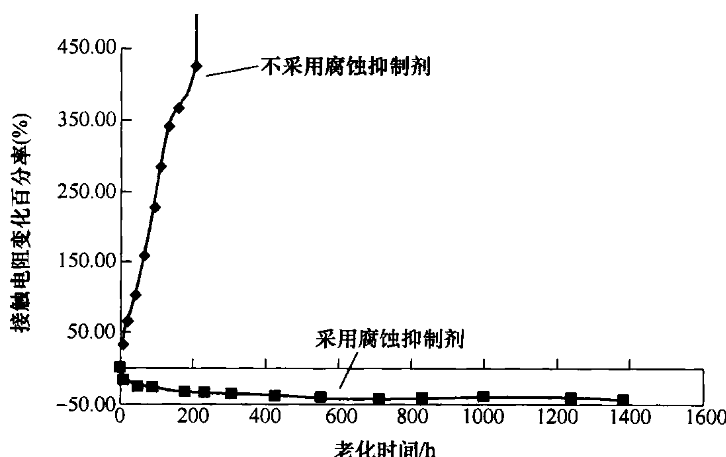



图 11.12 在 ICA 与 SnPb 表面上，腐蚀抑制剂在 85℃/85%RH 的老化试验条件下，随时间变化对接触电阻的影响

### 11.8.2.3 除氧剂使用

由于氧加速了电化学腐蚀，我们可以在 ICA 配方中添加除氧剂以降低腐蚀速

率[103]。当氧分子扩散穿过聚合物粘合剂时，它们与除氧剂发生反应并被消耗。然而，当除氧剂完全耗尽以后，氧分子又可以再次扩散进入交界面，加速腐蚀过程。因此，除氧剂只能延缓电化学腐蚀过程。与腐蚀抑制剂类似，除氧剂在固化温度下必须不能和环氧树脂发生反应[103,107-110]。

#### 11.8.2.4 尖锐的填充物颗粒

在老化试验过程中，提高接触电阻稳定性的另一个方法就是在ICA配方中添加一些导电颗粒。这些颗粒具有锋利的边，被称作氧化渗透填充物。必须施加外力以驱动氧化渗透颗粒通过颗粒与金属焊盘间相邻的氧化层，并保持它们留在原位。这个过程可以通过采用本书11.7.2节中讨论过的，在固化时具有高收缩率的聚合物粘合剂来完成[111]。这一概念被用于制备Poly-Solder（由美国Poly-Flex Circuits公司申请专利的银填充ICA材料），一种在焊料镀层和裸露电路板上都具有良好接触电阻稳定性的表面组装材料[111]。

## 11.9 提高抗冲击性能

在经受机械冲击时，抗冲击能力下降是ICA作为焊料替代物必有的致命特性。现在人们正在努力开发能够抗冲击的ICA。它可以通过，将器件贴装在印制电路板（PCB）上的标准跌落测试评估抗冲击强度。这些方法都采用降低填充物的含量以提高抗冲击强度[112]，但是这将会减小导电胶的电导率。一项研究表明，采用低模量树脂配方的导电胶可以在跌落过程中吸收大部分冲击能量[113]。同样地，表面组装器件的共形涂层也可用于提高机械强度。研究表明，共形涂层提高了导电胶粘接点的抗冲击强度[114]。

### 11.9.1 环氧端基聚亚氨酯体系

人们开发了一系列基于环氧端基聚亚氨酯（Epoxide-Terminated Polyurethane，ETPU）的导电胶[115,116]。这类导电胶具有聚亚氨酯材料的典型特性，如高韧性和良好的粘附性。ICA的模量和熔融态温度可以通过添加环氧树脂来进行调节，如双酚-F环氧树脂。基于ETPU的导电胶具有与温度相关的损耗因子（$\tan\delta$）峰值。在室温下的$\tan\delta$值较高。一种材料的$\tan\delta$值，是该材料阻尼特性和抗冲击性能的良好指示。通常，$\tan\delta$值越高，材料的阻尼性能（抗冲击强度）越好。采用ETPU树脂的ICA与采用双酚-F环氧树脂的ICA相比，在较宽的频率范围内具有更高的损耗因子（见图11.13）。这表明采用ETPU树脂的ICA在各种各样的电子封装中应该具有更好的阻尼特性和更高的抗冲击性能。这一类导电胶的抗冲击特性很好，在非贵重金属表面如锡铅、锡和铜上，接触电阻的稳定性有了实质性提高[115,116]。

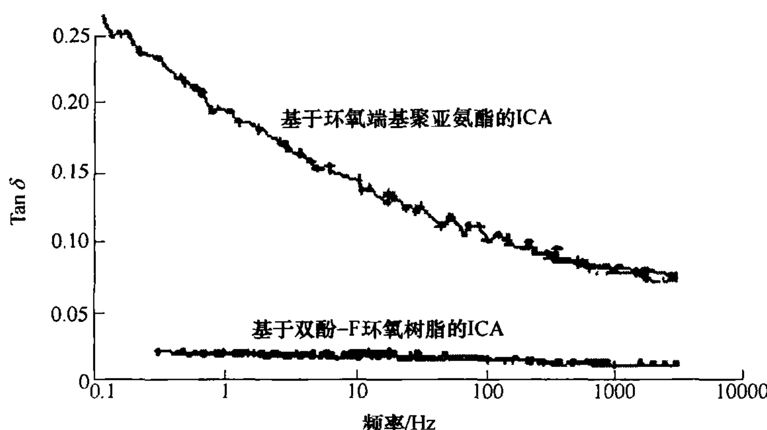



图 11. 13 两种 ICA 材料的频率与损耗因子关系

# 参考文献


1. H. Wolfson and G. Elliot, "Electrically Conducting Cements Containing Epoxy Resins and Silver," U.S. Patent, 2,774,747, 1956
2. K.R. Matz, "Electrically Conductive Cement and Brush Shunt Containing the Same," U.S. Patent, 2,849,631, 1958
3. D.P. Beck, "Printed Electrical Resistors," U.S. Patent, 2,866,057, 1958
4. K. Gilleo, "Assembly with Conductive Adhesives," *Soldering and Surface Mount Technology*, No. 19, pp. 12–17, February 1995
5. P.G. Hariss, "Conductive Adhesives: A Critical Review of Progress to Date," *Soldering and Surface Mount Technology*, No. 20, pp. 19–21, May 1995
6. A.O. Ogunjimi, O. Boyle, D.C Whalley, and D.J. Williams, "A Review of the Impact of Conductive Adhesive Technology on Interconnection," *Journal of Electronics Manufacturing*, 2: pp. 109–118, 1992
7. S. Asai, U. Saruta, M. Tobita, M. Takano, and Y. Miyashita, "Development of an Anisotropic Conductive Adhesive Film (ACAF) from Epoxy Resins," *Journal of Applied Polymer Science*, 56: pp. 769–777, 1995
8. D.D. Chang, P.A. Crawford, J.A. Fulton, R. McBride, M.B. Schmidt, R.E. Sinitski, and C.P. Wong, "An Overview and Evaluation of Anisotropically Conductive Adhesive Films for Fine Pitch Electronic Assembly," *IEEE Transactions on Components, Hybrids and Manufacturing Technology*, 16(8): pp. 320–326, December 1993
9. H. Ando, N. Kobayashi, H. Numao, Y. Matsubara, and K. Suzuki, "Electrically conductive adhesive sheet," European Patent, 0, 147, 856, 1985
10. K. Gilleo, "An Isotropic Adhesive for Bonding Electrical Components," European Patent 0, 265, 077, 1987
11. R. Pennisi, M. Papageorge, and G. Urbisch, "Anisotropic Conductive Adhesive and Encapsulant Materials," US Patent 5,136,365, 1992
12. H. Date, Y. Hozumi, H. Tokuhira, M. Usui, E. Horikoshi, and T. Sato, "Anisotropic Conductive Adhesives for Fine Pitch Interconnections," *Proceedings of ISHM'94*, (Bologna, Italy), pp. 570–575, September 1994
13. J. Liu, "ACA Bonding Technology for Low Cost Electronics Packaging Applications-Current Status and Remaining Challenges," *Proceedings of 4th International Conference on Adhesive Joining and Coating Technology in Electronics manufacturing*, (Helsinki, Finland), pp. 1–15, June 2000

14. C.M.L. Wu, J. Liu, and N.H. Yeung, "Reliability of ACF in Flip Chip with Various Bump Height," *Proceedings of 4th International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing*, (Helsinki, Finland), pp. 101–106, June 2000
15. Y. Kishimoto and K. Hanamura, "Anisotropic Conductive Paste Available for Flip Chip," *Proceedings of 3rd international Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing*, (Binghamton, New York), pp. 137–143, September 1998
16. K. Sugiyama and Y. Atsumi, "Conductive Connecting Structure," US patent 4999460, March 12, 1991
17. K. Sugiyama and Y. Atsumi, "Conductive Connecting Method," US patent, 5123986, June 23, 1992
18. K. Sugiyama and Y. Atsumi, "Conductive Bonding Agent and a Conductive Connecting Method," US patent 5180888, January 19, 1993
19. R. Nagle, "Evaluation of Adhesive Based Flip-chip Interconnect Techniques," *International Journal of Microelectronics Packaging*, 1: pp. 187–196, 1998
20. J.K. Kivilahti, "Design and Modeling of Solder-filled ACAs for Flip-Chip and Flexible Circuit Applications," in Conductive Adhesives for Electronics Packaging, J. Liu ed., Port Erin, British Isles, Electrochemical Publications Ltd., 1999, pp. 153–183
21. M. Vuorela, M. Holloway, S. Fuchs, F. Stam, and J. Kivilahti, "Bismuth-Filled Anisotropically Conductive Adhesive for Flip-Chip Bonding," *Proceedings of 4th International Conference on Adhesive Joining and Coating Technology in Electronics manufacturing*, (Helsinki, Finland), pp. 147–152, June 2000
22. A. Torii, M. Takizawa, and M. Sawano, "The Application of Flip Chip Bonding Technology Using Anisotropic Conductive Film to the Mobile Communication Terminals," *Proceedings of Int'l Electronics Manufacturing Technology/Int'l Microelectronics Conference*, (Tokyo, Japan), pp. 94–99, April 1998
23. H. Atarashi, "Chip-on-Glass Technology Using Conductive Particles and Light-Setting Adhesives," *Proceedings 1990 Japan Int. Electron. Manufact. Technol. Symp.*, (Tokyo, Japan), pp. 190–195, June 1990
24. H. Matsubara, "Bare-Chip Face-Down Bonding Technology Using Conductive Particles and Light-Setting Adhesives," *Proceedings of Int'l Microelectronics Conference*, (Yokohama, Japan), pp. 81–87, 1992
25. K. Endoh, K. Nozawa, and N. Hashimoto, "Development of 'The Maple Method," *Proceedings of Japan Int'l Electronics Manufacturing Technology Sypmposium*, (Kanazawa, Japan), pp. 187–191, 1993
26. R. Sihlbom, M. Dernevik, Z. Lai, J.P. Starski, and J. Liu, "Conductive Adhesives for High-Frequency Applications," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Part A, 20(3): pp. 469–477, September 1998
27. M. Dernevik, R. Sihlbom, K. Axelsson, Z. Lai, J. Liu, and P. Starski, "Electrically Conductive Adhesives at Microwave Frequencies," *Proceedings of 48th IEEE Electronic Components & Technology Conference*, (Seattle, Washington), pp. 1026–1030, May 1998
28. M.J. Yim, W. Ryu, Y.D. Jeon, J. Lee, J. Kim, and K. Paik, "Microwave Model of Anisotropic Conductive Adhesive Flip-Chip Interconnections for High Frequency Applications," *Proceedings of 49th Electronic Components and Technology Conference*, (San Diego, CA), pp. 488–492, May 1999
29. K. Gustafsson, S. Mannan, J. Liu, Z. Lai, D. Whalley, and D. Williams, "The Effect on Ramping Rate on the Flip Chip Joint Quality and Reliability Using Anisotropically Conductive Adhesive Film on FR4 Substrate," *Proceedings of 47th Electronic Components and Technology Conference*, (San Jose, CA), pp. 561–566, May 1997
30. G. Connell, "Condutive Adhesive Flip Chip Bonding for Bumped and Unbumped Die," *Proceedings of 47th Electronic Components and Technology Conference*, (San Jose, CA), pp. 274–278, May 1997
31. C.N. Oguibe, S.H. Mannan, D.C. Whalley, and D.J. Williams, "Flip-chip Assembly Using Anisotropic Conducting Adhesives: Experimental and Modelling Results," *Pro-*

*ceedings of 3rd international Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing*, (Binghamton, New York), pp. 27–33, September 1998

32. H. Hirai, T. Motomura, O. Shimada, and Y. Fukuoka, "Development of Flip Chip Attach Technology Using Ag Paste Bump Which Formed on Printed Wiring Board Electrodes," *Proceedings of Int'l Symp on Electronic Materials & Packaging*, (Hong Kong, China), pp. 1–6, November–December 2000
33. Y. Hotta, M. Maeda, F. Asai, and F. Eriguchi, "Development of 0.025 mm Pitch Anisotropic Conductive Film," *Proceedings of 48th IEEE Electronic Components & Technology Conference*, (Seattle, Washington), pp. 1042 –1046, May 1998
34. G. Connell, R.L.D. Zenner, and J.A. Gerber, "Conductive Adhesive Flip-Chip Bonding for Bumped and Unbumped Die," *Proceedings of 47th Electronic Components and Technology Conference*, (San Jose, CA), pp. 274–278, May 1997
35. L. Li and T. Fang, "Anisotropic Conductive Adhesive Films for Flip Chip on Flex Packages," *Proceedings of 4th International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing*, (Helsinki, Finland), pp. 129–135, June 2000
36. A. Ogunjimi, S. Mannan, D. Whalley, and D. Williams, "Assembly of Planar Array Components Using Anisotropic Conductive Adhesvies–A Benchmark Study Part I: Experiment," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, Part C, 19(4): pp. 257–263, October 1996
37. J. Liu, L. Ljungkrona, and Z. Lai, "Development of Conductive Adhesive Joining for Surface-Mount Electronics Manufacturing," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, part B, 18(2): pp. 313–319, May 1995
38. J. Liu, "Reliability of Surface-mounted Anisotropically Conductive Adhesive Joints," *Circuit World*, 19(4), pp. 4–15, 1993
39. Y.C. Chan, K.C. Hung, C.W. Tang, and C.M.L. Wu, "Degradation Mechanisms of Anisotropic Conductive Adhesive Joints for Flip Chip on Flex Applications," *Proceedings of 4th International Conference on Adhesive Joining and Coating Technology in Electronics manufacturing*, (Helsinki, Finland), pp. 141–146, June 2000
40. H. Kristiansen and J. Liu, "Overview of Conductive Adhesive Interconnection Technologies for LCDs," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Part A, 21 (2): pp. 208–214, June 1998
41. P.B. Jana, S. Chaudhuri, A.K. Pal, and S.K. DE, "Electrical Conductivity of Short Carbon Fiber-Reinforced Carbon Polychloroprene Rubber and Mechanism of Conduction," *Polymer Engineering and Science*, 32: pp. 448–456, March 1992
42. A. Malliaris and D.T. Tumer, "Influence of Particle Size on the Electrical Resistivity of Compacted Mixtures of Polymers and Metallic Powders," *Journal of Applied Physics*, 42: pp. 614–618, 1971
43. G.R. Ruschau, S. Yoshikawa, and R.E. Newnham, "Resistivities of Conductive Composites," *Journal of Applied Physics*, 73(3): pp. 953–959, 1992
44. K. Gilleo, "Assembly with Conductive Adhesives," *Soldering and Surface Mount Technology*, No. 19, pp. 12–17, February 1995
45. P.G. Hariss, "Conductive Adhesives: A Critical Review of Progress to Date," *Soldering and Surface Mount Technology*, No. 20, pp. 19–21, May 1995
46. J.C. Jagt, "Reliability of Electrically Conductive Adhesive Joints for Surface Mount Applications: A Summary of the State of the Art," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Part A, 21(2): pp. 215–225, 1998
47. M.A. Lutz and R.L. Cole, "High Performance Electrically Conductive Adhesives," *Hybrid Circuits*, No. 23, pp. 27–30, September 1990
48. J.M. Pujol, C. Prudhomme, M.E. Quenneson, and R. Cassat, "Electroconductive Adhesives: Comparison of Three Different Polymer Matrices. Epoxy, Polyimide, and Silicone," *Journal of Adhesion*, 27: pp. 213–229, 1989
49. J. Ivan, J. Gonzales, and M.G. Mena, "Moisture and Thermal Degradation of Cyanate-ester-based Die Attach Material," *Proceedings of 47th Electronic Components and Technology Conference*, (San Jose, CA), pp. 525–535, May 1997

50. I.Y. Chien and M.N. Nguyen, "Low Stress Polymer Die Attach Adhesive for Plastic Packages," *Proceedings of 1994 Electronic Components and Technology Conference*, (San Diego), pp. 580–584, May 1994
51. D.P. Galloway, M. Grosse, M.N. Nguyen, and A. Burkhart, "Reliability of Novel Die Attach Adhesive for Snap Curing," *Proceedings of the IEEE/CPMT International Electronic Manufacturing Technology (IEMT) Symposium*, (Austin, TX), pp. 141–147, October 1995
52. R.L. Keusseyan, J.L. Diiday, and B.S. Speck, "Electric Contact Phenomena in Conductive Adhesive Interconnections," *International Journal of Microcircuits and Electronic Packaging*, 17(3): pp. 236–242, 1994
53. M.K. Antoon, J.L. Koenig, and T. Serafini, "Fourier-Transform Infrared Study Of The Reversible Interaction Of Water And A Crosslinked Epoxy Matrix," *Journal of Polymer Science (Physics)*, 19: pp. 1567–1575, 1981
54. M.K. Antoon and J.L. Koenig, "Irreversible Effects Of Moisture On The Epoxy Matrix In Glass-Reinforced Composites," *Journal of Polymer Science (Physics)*, 19: pp. 197–212, 1981
55. C.G.L. Khoo and J. Liu, "Moisture Sorption in Some Popular Conductive Adhesives," *Circuit World*, 22(4), pp. 9–15, 1996
56. S.M. Pandiri, "The Behavior of Silver Flakes in Conductive Epoxy Adhesives," *Adhesives Age*, pp. 31–35, 1987
57. B. Gunther and H. Schafer, "Porous Metal Powders for Conductive Adhesives," *Proceedings of the 2nd International Conference on Adhesive Joining & Coating Technology in Electronics Manufacturing*, (Stockholm, Sweden), pp. 55–59, June 1996
58. S. Kotthaus, R. Haug, H. Schafer, and B. Gunther, "Investigation of Isotropically Conductive Adhesives Filled with Aggregates of Nano-sized Ag-Particles," *Proceedings of the 2nd International Conference on Adhesive Joining & Coating Technology in Electronics Manufacturing*, (Stockholm, Sweden), pp. 14–17, June 1996
59. P.K. Pramanik, D. Khastgir, S.K. De, and T.N. Saha, "Pressure-sensitive Electrically Conductive Nitrile Rubber Composites Filled with Particulate Carbon Black and Short Carbon Fibre," *Journal of Materials Science*, 25: pp. 3848–3853, 1990
60. P.B. Jana, S. Chaudhuri, A.K. Pal, and S.K. De, "Electrical Conductivity of Short Carbon Fiber-Reinforced Polychloroprene Rubber and Mechanism of Conduction," *Polymer Engineering and Science*, 32(6): pp. 448–456, 1992
61. A. Yokoyama, T. Katsumata, A. Fujii, and T. Yoneyama, "New Copper Paste for CTF Applications," *IMC 1992 Proceedings*, pp. 376–38, 1992
62. S.K. Kang, R. Rai, and S. Purushothaman, "Development of High Conductivity Lead (Pb)-Free Conducting Adhesives," *Proceedings of 47th Electronic Components and Technology Conference*, (San Jose, CA), pp. 565–570, May 1997
63. S.K. Kang, R. Rai, and S. Purushothaman, "Development of High Conductivity Lead (Pb)-Free Conducting Adhesives," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, Part A, 21(1): pp. 18–22, March 1998
64. J. Lin, J. Drye, W. Lytle, T. Scharr, R. Subrahmanyan, and R. Sharma, "Conductive Polymer Bump Interconnects," *Proceedings of 46th Electronic Components and Technology Conference*, (Orlando, FL), pp. 1059–1068, May 1996
65 T. Seidowski, F. Kriebel, and N. Neumann, "Polymer Flip Chip Technology on Flexible Substrates-Development and Applications", *Proceedings of 3rd international Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing*, (Binghamton, New York), pp. 240–243, September 1998
66. R.H. Estes, "Process And Reliability Characteristics of Polymer Flip Chip Assemblies Utilizing Stencil Printed Thermosets And Thermoplastics," *Proceedings of 3rd International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing*, (Binghamton, New York), pp. 229–239, September 1998
67. Y. Bessho, "Chip on Glass Mounting Technology of Lsis for LCD Module," *Proceedings of Int'l Microelectronics Conference*, pp. 183–189, May 1990

68. J.B. Nysaether, Z. Lai, and J. Liu, "Isotropically Conductive Adhesives and Solder Bumps for Flip Chip on Board Circuits–A Comparison of Lifetime Under Thermal Cycling," *Proceedings of 3rd International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing*, (Binghamton, New York), pp. 125–131, September 1998
69. K.E. Oh, "Flip Chip Packaging with Micromachined Conductive Polymer Bumps," *IEEE Journal on Selected Topics in Quantum Electronics*, 5(1): pp. 119–126, January–February 1999
70. M. Gaynes, R. Kodnani, M. Pierson, P. Hoontrakul, and M. Paquette, "Flip Chip Attach with Thermoplastic Electrically Conductive Adhesive," *Proceedings of 3rd International Conference on Adhesive Joining and Coating Technology in Electronics Manufacturing*, (Binghamton, New York), pp. 244–251, September 1998
71. B. Trumble, "Get the Lead Out!," IEEE Spectrum, pp. 55–60, Vol. 35, May 1998
72. B.T. Alpert and A.J. Schoenberg, "Conductive Adhesives as a Soldering Alternative," *Electronic Packaging & Production*, pp. 130–132, Vol. 31, November 1991
73. R. Cdenhead and D. DeCoursey, "History of Microelectronics – Part One," *International Journal of Microelectronics*, 8(3): p. 14, 1985
74. G. Nguyen, J. Williams, F. Gibson, and T. Winster, "Electrical Reliability of Conductive Adhesives for Surface Mount Applications," *Proceedings of International Electronic Packaging Conference*, (San Diego, CA), pp. 479–486, September 1993
75. J.C. Jagt, P.J.M. Beric, and G.F.C.M. Lijten, "Electrically Conductive Adhesives: A Prospective Alternative for SMD Soldering?," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Part B, 18(2): pp. 292–298, 1995
76. M. Zwolinski, J. Hickman, H. Rubon, and Y. Zaks, "Electrically Conductive Adhesives for Surface Mount Solder Replacement," *Proceedings of the 2nd International Conference on Adhesive Joining & Coating Technology in Electronics Manufacturing*, (Stockholm, Sweden), pp. 333–340, June 1996
77. H. Botter, "Factors That Influence the Electrical Contact Resistance of Isotropic Conductive Adhesive Joints During Climate Chamer Testing," *Proceedings of the 2nd International Conference on Adhesive Joining & Coating Technology in Electronics Manufacturing*, (Stockholm, Sweden), pp. 30–37, June 1996
78. C.P. Wong, D. Lu, S. Vona, and Q.K. Tong, "A Fundamental Study of Electrically Conductive Adhesives," *Proceedings of the 1st IEEE International Symposium on Polymeric Electronics Packaging*, (Norrkoping, Sweden), pp. 80–85, 1997
79. J. Bolger and S. Morano, "Conductive Adhesives: How and Where They Work," *Adhesives Age*, pp. 17–20, June 1984
80. H. Takezawa, M. Itagaki, T. Mitani, Y. Bessho, and K. Eda, "Development of Solderless Joining Technologies Using Conductive Adhesives," *Proceedings of 4th International Symposium and Exhibition on Advanced Packaging Materials, Processes, Properties and Interfaces*, (Braselton, GA), pp. 11–15, March 1999
81. S. Liong, Z. Zhang, and C.P. Wong, "High Performance Measurement for Isotropically Conductive Adhesives," *Proceedings of 51th Electronic Components and Technology Conference*, (Orlando, FL), pp. 1236–1240, May 2001
82. J. Felba, K.P. Friedel, and A. Moscicki, "Characterization and Performance of Electrically Conductive Adhesives for Microwave Applications," *Proceedings of 4th International Conference on Adhesive Joining and Coating Technology in Electronics manufacturing*, (Helsinki, Finland), pp. 232–239, June 2000
83. J.H. Constable, T. Kache, H. Teichmann, S. Muhle, and M.A. Gaynes, "Continuous Electrical Resistance Monitoring, Pull Strength, and Fatigue Life of Isotropically Conductive Adhesive Joints," *IEEE Transactions on Components and Packaging Technology*, 22(2): pp. 191–199, June 1999
84. R. Gomatam, E. Sancaktar, D. Boismier, D. Schue, and I. Malik, "Behavior of Electrically Conductive Adhesive Filled Adhesive Joints Under Cyclic Loading, Part I: Experimental Approach," *Proceedings of 4th International Symposium and Exhibition on Advanced Packaging Materials, Processes, Properties and Interfaces*, (Braselton, GA), pp. 6–12, March 2001

85. E.M. Jost and K. McNeilly, "Silver Flake Production and Optimization for Use in Conductive Polymers," *Proceedings of ISHM*, (Bournemouth, England), pp. 548–553, June 1987
86. L. Smith-Vargo, "Adhesives That Posses a Science All Their Own," *Electronic Packaging & Production*, pp. 48–49, August 1986
87. S.M. Pandiri, "The Behavior of Silver Flakes in Conductive Epoxy Adhesives," *Adhesives Age*, pp. 31–35, Vol. 30, October 1987
88. D. Lu, Q.K. Tong, and C.P. Wong, "A Study of Lubricants on Silver Flakes for Microelectronics Conductive Adhesives," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, Part A, 22(3): pp. 365–371, 1999
89. D. Lu, Q. Tong, and C.P. Wong, "A Fundamental Study on Silver Flakes for Conductive Adhesives," *Proceedings of 4th International Symposium and Exhibition on Advanced Packaging Materials, Processes, Properties and Interfaces*, (Braselton, GA), pp. 256–260, March 1998
90. A.J. Lovinger, "Development of Electrical Conduction in Silver-filled Epoxy Adhesives," *Journal of Adhesion*, 10: pp. 1–15, 1979
91. D. Lu, Q.K. Tong, and C.P. Wong, "Conductivity Mechanisms of Isotropic Conductive Adhesives (ICAs)," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Part C, 22(3): pp. 22(3)–227, 1999
92. C. Gallagher, G. Matijasevic, and J.F. Maguire, "Transient Liquid Phase Sintering Conductive Adhesives as Solder Replacement," *Proceedings of 47th Electronic Components and Technology Conference*, (San Jose, CA), pp. 554–560, May 1997
93. J.W. Roman and T.W. Eagar, "Low Stress Die Attach by Low Temperature Transient Liquid Phase Bonding," *Proceedings of ISHM*, (San Francisco, CA), pp. 52–57, October 1992
94. C. Gallagher, G. Matijasevic, and A. Capote, "Transient Liquid Phase Sintering Conductive Adhesives," US Patent 5863622, August 1998
95. H. Botter, "Factors That Influence the Electrical Contact Resistance of Isotropic Conductive Adhesive Joints During Climate Chamer Testing," *Proceedings of the 2nd International Conference on Adhesive Joining & Coating Technology in Electronics Manufacturing*, (Stockholm, Sweden), pp. 30–37, June 3–5, 1996
96. K. Gilleo, "Evaluating Polymer Solders for Lead Free Assembly, Part I," *Circuits Assembly*, pp. 50–51, February 1994.
97. K. Gilleo, "Evaluating Polymer Solders for Lead Free Assembly, Part II," *Circuits Assembly*, pp. 51–53, January 1994
98. D. Lu, Q.K. Tong, and C.P. Wong, "Mechanisms Underlying the Unstable Contact Resistance of Conductive Adhesives," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Part C, 22(3): pp. 228–232, 1999
99. Q.K. Tong, G. Fredrickson, R. Kuder, and D. Lu, "Conductive Adhesives with Superior Impact Resistance and Stable Contact Resistance," *Proceedings of the 49th Electronic Components and Technology Conference*, (San Diego, CA), pp. 347–352, May 1999
100. D. Lu and C.P. Wong, "Novel Conductive Adhesives for Surface Mount Applications," *Journal of Applied Polymer Science*, 74: pp. 399–406, 1999
101. D. Lu and C.P. Wong, "Novel Conductive Adhesives with Stable Contact Resistance," *Proceedings of 4th International Symposium and Exhibition on Advanced Packaging Materials, Processes, Properties and Interfaces*, (Braselton, GA), pp. 288–294, March 1999
102. C. Cheng, G. Fredrickson, Y. Xiao, K. Tong, and D. Lu, US patent 6,344,157, 2002
103. H. Leidheiser, Jr., "Mechanism of Corrosion Inhibition with Special Attention to Inhibitors in Organic Coatings," *Journal of Coatings Technology*, 53(678): pp. 29–39, 1981
104. G. Trabanelli and V. Carassiti, "Mechanism and Phenomenology of Organic Inhibitors," in Advanced Corrosion Science and Technology, M.G. Fontana and R.W. Staehle ed., Vol. 1, Plenum Press, New York, NY, 1970, pp. 147–229

105. G. Trabanelli, "Corrosion Inhibitors," in Corrosion Mechanisms, F. Mansfeld ed., Marcel Dekker, Inc., New York, NY, 1987, pp. 119–164
106. O.L. Riggs, Jr., "Theoretical Aspects of Corrosion Inhibitors and Inhibition," C.C. Nathan ed., NACE, pp. 2–27, 1973
107. P.A. Reardon, "New Oxygen Scavengers and Their Chemistry under Hydrothermal Conditions," Corrosion'86, Paper no. 175, NACE, (Houston, TX), 1986
108. M.G. Noack, "Oxygen Scavengers," Corrosion'89, Paper no. 436, NACE, (Houston, TX), 1989
109. P.A. Reardon and W.E. Bernahl, "New Insight into Oxygen Corrosion Control," Corrosion'87, Paper no. 438, NACE, (Houston, TX), 1987
110. S. Romaine, "Effectiveness of a New Volatile Oxygen Scavenger," *Proceedings of the American Power Conference*, (Chicago, IL), pp. 1066–1073, April 1986
111. D. Durand, D. Vieau, A.L. Chu, and T.S. Weiu, "Electrically Conductive Cement Containing Agglomerates, Flake and Powder Metal Fillers," US Patent 5180523, November 1989
112. S. Macathy, *Proceedings of Surface Mount International*, (San Jose, CA), pp. 562–567, August 1995
113. S.A. Vona and Q.K. Tong, "Surface Mount Conductive Adhesives with Superior Impact Resistance," *Proceedings of 4th International Symposium and Exhibition on Advanced Packaging Materials, Processes, Properties and Interfaces*, (Braselton, GA), pp. 261–267, March 1998
114. J. Liu and B. Weman, "Modification of Processes and Design Rules to Achieve High Reliable Conductive Adhesive Joints for Surface Mount Technology," *Proceedings of the 2nd International Symposium on Electronics Packaging Technology*, (Shanghai, China), pp. 313–319, December 1996
115. D. Lu and C.P. Wong, "High Performance Electrically Conductive Adhesives," *IEEE Transactions on Components, Packaging, and Manufacturing*, Part C, 22(4): pp. 324–330, 1999
116. D. Lu and C.P. Wong, US patent 6,740,192, 2004

# 第12章　贴片胶与贴片膜

Shinji Takeda，Takashi Masuko

**摘要**：本章概述了电子封装技术发展与贴片材料性能间的强烈依赖关系，综述了贴片材料的市场发展趋势。各节分别介绍了贴片膏、芯片上引线（Lead On Chip，LOC）用胶带、贴片膜及先进的贴片膜发展前景等。本章还讨论了贴片材料的技术要求，包括高纯度、快速固化、低应力和高抗裂性。

由于其良好的性能和可靠性，贴片膜已成为贴片材料的主流。通过对具有划片和贴片两种功能的粘胶膜介绍，对先进贴片膜的未来进行了说明。

详细报告了粘胶性能（如剥离强度和吸水性）对提高封装体抗裂性的影响，并对用于先进封装（如BGA/CSP）和具有良好可靠性的贴片膜发展进行了评述。

**关键词**：贴片（Die Attach），粘胶，薄膜，封装抗裂性，先进BGA/CSP，低应力，剥离强度，吸水性，芯片翘曲，聚酰亚胺，环氧树脂。

## 12.1　贴片材料

### 12.1.1　电子封装趋势

本节概述了作为半导体工业研发前沿的电子封装技术的发展。封装技术严重影响贴片材料的特性和对象，因为封装材料与方法是紧密联系在一起的，因此彻底理解封装技术对贴片材料的发展十分重要。

个人便携式产品的增长需求导致市场竞争大大提高，从而要求进一步提高产品集成度。电子器件快速小型化的要求改变了封装结构，提高了器件封装密度与工作速度（见图12.1）[1-4]。

采用先进材料的同时改进封装方式解决了电子封装难题。在20世纪80年代，主流的电子封装形式为针插型封装和双排直插封装（Dual Inline Package，DIP）。高性能环氧模塑料（EMC）的合成产生了表面组装类型的封装，包括四脚扁平封装（QFP）（见图12.2）和薄型小尺寸封装（TSOP）。在20世纪90年代初期，因为窄间距针形封装碰到了实际的组装工艺问题，开发了球栅阵列封装（BGA）[2-4]，BGA封装缩小到硅芯片尺寸就是芯片尺寸封装（CSP）[2-5]。随后，封装模式朝着进一步小型化、高速度、功能系统及堆栈型芯片封装（具有三维堆栈结构）的方向发展（见图12.3）[4,6,7]。对于移动电话，其组装面积和高度是极其有限的，最

近，为手机专门开发了系统级封装（SiP），不同功能的芯片、逻辑电路和存储器堆叠在封装体内，堆栈型封装正逐步扩大在手机技术中的应用[4]。

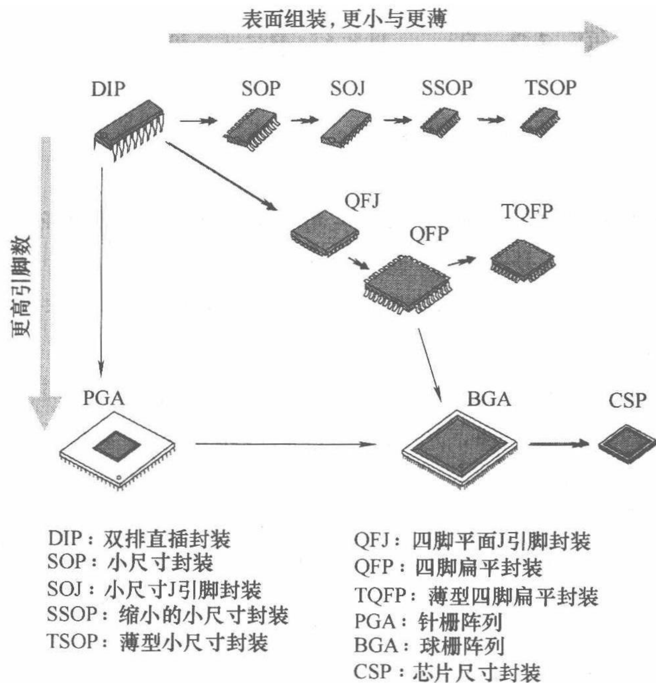



图 12.1　大规模集成电路（LSI）封装发展趋势

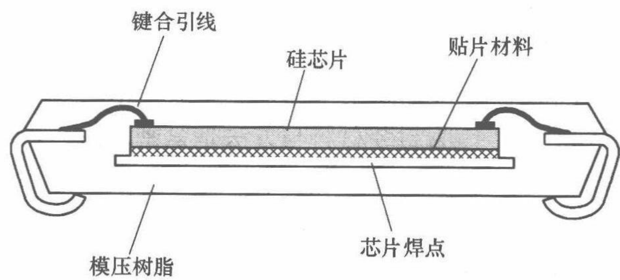



图 12.2　四角扁平封装（QFP）的内部结构

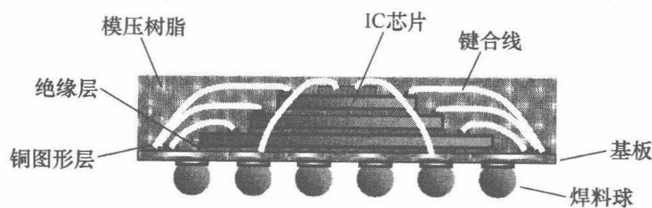



**图 12.3　堆栈型芯片尺寸封装（CSP）的内部结构**

### 12.1.2 贴片材料发展趋势

贴片材料是用于硅芯片与基板间的粘胶。图 12.4 所示为传统的贴片工艺流程。因为贴片材料在半导体封装的可靠性和性能方面具有重要作用，贴片工艺成为制造集成芯片的一个重要部分。封装技术的飞速发展，为增强和改进贴片性能提供了保障[1]。

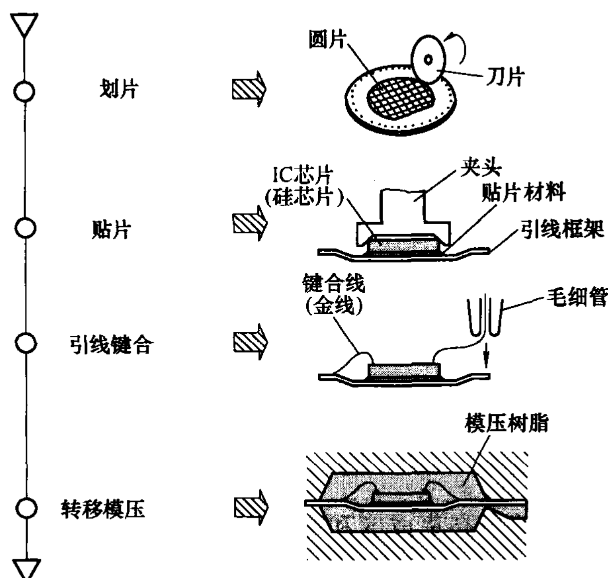



图 12.4　SOP 和 QFP 封装工艺流程

金、焊料和聚合物胶如膏状或薄膜类贴片材料应用广泛，贴片要求取决于封装结构。20 世纪 80 年代应用最多的贴片材料是 Au-Si 共晶焊料，硅芯片贴装在镀金的引线框架上，400℃时形成共晶相。Au-Si 共晶贴片的问题在于贴片材料与基板材料间热膨胀系数不匹配导致的大应力。经济因素也是导致 Au-Si 共晶减少使用的原因，因为金价的大幅提高迫使必须采用便宜的材料[8-10]。

焊料的优势在于高导热率和不吸水性，其可靠性被证实随着材料性能而增强，同质微结构的形成也提高了焊料的抗热疲劳失效能力[11]。

然而，焊料也存在很多缺点。为保证良好的连接，应用焊料时需要添加助焊剂，随后采用化学清洗去除。去除助焊剂的工艺成本高，并且存在由于排放有机氯化物引起的环保问题。另外，高贴片温度使铜引线框架氧化，提高了芯片与引线框架间的应力。

开发聚合物粘胶（如银膏）是为了克服 Au-Si 共晶和焊料的不足。最近，由银粉和树脂合成的膏状物成为现有材料很好的替代品。银膏（贴片膏）总成本低，性能优良（包括低应力及低贴片温度），进一步详细的讨论见本章的后一部分。

### 12.1.3 贴片材料要求

贴片材料的技术要求包括，高纯度（低杂质含量）、快速固化、低应力和焊料回流过程中的封装抗裂性[9,10]。高纯度材料与器件的可靠性有关，这一要求并非贴片材料独有，而是适用于很多电子封装材料。据报道，微量的离子杂质将腐蚀封装体中的铝[12]。在银膏发展的早期阶段，容易污染是一个主要的技术难题。杂质问题的解决得益于原材料和主剂的纯化，并同时采用了特别的化合物技术。

降低固化时间对工艺能力极其重要，并对实时固化工艺有促进作用。对于银膏而言，要求其具有室温稳定性和快速固化特性（在 1 ~ 2min）。通过选择与优化固（硬）化剂和加速剂，可以降低固化工艺时间。然而，银膏状粘胶在固化系统中升温时，容易产生气孔，降低封装可靠性，成为银膏应用中一个迫切需要解决的问题[9]。

低应力是先进封装系统的另一个基本特性。对于先进封装而言，大 IC 芯片贴装在铜引线框架上，或者玻璃-环氧基板和表面布有电路的聚酰亚胺类聚合物基板上。简单而言，硅芯片与基板间的热膨胀系数不匹配是一个严重问题（见图 12.5），采用低应力贴片材料可以降低应力[13,14]。

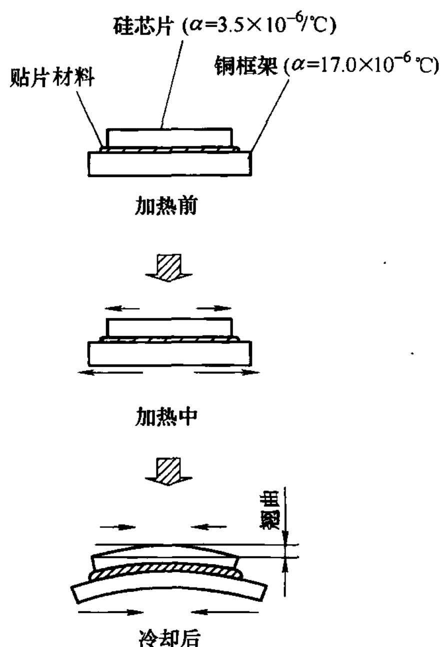


图 12.5 硅芯片翘曲

半导体封装一直朝着更高集成度和更多引脚数趋势发展，因此封装抗裂性可能是目前贴片材料最重要的特性。由于要求在更小和更薄的空间封装更大的芯片，从而使抗裂性在器件有效运行方面显得极其重要。与表面组装器件有关的一个主要可靠性问题就是封装裂纹。该裂纹来源于整个器件置于 240 ~ 260℃高温时产生的焊接应力。本节描述了焊料回流过程中封装抗裂性的原理，但是应用贴片膜解决了这些问题[15-17]。

最近，由于对铅毒性和环境污染意识的不断提高，无铅焊接成为全球电子工业的发展趋势。由于采用了高熔点无铅焊料替代物，回流温度升高，这种发展趋势对目前的贴片材料，特别是其封装抗裂性提出了严重的挑战。

### 12.1.4 贴片膏

贴片膏由银、氧化铝和二氧化硅之类的填料和环氧树脂、聚酰亚胺、丙烯酸盐和硅胶树脂之类的主剂组成。填料分散在室温下具有足够流动性的主剂中。加热使

热固性树脂固化，硅芯片在固化后固定在引线框架上。大多数贴片膏是由银粉和环氧树脂组成的银膏。银填料具有独特的薄片状外形，填料颗粒的平均直径为 2 ~ 10μm。已经证明，由于其独特的薄片状外形和相应的表面涂覆剂，银颗粒在主剂中具有良好的伸展性及操作特性（触变性）[11]。

为了使硅芯片与聚合物基板上的电路图案保持绝缘，绝缘填料膏（如二氧化硅膏）已经用于包括 BGA、堆栈型 CSP 在内的先进封装[18]。

如图 12.6 所示，图中描述的贴片膏工艺涉及三个主要步骤，也就是分配、贴片与固化[9,11]。贴片膏工艺同样也存在一些实际困难，如低粘度膏体渗出、高粘度膏体伸展性、含低沸点溶剂膏体的干燥及含反应稀释剂的膏体除气问题。

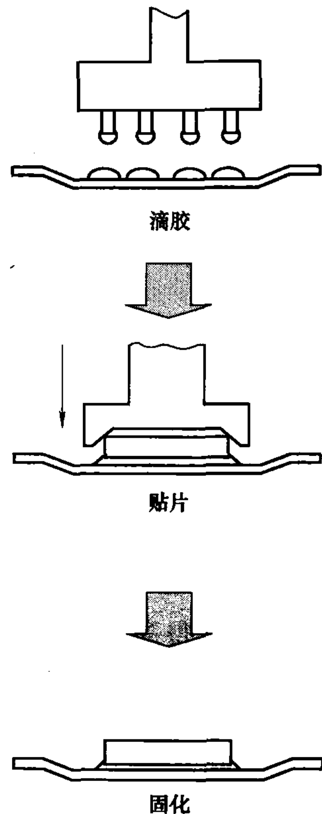


图 12.6　采用贴片膏的贴片工艺

应用最广的主剂是环氧树脂体系。其粘接强度高，并具有作为贴片材料的优良性能。早些年，因为环氧树脂要用氯醇和苯酚钠合成，有机氯和钠等杂质存在于环氧树脂中。自从半导体领域开发出了高纯材料，杂质问题得以解决[18]。

20 世纪 90 年代，开发了以聚丙烯酸酯作为主剂的贴片膏。聚丙烯酸酯贴片膏的优点包括：由于完全聚合，固化加快（1 ~ 2min 固化）；由于采用稳定的过氧化物触发剂，有效期延长；由于材料（丙烯酸酯单体）粘度低，膏体工艺特性好[18]。

最近，为了满足特殊用户需求，贴片材料制造商开发了多种贴片膏。包括具有更高粘接强度和低吸湿性的抗回流膏体，具有高填料含量的导电导热膏体，以及无孔隙和低应力的非溶剂型膏体等。每一种贴片膏都有其各自的应用范围[18]。

## 12.1.5　LOC 封装胶带

图 12.7 所示为一种用于 LOC 封装（芯片上引线）的胶带[10,19,20]。因为 LOC 封装结构中引脚位于硅芯片上面，LOC 封装比标准封装（如四脚扁平封装（QFP））小，内部的引线框架通过胶带贴装在芯片表面，所以 LOC 封装结构适合高密度组装。它主要用于动态随机访问存储器（DRAM）领域的薄型小尺寸封装（TSOP）[19,20]。

制造 LOC 封装胶带的主剂是聚酰亚胺，由三个主要层组成[10,19,20]。采用类似 Kapton 材料的方式，粘胶两边涂覆聚酰亚胺薄膜。胶带是一种加热熔化型粘胶，在高温（200 ~ 400℃）和高压（每个芯片 10 ~ 30N）下贴装。由于胶带直接贴装

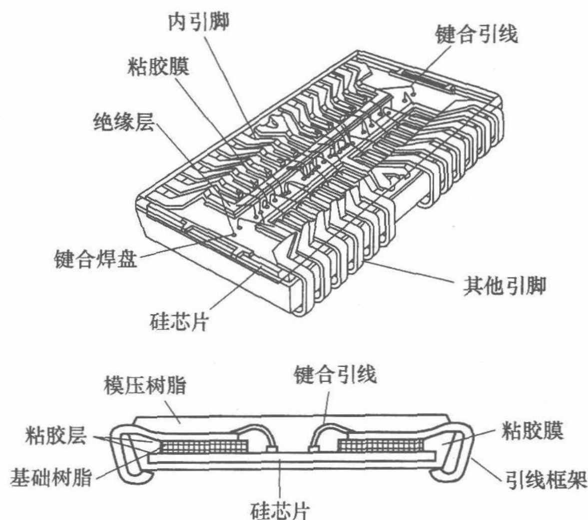



图 12.7　LOC 封装内部结构

在硅芯片表面，高纯度、低除气作用和耐热特性很重要。

为了降低胶带温度，制造商已经开发了多种聚合物结构，包括在硬聚合物主链中引入柔性片段[19,20]。

## 12.1.6　贴片膜

对于要获得高可靠性、高性能、高速度、高器件密度及更小更薄的封装而言，贴片膜已成为关键技术。

美国杜邦公司 1988 年发布了一种由热塑性树脂和银粉组成的贴片膜[21]。日本日东电子（Nitto Denko）公司 1991 年则提出了贴片—切割膜的新概念，可以降低贴片与划片工作量[22]。

1994 年，日本日立化学公司研发了一种新型贴片膜——HIATTACH，使低温、低压力和瞬时（1s 内）贴片成为可能，并且在焊料回流过程中表现出良好的封装抗裂性[23,24]。采用该贴片膜后，器件的可靠性显著提高，而且，新贴片工艺开发了一种新型贴片机，新贴片工艺也完全不同于贴片膏（见图 12.8）。

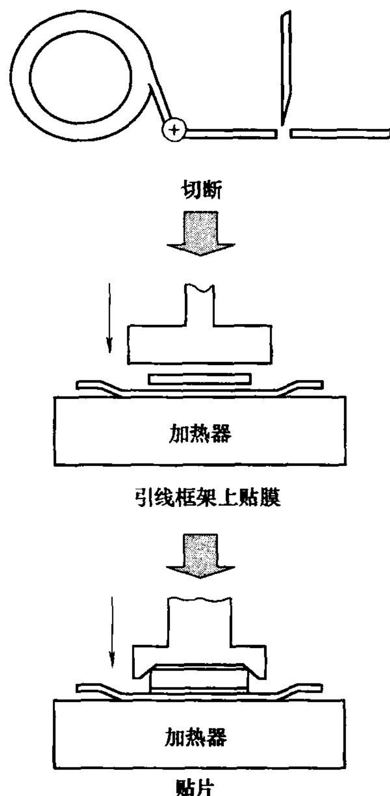



图 12.8　采用贴片膜的贴片工艺

为了满足先进封装要求，一些制造商在 1997 年开发了低应力型贴片膜。贴片膜生产及其领域不断研究所取得的巨大发展对电子封装产业十分重要。

下一节中将详细介绍贴片膜发展。

## 12.1.7　未来的先进贴片膜

### 12.1.7.1　用于先进 BGA/CSP 封装的贴片膜

最近，因为模塑阵列封装（Mold Array Package，MAP）可降低工艺步骤，导致成本降低[25]。先进 BGA/CSP 封装的尺寸增加，产生了很多技术问题，其中包括由基板、焊球和印制电路板组成的封装体结构由于材料热膨胀系数不匹配，使基板产生很大翘曲，并且封装体内外连接性差[25]。在此方面，对贴片膜最重要的要求是降低封装应力。目前，正在开发低温贴片和低弹性模量贴片膜，以满足先进 BGA/CSP 封装的要求[26,27]。

### 12.1.7.2　切片/贴片双功能膜

多芯片堆叠的堆栈型多芯片封装（Multi-Chip Package，MCP）（见图 12.3）受到了广泛关注，并在先进封装更小、更薄和更高性能的要求下，获得了进一步的发展[28,29]。堆栈型 MCP 对贴片膜的要求是降低制造步骤，并容易处理较薄的圆片。为了满足这些要求，2005 年研发并上市了一种切片/贴片双功能膜[30,31]。该膜由两层组成，包括紫外反应型切片膜和热固化贴片膜。

图 12.9 所示为制造堆栈型 MCP 的传统工艺，对切片膜和贴片膜采用了两步层

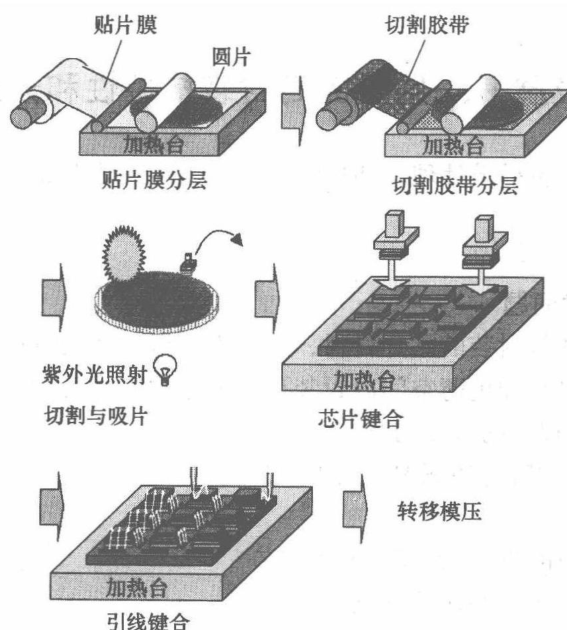



图 12.9　制造堆栈型 MCP 的传统工艺（对贴片膜和切片胶带需要两步层压过程）

压工艺。图 12.10 给出了堆栈型封装的新工艺，切片/贴片膜一步层压，双功能膜的实现降低了制造工艺步骤，并能轻易处理较薄的圆片[30]。

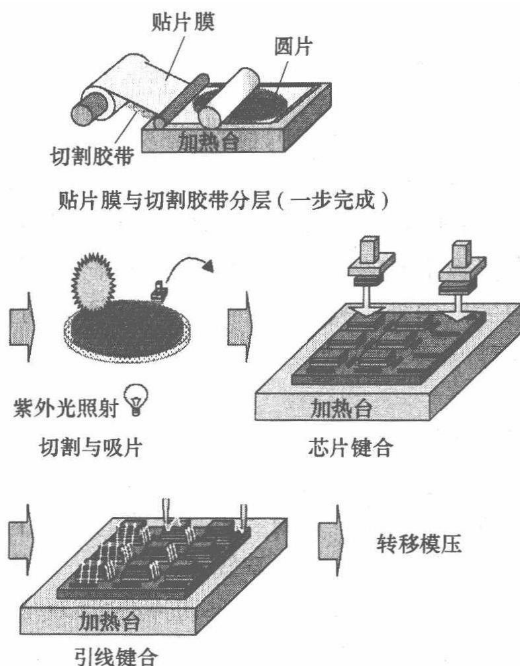



图 12.10 采用双功能胶带制造堆栈型 MCP 的新工艺

## 12.2 贴片膜发展——用于提高封装抗裂性和先进封装可靠性

本节详细描述了包括设计理念和特性在内的贴片膜的发展。

### 12.2.1 介绍

#### 12.2.1.1 银膏技术问题

银膏通常作为塑料封装的贴片材料，随着半导体封装朝着更高集成度、更多引脚数发展，要求在更小和更薄空间内封装更大的芯片。银膏的主要技术问题包括：

1）焊料回流过程中的裂纹与分层

2）大尺寸芯片贴装时的润湿性与伸展性

3）孔隙

4）点胶系统的生产效率与工艺特性

研发贴片膜就是为了解决这些问题。

#### 12.2.1.2 封装裂纹

与表面组装器件有关的一个主要可靠性问题，是焊接应力产生的封装裂

纹。通常这种应力是由于将整个器件暴露在 245℃左右的高温下产生的。封装体内的湿气蒸发、膨胀，引起分层、断裂和封装裂纹，通常称为“爆米花”现象（见图 12.11）[32-34]。虽然改变环氧模塑料中成分以降低吸湿量取得了一定成功，贴片材料的这个问题依然存在。由于封装裂纹是由贴片材料的吸湿和分层产生，因此降低贴片材料的吸湿性，提高剥离强度，可以防止封装裂纹。

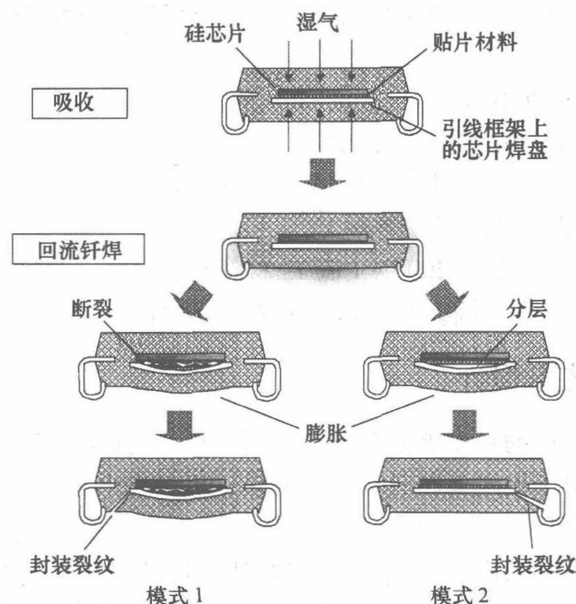



图 12.11　焊料回流过程中产生的封装裂纹

电子工业的无铅焊接，是全球朝着无铅环境发展的一部分[35]。禁止铅使用的环境法律规定，制造商必须从电气和电子设备包括进口产品废料中去除或回收铅。日本的一些大公司，在无铅技术方案研究方面越来越活跃，为的是消除铅污染。无铅焊料产品如 SnAg 和 SnCu 合金的熔点要比传统 SnPb 焊料高 30～40℃，因此红外回流的最高温度必须从 245℃增加到 275℃。由于较高的回流温度会对贴片材料造成严重损坏，需要采用高性能贴片膜来克服无铅化带来的问题。

#### 12.2.1.3　先进封装

为了满足消费者对笔记本电脑、手机和其他消费类电子产品更小、更薄和低成本封装的要求，必须采用新型的先进封装。新型先进封装的一个特点就是不采用金属引线框架，而是采用表面布置有电路的聚合物基板，如玻璃-环氧和聚酰亚胺基板。在此过程中，要求降低粘接温度，降低应力，以及避免对表面电路的污染。这些要求给目前的银膏带来了一些问题，因此必须开发用于先进封装的高性能贴片膜来满足这些要求。

与传统封装形式（如 LQFP）相比，BGA/CSP 的贴片区通常更接近引线键合焊

盘，因此溢出的贴片膏很容易污染引线键合焊盘。特别是对于堆栈型 CSP，由于封装贴片区更接近引线键合焊盘，污染会更加严重。鉴于这些原因，贴片膜由于没有溢出和污染问题，比贴片膏更适合用于 BGA/CSP。另外，贴片膜有望在绝缘可靠性、无孔隙、贴片层无倾斜等方向显示出优势。

新型先进封装 BGA/CSP 的一些关键技术问题如下：

1）硅芯片与具有较大热膨胀系数（CTE）的聚合物基板间的热失配引起的芯片翘曲

2）聚合物基板耐热性差

3）薄型封装引起的贴片层吸湿问题

基于上述技术问题，对贴片材料的相应要求总结如下：

1）降低芯片翘曲（低应力材料）

2）降低贴片温度，低于 200℃（低 $T_g$ 材料）

3）提高封装抗裂性（低吸湿性和高剥离强度材料）

### 12.2.2 贴片膜主剂设计

具有多种化学结构的新型聚酰亚胺合成后，可作为贴片膜的主剂。

传统意义上，由于聚酰亚胺具有优良的热、机械和电气性能，曾设想作为未来的飞机和航天飞船材料[36]。为了小型化和提高性能与可靠性，聚酰亚胺已被用于制备微电子器件薄膜和表面漆[37]。大多数聚酰亚胺必须在可溶的多（胺酸）前驱体阶段进行加工，随后在高于 350℃的高温下加热进行亚醯化。因为在亚醯态下难以溶化和熔化，聚酰亚胺很难加工。而且，由于具有高 $T_g$ 和高软化温度，聚酰亚胺必须在超过 300℃高温下进行加工和制备，导致相关材料的热损坏，因此应用领域受到限制[38]。为了得到可溶的聚酰亚胺和/或在较低温度下制备聚酰亚胺而进行了大量研究，通过在高分子主链中引进如亚羟基、醚和硅氧烷连接基团之类的柔性结构，合成了具有较低 $T_g$ 和较低软化温度的聚酰亚胺[39-41]。由于它们在本质上是热塑性的，聚酰亚胺在高于 $T_g$ 或软化点温度下熔化，因此很难开发可以在低温下制备，而高温下机械强度高的聚酰亚胺基材料。

为了解决这个难题，通过混合或掺杂不同聚合物和填料的材料来开发具有一些优良特性的新材料。这些特性采用单组分材料是无法获得的[42-46]。根据该设计，大量精力投入到混合过程中作为偶联剂的环氧树脂和作为增强剂的填料，来研发在超过 $T_g$ 的高温下具有低流动性和高机械强度的新化合物材料，如用于微电子产品的高性能贴片胶。关于复合材料机械强度的大量研究表明，这种方法是成功的。

很多研究者报告了聚酰亚胺-环氧树脂复合材料的研究[44-46]。然而，这些研究的主要目的是提高环氧基体材料的固有脆性。一些研究报告指出，通过混合环氧树脂和填料，聚酰亚胺基复合材料在超过 $T_g$ 温度下的流动受限。

本研究中，分析了一种由聚酰亚胺、环氧树脂和薄银片（曾用作贴片材料银

膏的填料）组成的新型复合材料薄膜，以开发一种可以在低温下贴片、在超过 $T_g$ 的高温下具有良好应力释放特性和高机械强度的新型贴片胶。在以前的研究中[47,48]，详细证明了环氧树脂和薄银片含量对粘胶特性的影响，以及贴片膜的形态学和流变特性。本节评述了各种应用聚酰亚胺的贴片膜，描述了聚酰亚胺的化学结构和复合材料薄膜各种特性间的关系。

## 12.2.3　具有封装抗裂性的贴片膜

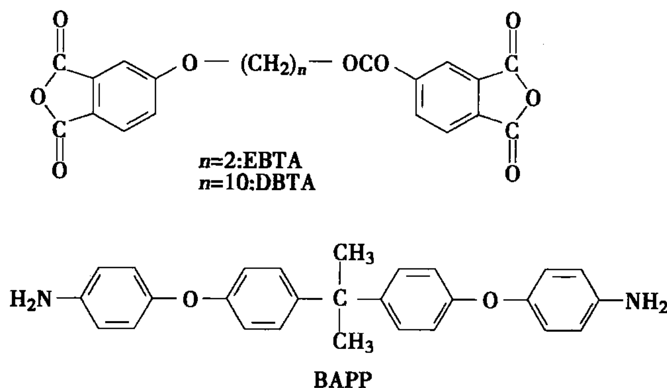
### 12.2.3.1　主剂吸水性

表 12.1 给出了三种聚酰亚胺的吸水特性。聚酰亚胺通常具有高吸水性，如 A 型聚酰亚胺（EBTA-BAPP）的吸水率为 1.3%。为了降低吸水性，B 型（EBTA/DBTA-BAPP）和 C 型（DBTA-BAPP）聚酰亚胺在高分子主链中加入了一些憎水性化学结构。由于采用了憎水结构，新 C 型聚酰亚胺的吸水率大大降低，仅为 0.2%，可作为贴片膜主剂。

**表 12.1　聚酰亚胺吸水性**

| 聚酰亚胺 | 单体（mol）（%） | | 吸水率（质量分数）（%）① |
|---|---|---|---|
| | 苯四甲酸二酐 | 二氨 | |
| A | EBTA(100) | BAPP(100) | 1.3 |
| B | EBTA(50)/DBTA(50) | BAPP(100) | 0.7 |
| C | DBTA(100) | BAPP(100) | 0.2 |

① 室温下浸泡 24h。




### 12.2.3.2　剥离强度

对封装抗裂性而言，剥离强度是防止贴片材料脱层最重要的特性，有人研究了贴片膜组成与剥离强度间的关系[48]。

贴片膜由聚酰亚胺、环氧树脂和银粉组成，本节讨论了粘接行为与贴片膜体材料和表面特性间的关系。

将贴片膜切割成 5mm×5mm 的小方片，然后置入 5mm×5mm 厚度为 400μm 的

硅芯片与大尺寸铜引线框架间，硅芯片与引线框架在0.4MPa压力、300℃下热压键合5s，接着在180℃的炉中加热1h使贴片膜完全固化。测量前，制备的一半样品在85℃/85% RH的热湿循环箱中处理168h。采用推拉力计，通过将硅芯片从引线框架上剥离来测量剥离强度，拉力加载速度为0.5mm/s，如图12.12所示。样品测量在250℃下进行（样品放置在250℃热板上20s后开始施加拉力）。

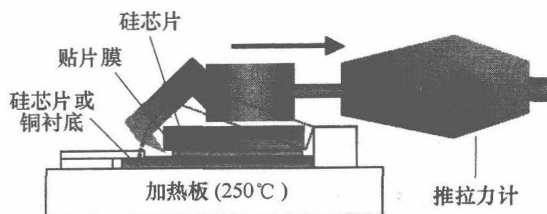


图12.12 剥离强度测量

图12.12给出了银粉含量固定为40%（质量分数），贴片膜中环氧树脂含量与铜引线框架剥离强度间的关系。表12.2总结了贴片胶样品在剥离强度测试过程中的失效模式。

表12.2 贴片胶样品失效模式

| 薄膜编号 | 环氧树脂含量（phr①） | 失效模式* | |
|---|---|---|---|
| | | 干燥 | 潮湿 |
| 1 | 0 | Co | Co |
| 2 | 10 | Co | Co |
| 3 | 20 | Ad/L | Ad/L |
| 4 | 30 | Ad/L | Ad/L |
| 5 | 40 | Ad/L | Ad/L |

* 干燥—暴露在潮湿环境前；潮湿—暴露在潮湿环境后；Co—薄膜粘接失效；Ad/L—薄膜和引线框架间的界面失效。

① phr：Parts Per hundreds of rein，表示对每100份（以质量计）树脂添加的份数。

在环氧树脂含量低于10phr前，贴片膜与铜引线框架间的剥离强度一直是显著增加的（见图12.13）。然而，当环氧树脂含量等于和大于20phr时，干燥和潮湿状态下的剥离强度都随着环氧含量的增加而明显降低。不管是干燥或潮湿状态，贴片膜与铜引线框架间的失效模式将从结合力失效（树脂含量低于10phr）转变为界面失效（树脂含量为20phr和以上，见表12.2）。

在20℃和250℃温度下，无环氧树脂组分的贴片膜（1#）弹性模量都低于环氧树脂组分含量为10%～40phr的其他贴片膜（2#～5#）。因为其热缩性并具有网络结构（见图12.4），1#贴片膜在250℃时熔化。

剥离强度随着环氧树脂含量提高到10%而显著增加（见图12.13）。原因在于贴片膜在高温下形成了网络结构，其弹性模量增加。

贴片膜断裂强度随着环氧树脂含量增加而提高，而贴片膜与铜引线框架间的界面粘接强度反之降低（见图12.13）。这可以通过粘接热力学功（$W_A^{Cu}$）和薄膜表

面能的降低进行解释（见表 12.5）[49-54]。

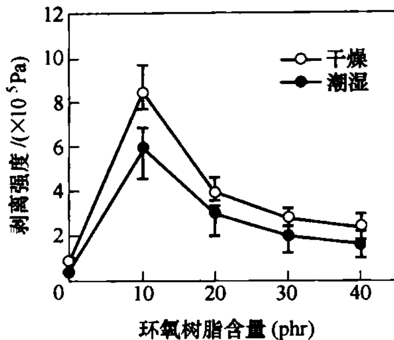



图 12.13 环氧树脂含量和环氧与铜引线框架间剥离强度的关系

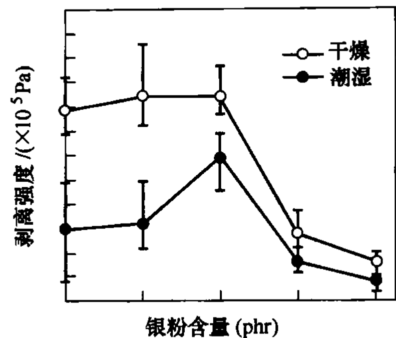



图 12.14 银粉含量和贴片膜与铜引线框架间剥离强度的关系

图 12.14 给出了环氧树脂含量固定为 10phr，贴片膜银粉含量和贴片膜与铜引线框架间的剥离强度关系。表 12.3 总结了失效模式。

表 12.3 贴片胶样品失效模式（见图 12.14）

| 薄膜编号 | 银含量（质量分数）（%） | 失效模式* | |
|---|---|---|---|
| | | 干燥 | 潮湿 |
| 6 | 0 | Co | Si/Ad |
| 7 | 20 | Co | Si/Ad |
| 8 | 40 | Ad/L | Ad/L |
| 9 | 60 | Ad/L | Ad/L |
| 10 | 80 | Ad/L | Ad/L |

* 干燥—暴露在潮湿环境前；潮湿—暴露在潮湿环境后；Co—薄膜粘接失效；Si/Ad—硅芯片和薄膜间的界面失效；Ad/L—薄膜和引线框架间的界面失效。

贴片膜与铜引线框架间的剥离强度在干、湿状态下的表现有所不同（见图 12.14）。当银粉含量低于 40%（质量分数）时，干燥状态的剥离强度完全与银粉含量无关；而当银粉含量等于和大于 60%（质量分数）时，剥离强度显著降低。另一方面，当银粉为 40%（质量分数）时，潮湿状态的剥离强度达到异常高的峰值，对于铜引线框架，失效模式很复杂（见表 12.3）。当银粉低于 20%（质量分数）时，干燥状态的失效模式为结合力失效，潮湿状态为硅芯片与贴片膜间的界面失效。不管是干燥或潮湿状态，银粉等于和大于 40%（质量分数）时，贴片膜与铜焊盘间的失效模式为界面失效。

当银粉含量低于 40%（质量分数）时，剥离强度随银粉含量增加而提高，原因在于银粉限制了主剂的微布朗运动，从而增加了高温下的弹性模量及贴片膜的 $T_g$。虽然贴片膜的断裂强度随着银粉含量的增加而提高，当银粉含量等于和大于

60%（质量分数）时，贴片膜与硅芯片或铜引线框架间的界面粘接强度随着银粉含量增加而降低，这可能是因为主剂含量降低和热应力 $\sigma_{max}$ 提高所导致的粘接热力学功 $W_A$ 降低（见表 12.4 和表 12.5）。

**表 12.4 贴片膜体材料性能**

| 薄膜编号 | 环氧树脂含量（phr） | 银含量（质量分数）（%） | 弹性模量/MPa | | $T_g$/℃ | $\sigma_{max}$①（×K）/MPa | 吸水率（体积分数）（%） | |
|---|---|---|---|---|---|---|---|---|
| | | | 20℃ | 250℃ | | | 24h | 168h |
| 1 | 0 | | 2910 | 熔化 | 119 | 351 | 0.06 | 0.17 |
| 2 | 10 | | 4010 | 6 | 119 | 412 | 0.23 | 0.35 |
| 3 | 20 | 40 | 3930 | 4 | 113 | 383 | 0.25 | 0.40 |
| 4 | 30 | | 3580 | 4 | 109 | 350 | 0.32 | 0.48 |
| 5 | 40 | | 3960 | 5 | 109 | 368 | 0.44 | 0.58 |
| 6 | | 0 | 2310 | 2 | 117 | 307 | 0.32 | 0.49 |
| 7 | | 20 | 2480 | 4 | 117 | 318 | 0.28 | 0.43 |
| 8 | 10 | 40 | 4010 | 6 | 119 | 412 | 0.23 | 0.35 |
| 9 | | 60 | 4280 | 16 | 126 | 456 | 0.17 | 0.26 |
| 10 | | 80 | 10200 | 150 | 131 | 737 | 0.10 | 0.15 |

① 芯片角的最大应力。K 为几何常数。

**表 12.5 薄膜表面特性**

| 薄膜编号 | 环氧含量（phr） | 银含量（质量分数）（%） | 接触角（°） | | 表面能/(mN/m) | | | 粘接功/(mN/m) | |
|---|---|---|---|---|---|---|---|---|---|
| | | | $\theta^{H_2O}$ | $\theta^{CH_2I_2}$ | $\gamma_s^d$ | $\gamma_s^p$ | $\gamma_s$ | $W_A^{Si}$ | $W_A^{Cu}$ |
| 1 | 0 | | 70.7 | 23.0 | 41.6 | 6.8 | 48.4 | 94.3 | 88.7 |
| 2 | 10 | | 73.7 | 34.7 | 37.1 | 6.5 | 43.6 | 89.9 | 84.1 |
| 3 | 20 | 40 | 75.8 | 35.0 | 37.5 | 5.5 | 43.0 | 88.1 | 83.7 |
| 4 | 30 | | 78.5 | 36.8 | 37.0 | 4.5 | 41.5 | 85.1 | 82.3 |
| 5 | 40 | | 81.4 | 42.3 | 34.6 | 4.0 | 38.6 | 81.7 | 79.3 |
| 6 | | 0 | 73.7 | 26.4 | 41.0 | 5.5 | 46.5 | 90.9 | 87.1 |
| 7 | | 20 | 73.8 | 32.1 | 38.4 | 6.1 | 44.5 | 90.2 | 85.1 |
| 8 | 10 | 40 | 73.7 | 34.7 | 37.1 | 6.5 | 43.6 | 89.9 | 84.1 |
| 9 | | 60 | 76.1 | 35.4 | 37.3 | 5.4 | 42.7 | 87.6 | 83.4 |
| 10 | | 80 | 77.7 | 37.2 | 36.8 | 4.9 | 41.7 | 86.0 | 82.5 |

当银粉含量低于20%（质量分数）和更低时，潮湿状态下的剥离强度急剧下降，硅芯片失效模式从结合力失效转变为界面失效，这些可以通过蒸馏水接触角$\theta_{H_2O}$的增加获得很好的解释。也就是说，由于银粉含量降低会提高贴片膜表面的亲水性，具有高亲水表面的硅芯片与贴片膜间的界面由于吸湿特性很容易充满水（见表 12.5）。

#### 12.2.3.3　封装抗裂性

通过研究上述关系并优化材料组分，开发了一种贴片膜 DF-A。表 12.6 给出了 DF-A 和一种银膏的特性，DF-A 由含憎水结构的改性聚酰亚胺树脂、一定掺量的热固化树脂及含量为 40%（质量分数）的银粉组成。DF-A 吸水率是目前银膏的 1/6，剥离强度大于银膏的 8 倍。

**表 12.6　DF-A 与银胶特性**

| 名称 | | 单位 | DF-A | 银胶 | 测试条件 |
|---|---|---|---|---|---|
| 化学组成 | 基础树脂 | | 聚酰亚胺和环氧树脂 | 环氧树脂 | |
| | 银粉含量（质量分数） | % | 40 | 70 | |
| 贴片条件 | 温度 | ℃ | 230 | — | |
| | 压力 | N/芯片 | 0.5 | 1.0 | |
| | 时间 | s | 1 | <1 | |
| | 固化 | ℃/min | 180/30 | 180/60 | |
| 抗裂性 | 245℃ | — | 504h | 24h | QFP 为 14mm×20mm×1.4mm |
| | 265℃ | | 168h | 低于 24h | 芯片尺寸为 8mm×10mm |
| | 275℃ | | 168h | 低于 24h | EMC 为 CEL-9200 |
| 吸水率（体积分数） | | vol% | 0.2 | 1.2 | 室温下 24h |
| 剥离强度 | 245℃ | $\times10^5$Pa | 8.1 | 1.0 | 芯片尺寸为 5mm×5mm |
| | 265℃ | | 8.1 | 1.0 | 引线框架为铜 |
| | 275℃ | | 8.3 | 1.2 | |

为了评价 DF-A 的封装抗裂性，采用 14mm×20mm×1.4mm 的薄型四方扁平封装（LQFP）。LQFP 由硅芯片（8mm×10mm×0.3mm）、贴片膜 DF-A（厚度为 30μm）、带平面芯片支架的铜引线框架及环氧模塑料（日本日立化学有限公司，CEL-9200）组成。整个封装体暴露在 85℃/85% RH 潮湿环境下 24～504h，然后在焊料回流的 265～275℃高温下测试。结果表明，经过上述可靠性试验后，采用 DF-A 的封装体没有出现裂纹。

因此，由于 DF-A 具有低吸水性和高剥离强度，其在高回流温度（265～275℃）下表现出良好的封装抗裂性，也没有出现“爆米花”现象[55]。

## 12.2.4 先进封装贴片膜

### 12.2.4.1 低 $T_g$ 和低吸水性聚酰亚胺树脂

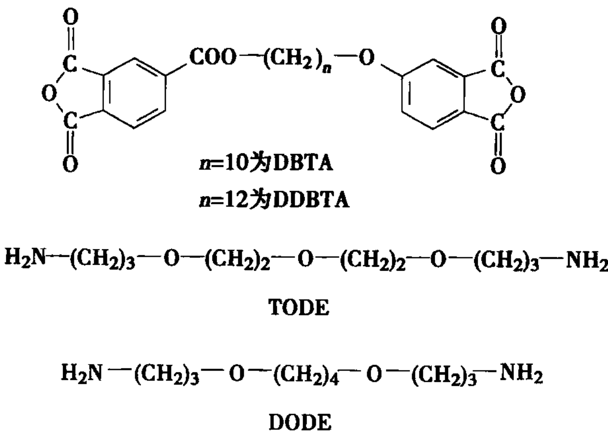
制备了多种新型聚酰亚胺作为贴片膜主剂，并对它们的性能进行了研究[56]。

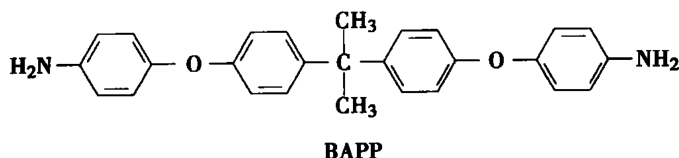
所有刚合成聚酰亚胺的 $M_n$ 值为 23000～36000，$M_w$ 值为 68000～121000，只有含聚硅氧烷（Polysiloxane，PSX）二胺的聚酰亚胺 PI-6 的 $M_n$ 和 $M_w$ 值稍低（见表 12.7）。PSX 具有较长的硅氧烷单体，由于单体极性低，合成聚酰亚胺时可以降低其与 NMP 间的可混合性，从而降低溶剂的聚合能力。

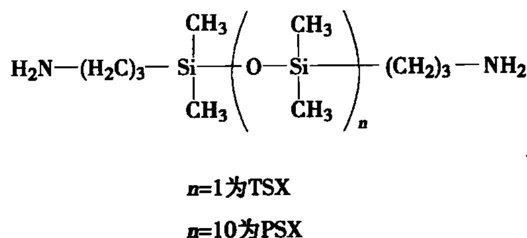
表 12.7 聚酰亚胺的制备特性

| 聚酰亚胺 | 单体（mol）(%) | | 产率 (%) | 分子重量分布 | | | $T_g$/℃ |
|---|---|---|---|---|---|---|---|
| | 二酐 | 二胺 | | $M_n$ | $M_w$ | $M_w/M_n$ | |
| PI-1 | DBTA (100) | BAPP (100) | 95.0 | 32500 | 121000 | 3.73 | 120 |
| PI-2 | DDBTA (100) | BAPP (100) | 94.8 | 33200 | 102600 | 3.09 | 107 |
| PI-3 | DBTA (100) | BAPP (50)/TODE (50) | 95.7 | 36700 | 115500 | 3.14 | 64 |
| PI-4 | DBTA (100) | BAPP (50)/DODE (50) | 96.3 | 28900 | 88600 | 3.07 | 57 |
| PI-5 | DBTA (100) | BAPP (50)/TSX (50) | 95.0 | 26900 | 80800 | 3.01 | 64 |
| PI-6 | DBTA (100) | BAPP (50)/PSX (50) | 92.5 | 23800 | 68600 | 2.89 | 30 |

采用 DSC 测量 PI-1 的 $T_g$ 为 120℃，然而普通聚酰亚胺 ULTEMTM 的 $T_g$ 超过 200℃[57]。PI-1 的 $T_g$ 较低是因为在聚酰亚胺主链中引入了一种长柔性分子链－癸亚甲基链团。另外，引入十二烷基链团（PI-2）或几种脂肪簇醚链基团（PI-3 和 PI-4）或硅氧烷链也可以将 $T_g$ 降低到小于 120℃，特别是当引入聚硅氧烷链时，可将 $T_g$ 降低到 30℃（PI-6）。






聚酰亚胺的吸水性取决于它们的化学结构（见表12.8）。在测试的几种聚酰亚胺中，含有多种亲水型醚链的PI-3具有最高吸水率，而含有憎水型聚硅氧烷链的PI-6的吸水率最低。结果发现，可溶性参数（SP）与聚酰亚胺吸水性间存在紧密联系，提高聚酰亚胺的可溶性参数到水的量级（23.4），导致聚酰亚胺吸水性增加。

**表12.8 聚酰亚胺的溶解性与吸水率**

| 聚酰亚胺 | 溶解/SP①/ $\sqrt{MPa}$ | | | | | | | SP① /$\sqrt{MPa}$ | 吸水率(%) |
|---|---|---|---|---|---|---|---|---|---|
| | MIBK/8.4 | THF/9.1 | CHN/9.9 | DMAc/10.8 | NMP/11.3 | DMSO/12.0 | DMF/12 | | |
| PI-1 | ± | ++ | ++ | ++ | ++ | ± | + | 10.8 | 0.12 |
| PI-2 | ± | ++ | ++ | ++ | ++ | ± | + | 10.6 | 0.10 |
| PI-3 | ± | ++ | ++ | ++ | ++ | ± | + | 11.3 | 0.33 |
| PI-4 | ± | ++ | ++ | ++ | ++ | ± | + | 11.2 | 0/28 |
| PI-5 | ± | ++ | ++ | ++ | ++ | ± | + | 10.9 | 0.10 |
| PI-6 | ++ | ++ | ++ | ++ | ++ | ± | + | 9.9 | 0.01 |

① 溶解参数。

注：++：室温溶解度；+：加热到60℃的溶解度；±：加热时只膨胀；MIBK：甲基异丁基甲酮；THF：四氢呋喃；CHN：环己酮；DMAc：N，N-二甲基乙酰胺；NMP：N-甲基-2-吡咯烷酮；DMSO：二甲基亚砜；DMF：N-甲基甲酰胺。

通过比较水与聚酰亚胺的可溶性参数（SP），可以解释吸水性的这些差异。根据可溶性理论，具有相近SP值的聚合物与溶剂（水）容易相互混合[58]。根据Okitsu方法，可以从溶剂和聚酰亚胺的化学结构来计算它们的SP值[59]。

#### 12.2.4.2 低应力（硅芯片翘曲）

具有不同热膨胀系数（CTE）的两种材料通过粘胶材料热压贴装时，会在界面产生热应力，如果粘胶材料不能释放热应力，界面处残留的应力将产生残余应

变。当采用硅片（Si）和铜片（Cu）作为粘接对象（CTE 分别为 $3.5\times10^{-6}/℃$ 和 $17\times10^{-6}/℃$），残余应力或残余应变就会使硅片翘曲（见图 12.15）。硅片角落处的最大热应力 $\sigma_{max}$ 可通过下面的公式决定[60]：

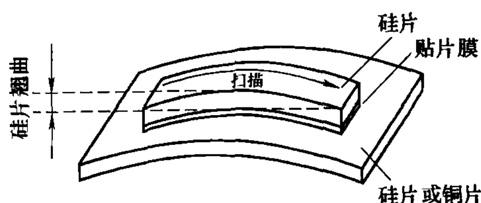



图 12.15 硅片翘曲示意图

$$\sigma_{max}=K\Delta\alpha\Delta T(E_aE_sL/d)^{1/2}$$

式中，$K$ 为几何常数；$\Delta\alpha$ 为 CTE 的差别；$\Delta T$ 为粘胶材料 $T_g$ 与室温间的温度差；$E_a$ 和 $E_s$ 为粘胶材料与铜片在室温下的弹性模量；$L$ 为硅片边长；$d$ 为粘胶层厚度。$T_g$ 和 $E_a$ 是影响粘胶材料热应力的两个主要因素。

参考上面的理论解释，研究了作为粘胶材料的复合材料薄膜的热应力释放特性。图 12.16 和图 12.17 分别给出了硅片翘曲与贴片膜在 20℃ 的储能模量 $E'$ 和 tan $\delta$ 峰值温度（表示为 $T_g$）间的函数关系。翘曲随着 $E'$ 和 tan $\delta$ 峰值温度的降低而降低（贴片膜应力释放特性提高）。特别是在所有测试的薄膜中，采用 PI-6 的薄膜释放压力最有效。硅片翘曲与 $E'$ 的相关系数为 0.466（见图 12.16），而翘曲与 tan $\delta$ 峰值温度间的相关系数为 0.969（见图 12.17），因此，$T_g$ 对翘曲的影响要比 $E'$ 更显著。贴片后降温过程中，硅片与铜板间热应变差异可通过移动薄膜得以部分释放，该结果表明，在应力释放与降低残余应变方面，降低粘胶膜 $T_g$ 而不是 $E'$ 更有效。

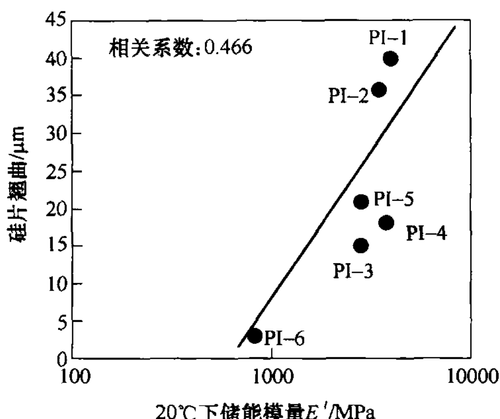



图 12.16 贴片膜储能模量 $E'$ 与硅片翘曲间的关系（贴片温度为 250℃）

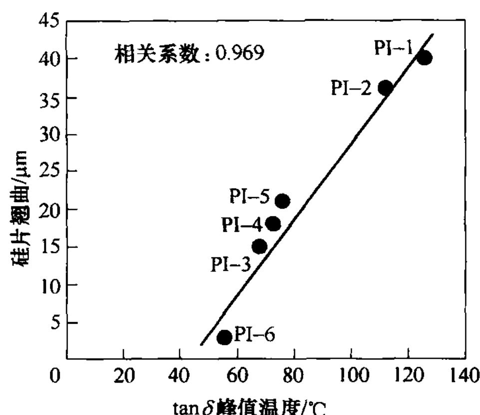



图 12.17 贴片膜 tan$\delta$ 峰值温度与硅片翘曲间的关系（贴片温度为 250℃）

表 12.9 总结了复合材料薄膜在 250℃ 下的剥离强度。失效模式都属于薄膜本身的结合力失效，剥离强度表明两种样品间具有不同行为。对于 Si/Si 样品，发现 250℃时粘接强度与储能模量 $E'$ 间存在很强的相互关系：剥离强度随着 $E'$ 增加而增

加。然而，Si/Cu 样品不存在这种关系，粘接行为的差异可以通过翘曲的不同来解释：因为热应力引起的翘曲很小或无翘曲，薄膜的 $E'$主要影响 Si/Si 样品的剥离强度；因为存在热应力和相应的翘曲，薄膜的应力释放特性影响 Si/Cu 样品的剥离强度。对于 PI-1 和 PI-2 薄膜，因为 Si/Cu 样品比 Si/Si 样品的硅片翘曲要大得多，前者的剥离强度也比后者要低很多；另一方面，对于 PI-6 薄膜，因为两种样品的硅片翘曲要小得多，Si/Cu 与 Si/Si 样品的剥离强度几乎相同。因此，对于具有不同 CTE 的两种粘接对象间的贴片，贴片膜的 $E'$与应力释放特性将是影响粘接强度的两个主要因素。

表 12.9 贴片胶膜的粘接性能①

| 膜中聚酰亚胺类型 | 250℃剥离强度/MPa | | 250℃弹性模量/MPa | 硅芯片翘曲/μm | |
|---|---|---|---|---|---|
| | Si/Si② | Si/Cu③ | | Si/Si② | Si/Cu③ |
| PI-1 | 0.84 | 0.53 | 6.1 | 1 | 40 |
| PI-2 | 0.43 | 0.26 | 2.2 | 1 | 36 |
| PI-3 | 0.51 | 0.47 | 3.0 | 0 | 15 |
| PI-4 | 0.58 | 0.51 | 3.3 | 0 | 18 |
| PI-5 | 0.59 | 0.46 | 3.3 | 0 | 21 |
| PI-6 | 0.50 | 0.49 | 2.4 | 0 | 3 |

① 贴片温度：250℃。
② 硅芯片间。
③ 硅芯片与铜基板间。

### 12.2.4.3 低贴片温度

采用 PI-1 和 PI-4 贴片膜，图 12.18 给出了 Si/Si 样品贴片温度与剥离强度间的关系。对于 PI-1 薄膜，剥离强度直接随着贴片温度的下降而降低；而对于 PI-4 薄膜，贴片温度在 250～140℃时，剥离强度几乎不随着温度下降而降低。通过表 12.10 给出样品的失效模式对此进行了解释：对于 PI-1 薄膜，当贴片温度降低时，因为界面粘接力显著降低，失效模式从结合力失效转变为界面失效；而对于 PI-4 薄膜，因为界面粘接改善，250℃与 160℃间的失效模式都是结合力失效，PI-4 薄膜能在 160℃到 250℃时保持良好粘接，使剥离强度保持稳定。PI-1 和 PI-4 薄膜粘接力的差异与使用的聚酰亚胺 $T_g$ 不同有关，因为 PI-4 的 $T_g$（57℃）低于 PI-1 的 $T_g$

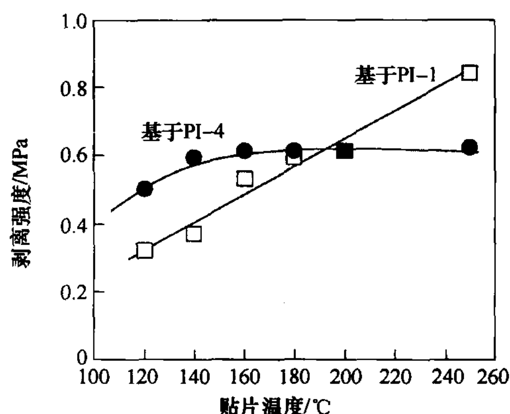



图 12.18 贴片膜贴片温度与剥离强度间关系

(120℃)，即使在低贴片温度下，PI-4 薄膜也能充分流动，湿润硅芯片界面，从而提高了低温下的粘接性能。

表 12.10　样本失效模式

| 薄　膜 | 贴片温度/℃ | | | | | |
|---|---|---|---|---|---|---|
| | 120 | 140 | 160 | 180 | 200 | 250 |
| 采用 PI-1 | Ad① | Ad | Ad | Ad | Ad/Co | Co② |
| 采用 PI-2 | Ad/Co③ | Ad/Co | Co | Co | Co | Co |

① Ad 指薄膜与硅芯片间界面失效。

② Co 指薄膜的粘附失效。

③ Ad/Co 指混合失效。

#### 12.2.4.4　贴片膜特性

基于上述研究和贴片膜组分优化，开发了一种贴片膜 DF-B，表 12.11 给出了 DF-B 与一种贴片膏的性能对比。

表 12.11　DF-B 与绝缘膏性能

| 内　容 | | 单　位 | DF-B | 绝 缘 膏 | 测 试 条 件 |
|---|---|---|---|---|---|
| 成分 | 基础树脂 | | 聚酰亚胺与环氧树脂 | 环氧树脂 | |
| 硅片翘曲 | | μm | 20 | 40 | 芯片尺寸为 5mm × 13mm，基板为铜 |
| 贴片条件 | 温度 | ℃ | 180 | — | |
| | 压力 | N/芯片 | 1.0 | 1.0 | |
| | 时间 | s | 1 | <1 | |
| | 固化 | ℃/min | 180/30 | 180/60 | |
| 剥离强度（120℃） | 聚酰亚胺 | $\times10^{-5}$Pa | 2.4 | 0.5 | 芯片尺寸为 5mm × 5mm，无阻焊剂 |
| | 玻璃环氧基板 | | 7.2 | 2.0 | |
| 吸水率（体积分数） | | % | 0.2 | 0.9 | 室温下 24h |
| 抗封装断裂（85℃/85%RH，168h） | F-BGA | — | OK | NG | 封装尺寸为 18mm × 18mm × 0.8mm，无阻焊剂 |
| | 堆栈型 CSP | | OK | — | 封装尺寸为 8mm × 11mm × 1.4mm，无阻焊剂 |

DF-B 由一种具有低 $T_g$ 的改性聚酰亚胺主剂、热固性树脂、绝缘填料组成，具有较低的贴片温度、低应力和低芯片翘曲。图 12.19 给出了 DF-B 的动态力学分

析。因为主剂的 $T_g$ 相对较低（57℃），固化前 DF-B 在高温下熔化和流动，这就是 DF-B 能在 180℃贴片的原因。因为固化形成了高分子网络，DF-B 固化后的高温（超过 100℃）弹性模量增加，提高了耐热性和可靠性。

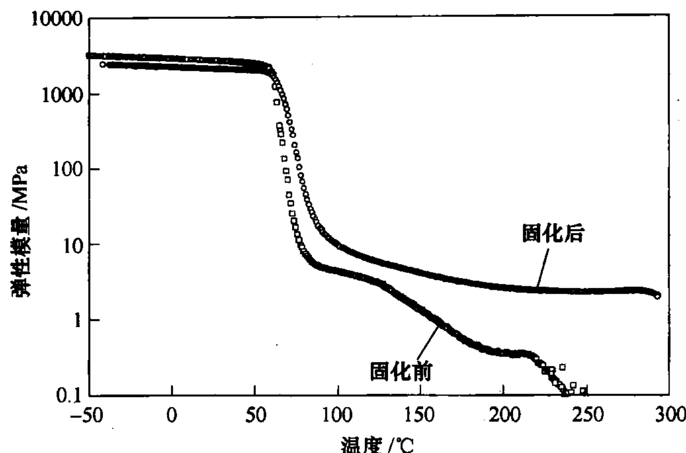



图 12.19 动态弹性模量与温度关系

不管是采用聚酰亚胺基板还是玻璃-环氧基板，DF-B 的剥离强度都超过目前贴片膏的 4~5 倍，如图 12.11 所示。而 DF-B 吸水率只有贴片膏的 1/4，因此 DF-B 可表现出很高的剥离强度。

为了评价 DF-B 的封装抗裂性，采用了 F-BGA 和堆栈型 CSP 封装。F-BGA（尺寸为 18mm×18mm×0.8mm）由硅芯片、DF-B 薄膜（厚度为 40μm），不含阻焊剂电层的聚酰亚胺基板与环氧模塑料组成。堆栈型 CSP（尺寸为 8mm×11mm×1.4mm）由两块硅芯片、两片 DF-B 薄膜（厚度为 25μm），不含阻焊剂电层的聚酰亚胺基板与环氧模塑料组成。这些封装体暴露在 85℃/60% RH 的潮湿环境下 168h，然后在 245℃的回流温度下测试。经过上述可靠性试验后，采用 DF-B 的两种封装都没有出现封装裂纹，结果表明，对于如 BGA/CSP 之类的新型先进封装，DF-B 具有良好的可靠性[55]。

## 参考文献

1. S. Kayama, M. Tanimoto, S. Uchida, H. Tsukada, T. Suto, "ASIC Packaging Technology Handbook", Science Forum (1992)
2. E. Hagimoto, "CSP Technology", Kogyochosakai (1997)
3. T. Kasuga, "CSP/BGA Technology", Nikkankogyoshinbunsha (1998)
4. A. Dotani, "Semicon Japan 2003 Navigator", Nikkei Microdevices, 49 (2003)
5. H. Asakura, Nikkei Microdevices, (4) 74 (1999)
6. K. Fujita, "Current Die Bonding Technology", Proceedings of VLSI Assembly Technology Forum Part II, ISS Industrial Systems, 37 (1998)

7. K. Takahashi, SEMI Technology Symposium, 539 (2000)
8. D. Makino, N. Ichimura, K, Suzuki, Electronic Parts and Materials, 20(11), 69 (1981)
9. M. Yamazaki, "Die Bonding Technology for high performance of LSI Package", Proceedings of LSI Assembly Technology Forum, ISS Industrial Systems, 37 (1996)
10. Y. Kanno, "Current Die Bonding Technology for Novel Package", Proceedings of VLSI Assembly Technology Forum Part II, ISS Industrial Systems, 1 (1998)
11. I. Maekawa, Triceps, (12), 21 (1988)
12. G. Ito, Keikinzoku, Japan Institute of Light Metals, 18(3), 177 (1969)
13. J. C. Bolger, 14th National SAMP Technical Conference, October, 12 (1982)
14. J. C. Bolger, S. L. Morano, Adhesive Age, June, 17 (1984)
15. M. Harada, Gekkan Semiconductor World, (9), 119 (1992)
16. O. Kobayashi, Gekkan Semiconductor World, (5), 53 (1994)
17. S. Ishio, T. Maruyama, K. Miyata, Y. Soda, A. Namii, K. Toyozawa, K. Fujita, M. Kada, Technical Report of the Institute of Electronics, Information and Communication Engineers, ICD94-155 (11), 65 (1994)
18. K. Yamada, T. Dohdoh, Electronic Parts and Materials, (4), 93 (2007)
19. T. Uno, Gekkan Semiconductor World, (9), 114 (1992)
20. T. Kawamura, T. Suzuki, H. Sugimoto, N. Imai, M. Kzuya, Hitachi Cable, (12), 37 (1993)
21. W. M. Wasulko, A. G. Stauffer, Microelectric Manufacturing and Testing, 9 (1988)
22. Y. Akada, K. Nakamoto, K. Akazawa, Nitto Denko Technical Report, 29(2), 69 (1991)
23. S. Takeda, T. Masuko, M. Yusa, Y. Miyadera, "Die Bonding Adhesive Film", Hitachi Chemical Technical Report, No. 24, 25 (Jan. 1995)
24. S. Takeda, T. Masuko, Y. Miyadera, M. Yamazaki, I. Maekawa, "A Novel Die Bonding Adhesive-Silver Filled Film", Proceedings of 47th Electronic Components & Technology Conference (ECTC), May 18–21, 1997 San Jose, California, USA, 518 (1997)
25. M. Yasuda, Hitachi Chemical Technical Report, (40), 7 (2003)
26. T. Kato, M. Uruno, Seikei-Kakou, 12(5), 246 (2000)
27. T. Kato, O. Suwa, S. Fujii, M. Yamazaki, T. Masuko, Hitachi Chemical Technical Report, (43), 25 (2004)
28. R. Haruta, Journal of Japan Institute of Electronics Packaging, 10(5), 353 (2007)
29. S. Akejima, Journal of Japan Institute of Electronics Packaging, 10(5), 375 (2007)
30. T. Matsuzaki, T. Inada, K. Hatakeyama, Hitachi Chemical Technical Report, (46), 39 (2006)
31. K. Ebe, H. Senoo, O. Yamazaki, Journal of the Adhesion Society of Japan, 42(7), 280 (2006)
32. M. Harada, Gekkan Semiconductor World, (9), 119 (1992)
33. T. Yoshida, Gekkan Semiconductor World, (5), 72 (1994)
34. S. Ishio, T. Maruyama, K. Miyata, Y. Soda, A. Namii, K. Toyozawa, K. Fujita, M. Kada, Technical Report of the Institute of Electronics, Information and Communication Engineers, ICD94-155 (11), 65 (1994)
35. H. Li, A. Johnson, C. P. Wong, IEEE Transactions on Components and Packaging Technologies, 26(2), 466 (2003)
36. A. K. S. Clair, T. L. S. Clair, Polymer Engineering and Science, 22(1), 9 (1982)
37. D. Makino, "Recent Progress of the Application of Polyimides to Microelectronics", pp. 380–402, Polymers for Microelectronics, Kodansha (1994)
38. D. Wilson, "Recent Advances in Polyimide Composites", High Performance Polymers, 5, 77 (1993)
39. F. W. Harris, M. W. Beltz, SAMPE Journal, 23, 6 (1987)
40. N. Furukawa, Y. Yamada, Y. Kimura, High Perfomance Polymers, 8, 617 (1996)
41. J. L. Hedrick, H. R. Brown, W. Volksen, M. Sanchez, Polymer, 38(3), 605 (1997)
42. L. Li, D. D. L. Chung, Composites, 22(3), 211 (1991)
43. Y. Nakamura, Journal of the Adhesion Society of Japan, 38(11), 442 (2002)
44. K. Gaw, M. Kikei, M. Kakimoto, Y. Imai, Reactive and Functional Polymers, 30, 85 (1996)
45. C. C. Su, E. M. Woo, Polymer, 36(15), 2883 (1995)

46. M. Kimoto, Journal of the Adhesion Society of Japan 36(11), 456 (2000)
47. T. Masuko, S. Takeda, Journal of the Adhesion Society of Japan, 40(4), 136 (2004)
48. T. Masuko, S. Takeda, Journal of the Network Polymers of Japan, 25(4), 181 (2004)
49. A. Kawai, H. Nagata, M. Takata, Japan Journal of Applied Physics, 31, 1993 (1992)
50. F. M. Fowkes, Industrial and Engineering Chemistry, 56, 40 (1964)
51. M. Imoto, Journal of the Adhesion Society Of Japan, 26(1), 39 (1990)
52. T. Hata, T. Kitazaki, T. Saito, The Journal of Adhesion, 21, 177 (1987)
53. R. A. Gledhill, A. J. Kinloch, The Journal of Adhesion, 6, 315 (1974)
54. H. Yamabe, Journal of the Adhesion Society of Japan, 29(1), 12 (1993)
55. S. Takeda, T. Masuko, "Novel Die Attach Films Having High Reliability Performance for Lead-Free Solder and CSP" Proceedings of 50th Electronic Components and Technology Conference (ECTC), May 21–24, 2000, Las Vegas, Nevada, USA, p 1616 (2000)
56. T. Masuko, S. Takeda, Y. Hasegawa, Journal of Japan Institute of Electronics Packaging, 8(2), 116 (2005)
57. S. H. Hsiao, P. C. Huang, Journal of Polymer Research, 4(3), 183 (1997)
58. R. F. Fedors, Polymer Engineering and Science, 14(2), 147 (1974)
59. T. Okitsu, Secchaku, 40(8), 342 (1996)
60. J. C. Bolger, "Polyimide Adhesives to Reduce Thermal Stress in LSI Ceramic Packages", 14th National SAMPE Technical Conference, October, pp. 257–266, (1982)

# 第 13 章　热界面材料

Ravi Prasher，Chia-Pin Chiu

**摘要：** 器件功率与芯片功率密度会伴随着电子器件性能提升而增加，使电子器件在性能提升的同时面临着散热方面的严重挑战。在降低封装热阻及电子器件与外界冷却装置间的热阻方面，热界面材料（Thermal Interface Material，TIM）扮演着重要角色。本章回顾了过去五年 TIM 的研究进展，对广泛应用的聚合物热界面材料的流变学模型及设计进行了讨论，并对最新出现的纳米颗粒与纳米管材料在 TIM 中的应用进行了分析。本章还包括了 TIM 测试方法，并对未来 TIM 发展方向和建议进行了总结。

**关键词：** 热阻，密度因子，热界面材料（TIM），流变学。

**术语**

| | |
|---|---|
| $R_{cs}$ | 两固体间接触热阻 |
| $R_{cTIM}$ | 理想 TIM 接触热阻 |
| $H$ | 硬度 |
| $P$ | 压强 |
| $m$ | 平均粗糙度斜率 |
| $k_c$ | 复合材料热导率 |
| $k_{TIM}$ | TIM 热导率 |
| $k_p$ | 颗粒（填料）热导率 |
| $k_m$ | 聚合物基体材料热导率 |
| $R_{TIM}$ | TIM 热阻（类似于热阻抗） |
| BLT | 粘合层厚度 |
| $R_b$ | 边界热阻 |
| $R_c$ | TIM 接触热阻 |
| DF | 密度因子 |
| $R_{jc}$ | pn 结到外壳热阻 |
| $K$ | 式（13.5）中的一致性指数 |
| $r$ | 基板半径 |
| $C$ | 式（13.7）中的经验常数 |
| $R_{bulk}$ | 体热阻 |

$E_a$ 活化能
$A$ 加速因子
$A_c$ 实际接触面积
$A_{nc}$ 空气占据的非接触面积
$G$ 剪切模量
$G'$ 剪切储能模量
$G''$ 剪切耗能模量

**希腊字母**

$\sigma$ 表面粗糙度
$\psi_{J-a}$ pn 结至环境热阻
$\psi_{cs}$ 外壳至热沉热阻
$\psi_{sa}$ 热沉至环境热阻
$\phi$ TIM 中填充颗粒的体积分数
$\alpha$ Biot 数
$\tau_y$ TIM 屈服应力

## 13.1 热界面材料

如图 13.1 所示，当两个固体界面接触时，界面粗糙度一般会影响固体间的实际接触面积，特别是当载荷较低，只有很少一部分表面接触时[1,2]。因此，界面间的热流一部分通过实际接触面积 $A_c$ 进行固-固传导，另一部分通过界面空气间隙所占据的非接触面积 $A_{nc}$ 进行传导，这种对热流的限制称为界面接触热阻（$R_c$）。假设两粗糙面接触产生的是塑性变形，则固-固界面 1 和 2 间的接触热阻可以通过下式给出：

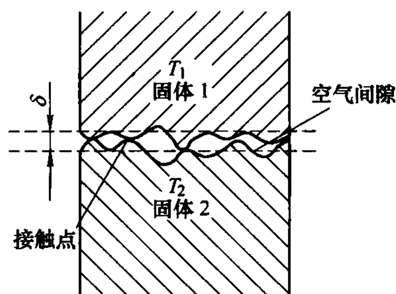



图 13.1 示意图显示实际接触面积小于表观接触面积

$$R_{cs} = \frac{0.8\sigma}{mk_h}\left(\frac{H}{P}\right)^{0.95} \qquad (13.1)$$

式中，$\sigma = (\sigma_1^2 + \sigma_2^2)^{0.5}$，为粗糙度方均根；$m = (m_1^2 + m_2^2)^{0.5}$，为平均粗糙度斜率；$H$ 为较软材料的显微硬度；$P$ 为施加压强；$k_h = 2k_1k_2/(k_1 + k_2)$ 为界面热导率的调和平均值。$m$ 为表面粗糙度斜率的测量值，由 $m = \tan\theta$ 给出。其中 $\theta$ 为粗糙表面的斜度。当 $P = 68\text{kPa}$ 与 $680\text{kPa}$ 时，Cu-Si 间的界面热阻分别为 $6.2°\text{C} \cdot \text{cm}^2/\text{W}$ 和 $0.7°\text{C} \cdot \text{cm}^2/\text{W}$。上述计算中，较软材料铜的 $H$ 值为 1280MPa[3]，Cu 与抛光 Si 片的 $\sigma$ 值分别为 $1\mu\text{m}$ 和 $0.1\mu\text{m}$，$m$ 通过关系式 $m = 0.076(\sigma \times 10^6)^{0.5}$ 进行计算[4]。

低压力多用于非 CPU 产品或者大散热片上有热沉的情况。计算结果显示，两

块固体间直接接触时的 $R_{cs}$很大。

式（13.1）假设名义上平坦的界面在任何压力下都会产生塑性变形，因而得到了很好的结果。图 13.2 所示为两种电子器件封装中的典型散热结构。如图 13.2 所示，尽管硅片或芯片表面很平整，但是由于硅片与封装基板间热膨胀系数（CTE）不匹配，导致硅片或芯片在使用时翘曲，从而进一步增加了界面热阻。

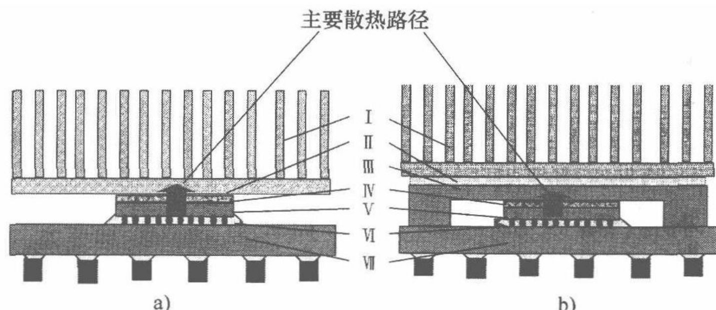



图 13.2 两种散热结构示意图

a）用于笔记本电脑的典型封装结构Ⅰ b）用于台式电脑或服务器的典型封装结构Ⅱ

Ⅰ—热沉 Ⅱ—TIM Ⅲ—IHS Ⅳ—TIM Ⅴ—硅片 Ⅵ—底部填充料 Ⅶ—封装基板

降低 $R_{cs}$最常用方法是在图 13.1 所示的粗糙界面间隙中填充一些高热导率的软材料，如图 13.3 所示。通常将这种材料称为热界面材料（TIM）。

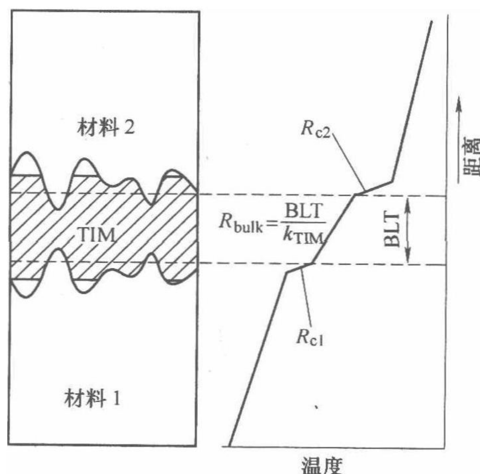



图 13.3 TIM 实际应用示意图

从图 13.3 中可以推断出，TIM 总热阻（$R_{TIM}$）可以表示为[5]

$$R_{TIM}=\frac{BLT}{k_{TIM}}+R_{c1}+R_{c2} \tag{13.2}$$

式中，$R_c$为 TIM 与两个临近表面的接触热阻；BLT 为 TIM 粘合层厚度。最近几年，

工业界一直致力于降低 $R_{TIM}$。由于内核与外壳位于同一硅片上，因此芯片产生的热流（$q$）是非均匀的[6,7]，大部分热量从内核也就是芯片上很小的面积上散失，甚至在内核里面，热流也是不均匀的。Mahajan 等人讨论了芯片产生的非均匀热流问题，指出采用的冷却方案不仅要保证芯片的平均温度在设计值以下，而且要保证芯片上的最热点温度维持在设计值以下[6]。因此，芯片附近的散热问题显得非常重要。非均匀热流的总热阻可表示为[8]

$$\psi_{j-a} = DF \times R_{jc} + \psi_{cs} + \psi_{sa} \tag{13.3}$$

式中，$\psi_{j-a}$为结到环境的热阻；$R_{jc}$为非均匀发热芯片结到外壳的热阻抗，$\psi_{cs}$为外壳到热沉的热阻，$\psi_{sa}$为热沉到环境的热阻。式（13.3）中的 DF 称为“密度因子”，用于描述热流 $q$ 的非均匀性和芯片尺寸[8]。DF 的单位为 $cm^{-2}$，对于 $1cm^2$的均匀发热芯片，DF 等于 1。由于 $q$ 很不均匀，且芯片尺寸较小，通常大部分微处理器的 DF 值都大于 1，但对于较大的芯片，理论上 DF 值可以为 0。由式（13.3）可知，减小 $R_{jc}$和 DF 都能降低$\psi_{j-a}$，因此当 DF 大于 1 时，降低 $R_{jc}$能更有效降低$\psi_{j-a}$。由于 $R_{jc}$主要来源于 TIM 热阻，因此电子制冷行业花了很大精力来开发更好的 TIM。

本章主要集中讨论了被广泛应用的聚合物 TIM[9]，该聚合物 TIM 通常采用高热导率颗粒进行填充，从而增加表观热导率。本章包括本节的引言共分为 7 节，第 13.2 节介绍了热界面建模的最新进展与相关物理机制，第 13.3 节重点介绍聚合物 TIM 的可靠性，第 13.4 和 13.5 节分别简单介绍了合金焊料类 TIM 和纳米技术对 TIM 技术的影响，第 13.6 节评述了一些测量 TIM 性能的基本方法。在本章最后的第 13.7 节中，强调了几个未解决的关键基础问题，并对未来可能的发展方向进行了展望。

本章中 $p$ 表示填充颗粒，$m$ 表示基体材料，$R_b$表示基体材料与填充颗粒间的界面热阻，$d$ 表示填充颗粒直径，$k$ 表示热导率，$\phi$ 表示填充颗粒的体积分数。

## 13.2　导热界面建模最新进展

为了精确模拟 TIM 在应用中的物理机制，需要根据式（13.2）来理解 $k_{TIM}$，BLT 和 $R_c$。式（13.2）表明，降低 BLT、增加热导率 $k_{TIM}$及降低接触热阻 $R_{c1}$和 $R_{c2}$都能减小 $R_{TIM}$。表格 13.1 总结了各种 TIM 特性及其优缺点[9,10]。

由于大部分 TIM 都是由固体颗粒添加而成，因此描述 TIM 热特性的物理机制非常复杂。Prasher 首先试图通过引入一个物理模型来分离体热阻 $R_{bulk}$与 $R_c$[5]，如图 13.3 所示。

Prasher 与其同事在一系列文章中引入了多种模型来描述 BLT、$k_{TIM}$ 和 $R_c$[5,11-14]。由于导热脂、导热胶和相变材料（PCM）这类的 TIM 如同人造橡胶一样得到广泛应用，因此 Prasher 与其同事主要研究这一类 TIM[10]。下面的章节将会针对不同 TIM 依次阐述 BLT、$k_{TIM}$和 $R_c$建模方法。

表 13.1 几种典型热界面材料的特性总结（相变材料（Phase Change Material，PCM））

| TIM 类型 | 新鲜样品的 $R_{TIM}$ /(℃·cm$^2$W$^{-1}$) | 基本特性 | 优点 | 缺点 |
|---|---|---|---|---|
| 导热脂 | 0.1 | 一般为添加了颗粒的硅胶，颗粒的作用是提高复合材料热导率 | ● 体热导率高<br>● 压力较低时也能形成薄胶层<br>● 粘度低，能使 TIM 轻松填入界面空隙中<br>● 无需固化<br>● TIM 不会分层 | ● 易溢出和产生相分离<br>● 易迁移导致生产环境混乱 |
| 相变材料 | 0.1 | 聚烯烃、环氧树脂、低分子量的聚酯、丙烯酸树脂等聚合物添加 BN、$Al_2O_3$ 颗粒制备而成 | ● 粘度高，材料稳定性增加，使用时不易溢出<br>● 相对于导热脂，应用简单，易于操作<br>● 无需固化<br>● 不会产生分层 | ● 比导热脂的热导率差<br>● 表面热阻比导热脂高，但可以通过前热处理对其降低<br>● 需施加压强来提高传热效率，但是易产生机械应力 |
| 导热凝胶 | 0.08 | 将 Al、Ag、$Al_2O_3$ 等颗粒添加到需要固化的硅胶、烯烃基体材料中制备而成 | ● 固化前能适应界面间的不规则空隙<br>● 不会产生溢出和迁移问题 | ● 需固化<br>● 热导率比导热脂低<br>● 粘性比导热粘胶差，需考虑分层问题 |
| 导热胶 | 无有效数据 | 一般将 Ag 颗粒添加到需固化的环氧树脂中制备而成 | ● 固化前能适应界面间的不规则空隙<br>● 不会溢出<br>● 不会迁移 | ● 需固化<br>● 需要进行可靠性试验验证是否分层<br>● 固化后，需要考虑环氧的模量和热膨胀系数产生的应力 |

### 13.2.1　热导率（$k_{TIM}$）预测模型

目前，大部分聚合物 TIM 都是通过添加高热导率颗粒来增加其 $k_{TIM}$，因此这些 TIM 都可认为是复合材料，复合材料热导率一般可表示为

$$k_c = f(k_m, k_p, R_b, \phi) \tag{13.4}$$

式中，$k_m$为基体材料热导率；$k_p$为填充颗粒材料的热导率；$R_b$为基体材料与填充颗粒间的界面热阻，$\phi$ 为填充颗粒的体积分数。有很多文献通过建模来分析复合材料的热导率，Prasher 详细讨论了各种模型的优缺点[10]。表 13.2 列出了各种预测 $k_c$的模型。

**表 13.2　预测颗粒填充型热界面材料热导率的模型**

| 模型名称 | 公　式 | 备　注 |
|---|---|---|
| 含参数 $R_b$的 Maxwell-Garnett 模型 | $\frac{k_c}{k_m} = \frac{[k_p(1+2\alpha)+2k_m]+2\phi[k_p(1-\alpha)-k_m]}{[k_p(1+2\alpha)+2k_m]-\phi[k_p(1-\alpha)-k_m]}$<br>$\alpha = \frac{2R_b k_m}{d}$<br>$\frac{k_c}{k_m} = \frac{(1+2\alpha)+2\phi(1-\alpha)}{(1+2\alpha)-\phi(1-\alpha)}$　　$k_p$远大于 $k_m$ | 球形填充颗粒，通常 $\phi < 0.4$ 时较有效 |
| Bruggeman 对称模型 | $(1-\phi)\frac{k_m-k_c}{k_m+2k_c}+\phi\frac{k_p-k_c}{k_p+2k_c}=0$(不包含 $R_b$) | 球形填充颗粒，通常高体积分数时有效 |
| Bruggeman 非对称模型 | $(1-\phi)^3 = \left[\frac{k_m}{k_c}\right]^{(1+2\alpha)/(1-\alpha)} \times \left\{\frac{k_c-k_p(1-\alpha)}{k_m-k_p(1-\alpha)}\right\}^{3/(1-\alpha)}$<br>$\frac{k_c}{k_m} = \frac{1}{(1-\phi)^{3(1-\alpha)/(1+2\alpha)}}$　　$k_p$远大于 $k_m$ | 球形颗粒 |

Prasher 研究发现，Bruggeman 不对称模型（Bruggeman Asymmetric Model, BAM）可与各种聚合物 TIM 的实验值相吻合[10,12]。图 13.4 所示为不同 $k_{TIM}$的实验数据与 BAM 模型预测值的比较，结果表明 BAM 模型能很好地模拟 $k_{TIM}$。采用 BAM 模型预测 $k_{TIM}$的前提是，$\alpha$（Biot 数）为 0.1，$k_m$为 $0.2\text{Wm}^{-1}\text{K}^{-1}$，颗粒直径 $d$ 为 10μm（一般商用 TIM 的颗粒直径），$R_b$为 $5\times10^{-8}\text{Km}^2\text{W}^{-1}$。填充颗粒与基体材料间的界面热阻 $R_b$会由于声子失配和聚合物对颗粒表面的不完全润湿而增大。由于声子失配，室温下 $R_b$量级为 $10^{-8}\text{Km}^2\text{W}^{-1}$[15]，导致 $d$ 为 10μm，$k_m$为 $0.2\text{Wm}^{-1}\text{K}^{-1}$时，$\alpha$ 达到 0.0002。Prasher 等人指出，相对于聚合物对颗粒的不完全润湿，室温下声子失配产生的作用可以忽略[15]，但是在纳米颗粒填充的 TIM 中，声子失配问题可能变得非常重要。聚合物对颗粒的不完全润湿会导致 $R_b$随颗粒的体积分数而变化，这是因为采取的工艺局限性，在增加颗粒体积分数的同时，颗粒更难被完全润湿。

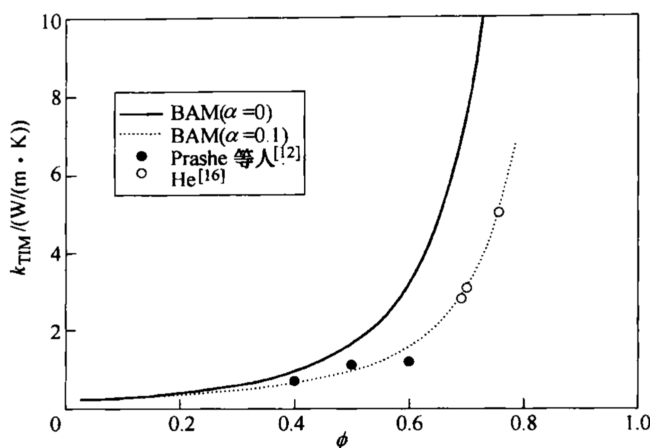



图 13.4 实验结果与 Bruggeman 非对称模型计算值比较

### 13.2.2 预测热界面材料粘合层厚度（BLT）的流变学模型

Prasher 等人测量了各种采用硅胶的 TIM 粘度，指出这些 TIM 应用时的性能可用 Herschel-Bulkley（H-B）流体进行表征[12]。H-B 流体的粘度（$\eta$）可由下式给出：

$$\eta = \frac{\tau_y}{\dot{\gamma}} + K(\dot{\gamma})^{n-1} \tag{13.5}$$

式中，$\tau_y$为聚合物屈服应力；$\dot{\gamma}$ 为应变速率；$K$ 为一致性指标；$n$ 为经验常数。Prasher 等人进一步证实了稳态 BLT 只与 $\tau_y$有关[12]。图 13.5 给出了三种不同颗粒填充分数的 PLP 类 TIM 的 $\tau_y$值。

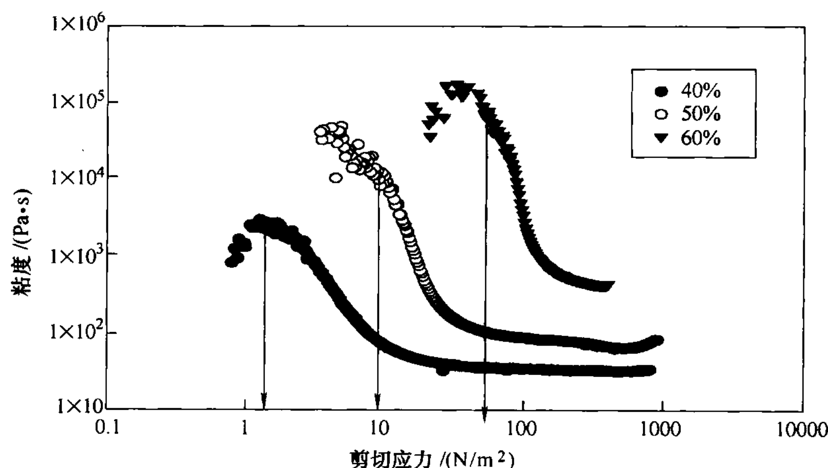



图 13.5 填料体积分数不同的硅胶基导热脂中，粘度与剪切应力的对比与获得的屈服应力值

由图可知，$\tau_y$随着体积分数的增加而增加。根据动量守恒和质量守恒定律，联合式（13.5），BLT 可表示为

$$\mathrm{BLT}=\frac{2}{3}r\left(\frac{\tau_y}{P}\right) \tag{13.6}$$

式中，$r$ 为基板半径；$P$ 为施加的压强。但是 Prasher 等人发现，式（13.6）在预测实际 TIM 的 BLT 时存在很大误差[12]，因此他们决定引入一个经验模型：

$$h_L=C\left(\frac{\tau_y}{P}\right)^m \tag{13.7}$$

式中，$C$ 和 $m$ 为经验常数，其值分别为$0.31\times10^{-4}$和0.166。随后，Prasher 将有限尺寸缩放理论应用于颗粒渗流系统，对式（13.7）进行了解释[13]。

对于异质 TIM，宏观上只有当 BLT 远远大于填充颗粒直径时，才能将其看作均质材料。当施加压强增大时，TIM 的 BLT 通常在 20 ~ 50μm 的范围。当填充颗粒直径达到 10μm 量级时，TIM 在宏观上就不能当成是均质材料。采用有限尺寸缩放理论，Prasher 研究了薄渗透系统的弹性模量[13,17]，获得了一种衡量 TIM$\tau_y$值的方法。Prasher 也考虑到，当 BLT 远大于 d 时（低压力），BLT 模型几乎不能简化成式（13.6）[13]。基于上述矛盾，Prasher 模型（称为缩放-主体（Scaling-Bulk，S-B）模型）可以表示为

$$\mathrm{BLT}=\frac{2}{3}r\left[c\left(\frac{d}{\mathrm{BLT}}\right)^{4.3}+1\right]\left(\frac{\tau_y}{P}\right) \tag{13.8}$$

式中，$c=13708$。在高压力时，由此式可得 $m=0.188$，与经验公式式（13.7）获得的 $m$ 值非常相近。当 $m=0.188$ 时，如果 $P/\tau_y$值非常小，式（13.8）简化为式（13.6），而当$P/\tau_y$值非常大时，则简化为（13.7）。作者同样提出了一个用于快速计算公式式（13.8）的近似版本：

$$h_L=\frac{2r}{3}\left(\frac{\tau_y}{P}\right)+\left(\frac{cr}{1.5}\right)^{0.188}d^{0.811}\left(\frac{\tau_y}{P}\right)^{0.188} \tag{13.9}$$

图 13.6 所示为式（13.8）（S-B 模型）计算结果与各种 TIM 实验数据的比较[10]。作者同样把式（13.8）计算值与各种其他类型 TIM 实验数据进行了比较，这些 TIM 中填充颗粒直径大于 80μm 或小于 2μm，结果表明两者吻合较好[13]。式（13.8）可用于相变材料、导热脂、预固化导热胶，采用 H-B 流体模型可以很好描述这一类 TIM。

### 13.2.3　填充颗粒体积分数对热界面材料体热阻影响

TIM 体热阻可表示为

$$R_{\mathrm{bulk}}=\frac{\mathrm{BLT}}{k_{\mathrm{TIM}}} \tag{13.10}$$

联合式（13.7）和式（13.10），$R_{\mathrm{bulk}}$表达式可整理为

$$R_{\mathrm{bulk}}=\frac{1}{k_{\mathrm{TIM}}}C\left(\frac{\tau_y}{p}\right)^m \tag{13.11}$$

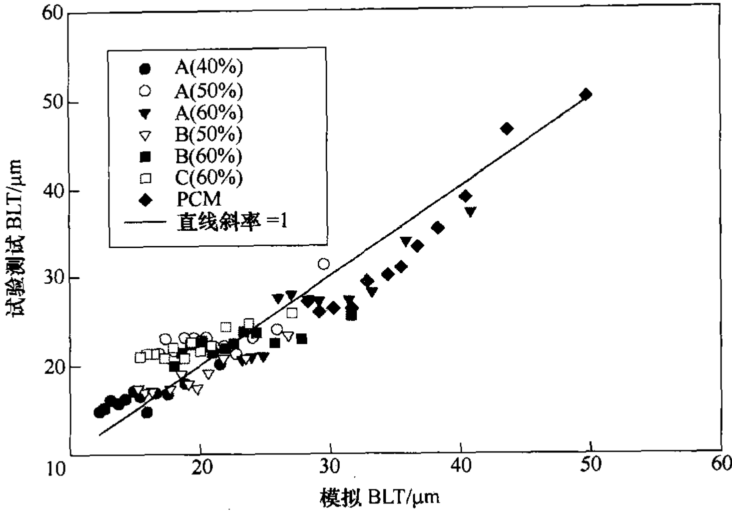



图 13.6 相变材料的缩放-主体模型与实验数据的对比[12,13]

图 13.5 表明 $\tau_y$ 与填充颗粒的体积分数 $\phi$ 有关，假设颗粒填充聚合物中静电作用相对于范德华力可以忽略，则 $\tau_y$ 可以表达为

$$\tau_y = A\left[\frac{1}{(\phi_m/\phi)^{1/3}-1}\right]^2 \tag{13.12}$$

式中，$A$ 为常数；$\phi_m$ 为填充颗粒最大体积分数。式（13.12）可以整理为

$$\tau' = \frac{\tau_y}{A} = \left[\frac{1}{(\phi_m/\phi)^{1/3}-1}\right]^2 \tag{13.13}$$

式中，$\tau'$ 为无维数屈服应力。依据 $\tau'$ 可将式（13.11）写为

$$\frac{R_{bulk}p^m}{CA^m} = \frac{\tau'^m}{k_{TIM}} \tag{13.14}$$

综合 BAM 和式（13.14），Prasher 等人认为，通过改变体积分数可使 $R_{bulk}$ 达到最小值[12]。实验证实了该结论，如图 13.7 所示。

图 13.7 表明填充颗粒存在一个最佳体积分数，可使 TIM 热阻达到最小。Prasher 最近对影响 TIM 热阻的各种因素进行了变量分析，如体积分数、颗粒直径以及施加压强[13]，其主要结论是，对于一定的压力和颗粒形状，填充颗粒的体积分数存在一个最优值，远离该值时 TIM 热阻增加。

### 13.2.4 接触热阻预测模型

Prasher 应用表面化学理论指出，TIM 应用时是不完全润湿界面的，并假设 TIM 具有纯液态行为[5]。在该假设模型中，粗糙表面残留的空气会导致 TIM 无法完全填满间隙，如图 13.8 所示。通过平衡外部压力、TIM 表面张力引起的毛细管力以及残留空气背压，就可以计算出界面 TIM 层的渗透距离。基于图 13.8 中显示的

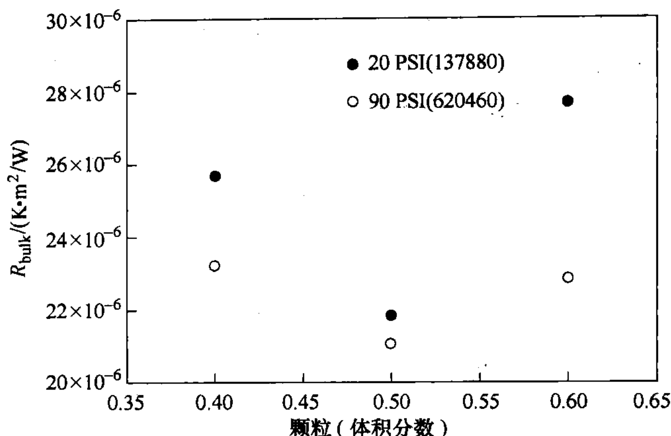



图 13.7　硅胶型导热脂的热阻实验值与填料体积分数间关系[12]

$A_{real}$和$A_{nominal}$，就可以得到接触热阻系数。当$k_{TIM}$远小于$k_{substrate}$时，表面化学模型可以表达为

$$R_{c_{1+2}}=\left(\frac{\sigma_1+\sigma_2}{2k_{TIM}}\right)\left(\frac{A_{nominal}}{A_{real}}\right) \tag{13.15}$$

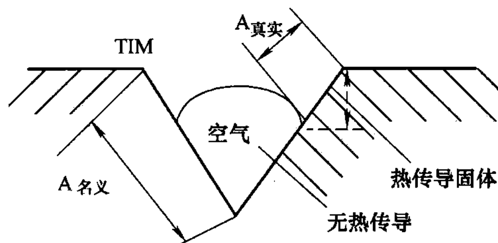



图 13.8　临近基板界面的 TIM 传热机制[5]

式中，$\sigma_1$和$\sigma_2$为应用 TIM 的两基板的表面粗糙度；$A_{real}$可通过 TIM 的渗透距离计算出来。如图 13.9 所示，这个表面化学模型可以很好地预测 PCM 或导热脂。但是，考虑到 Prasher 之后提出的 TIM 自身具有屈服应力和粘度，即它们为半固态或半液态，则这个基于纯液态的表面化学模型对于 TIM 接触热阻的建模就不太合适了[12,13]。

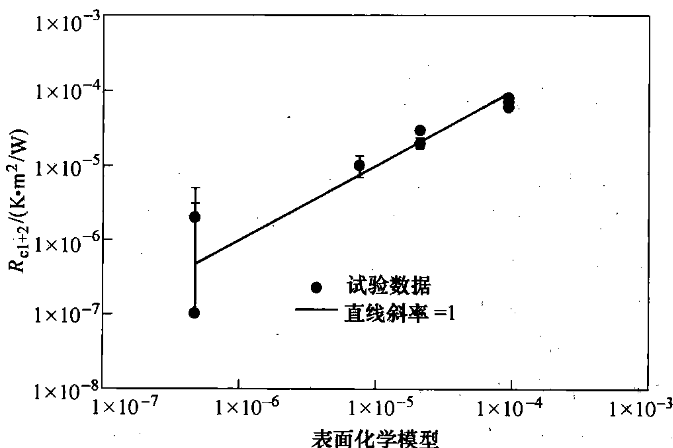



图 13.9　相变材料表面化学模型结果与实验数据比较[5]

直观地讲，在图 13.1 中，填充于界面间隙的 TIM 面积最终取决于其所受的压力和屈服应力，这种关系类似于纯金属接触时接触热阻与压力和较软材料硬度的关系。对于 TIM 而言，其硬度最可能会被屈服应力所取代。然而，美国英特尔（Intel）公司内部对于 TIM 的最新研究表明，TIM 体热阻相对于 $R_c$具有更大的决定性。对于可固化的导热凝胶，Prasher 和 Matyabus 对 $R_c$提出了一个与式（13.1）类似的半经验模型[14]，该模型可表示为

$$\frac{R_c k_{TIM}}{\sigma}=c\left(\frac{G}{P}\right)^n \tag{13.16}$$

式中，$G=\sqrt{G'^2+G''^2}$，$G'$为 TIM 的剪切储能模量，$G''$为其剪切耗能模量。固化后导热胶 $G'>G''$，而非固化导热胶 $G'<G''$，导热脂则没有这种关系。图 13.10 给出了四种不同配方导热胶的模型计算结果与实验数据的对比。

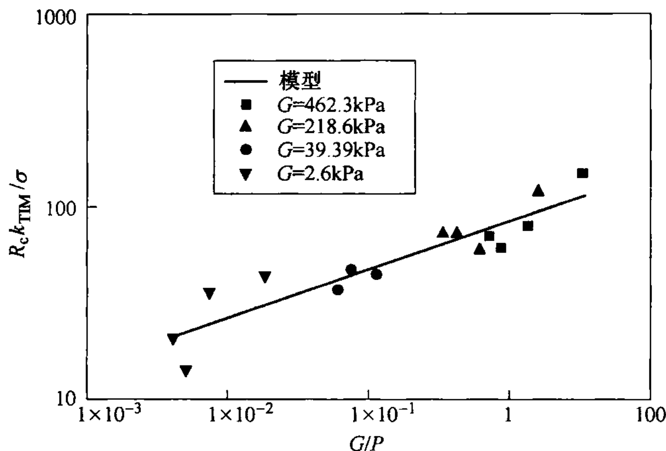



图 13.10 凝胶型 TIM 的 $R_c k_{TIM}/\sigma$ 与 $G/P$ 对比

## 13.3 聚合物热界面材料可靠性

目前，对于聚合物 TIM 的研究主要集中在其初始应用阶段，但 TIM 在实际应用过程中经常会遭遇高温和各种恶劣环境。假设产品寿命为 7 年，即连续工作约 61000h，或者每天 14h 共 35000h。如果器件工作温度为 100℃，则 TIM 在使用过程中，其中的聚合物也会暴露在相对较高的温度下，聚合物在此高温下会降解[19]。但是在产品出厂前，不可能将 TIM 长时间暴露在高温下测试其性能，因此必须采用加速寿命试验来研究其热降解行为。在加速寿命试验中，须将 TIM 暴露在远高于应用（或工作）温度下，如假设产品工作温度为 100℃，则 TIM 可在 125℃和 150℃下进行测试，从而以远小于产品寿命的时间对其进行测试。该试验原理是因为高温条件会加速 TIM 降解，因此研究人员能在有限时间里获得 TIM 的降解模型。

图 13.11 显示了相变材料（PCM）类 TIM 的热阻（$R_{jc}$）与时间和温度的关系[10]。

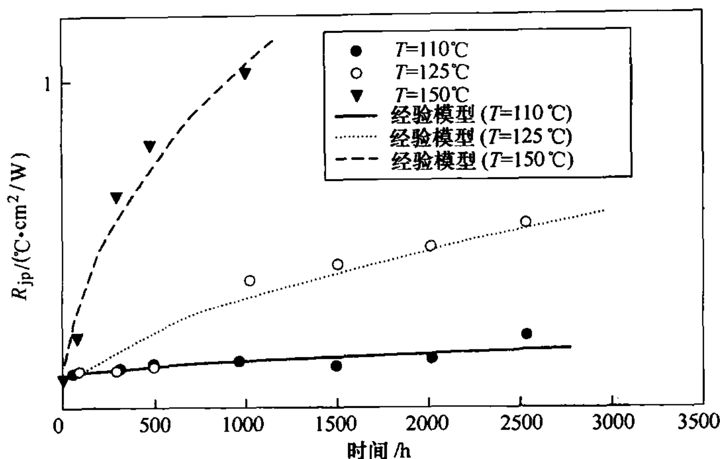



图 13.11 TIM 降解导致热阻随时间的变化情况，实线为根据式（13.17）计算结果拟合出的经验曲线[10]

图中曲线是由下列公式中的经验数据拟合而成，称为 Arrhenius 模型，即

$$R_{jc}(t)=R_{jc}(t=0)+A\sqrt{t}\exp\left(\frac{-E_a}{k_bT}\right) \tag{13.17}$$

式中，$E_a$为活化能；$A$ 为加速因子；$k_b$为波尔兹曼常数；$t$ 为时间；等号右边第一项表示 $t=0$ 时的 $R_{jc}$值（如没有暴露在高温下的刚涂覆 TIM），前面章节讨论的重点为 $t=0$ 时的 $R_{jc}$值。式（13.17）显示，有些类型的扩散过程依赖于时间的平方根[19]，通过拟合不同（或更高）温度下的数据获得 $A$ 和 $E_a$，就可以将工作温度代入到式（13.17）中，计算出产品寿命结束时此温度下的 $R_{jc}$值。工业界一般都是针对 TIM 寿命结束时的性能去进行设计，因此在应用时一定要根据可靠性去挑选合适的 TIM，原因在于有的 TIM 在 $t=0$ 时具有好的 $R_{jc}$值，但在其寿命快结束时会降解，从而导致性能比其他 TIM 差。

对于暴露在高温下的 TIM，其导热性能的衰退机制还不是很清楚。式（13.17）提出了几种扩散过程，但是真正的扩散机制还不清楚。即使假设 TIM 随着扩散过程而氧化，也无法研究其与导热性能间的关系，TIM 可靠性这方面的研究还是空白。

除了高温，导热脂还存在另外一种被称为“抽空”的性能衰退行为[9]，导热脂“抽空”一般发生在温度循环或功率循环之后。最近，Prasher 和 Matyabus 将抽空行为与 $G'$和 $G''$的比值联系起来[14]，他们发现，导热脂的 $G'$大于 $G''$时可避免抽空，而这正是使用导热胶的原因，导热胶就是固化的导热脂。图 13.12 给出了 TIM 热特性衰退速率与 $G'/G''$间的关系，由图可知，当 $G'>G''$时，衰退率达到一个较低的固定值。

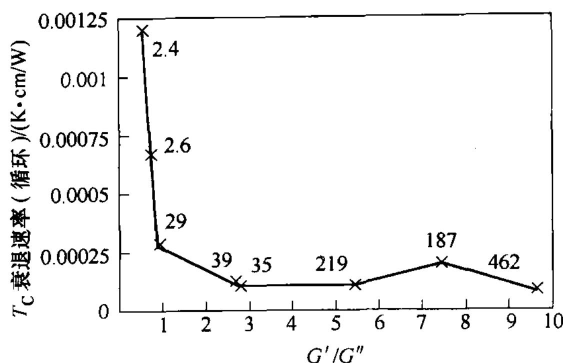



图 13.12 凝胶型 TIM 在温度循环下的热性能测试，图为 $G'/G''$ 对于衰退速率的影响，不同标记代表了不同样品的 $G$ 值[14]

还有其他类型的可靠性测试，如湿气测试、热冲击、机械冲击与振动等。对于大部分可靠性测试，其测试机理并没有完全理解，大部分可靠性分析还处于经验阶段。

## 13.4 合金焊料热界面材料

由于焊料的热导率高，因此经常被用作 TIM[20-22]。Chiu 等人研究了多种焊料型 TIM，结果表明，有些焊料的热阻很小[20]，但是，焊料中的气孔是最值得关注的，因为焊料中的空气间隙会降低导热性。Pritchard 等人运用数值方法研究了空隙对焊料热特性的影响[21]；Hu 等人也对焊料型 TIM 的孔隙进行了实验表征[22]。很少有文献研究焊料热特性的微观模型，主要是缺乏研究动力，原因可能在于：1）大部分焊料本身的热特性很好；2）与聚合物型 TIM 相比，焊料型 TIM 成本高，使用工艺复杂，并不是 TIM 的首选。

## 13.5 基于纳米技术的热界面材料

自从证实碳纳米管（Carbon Nanotube，CNT）具有很高的热导率后[23]，各种基于 CNT 的复合材料被提出来并进行了评价[24-27]。尽管 CNT 是 TIM 的理想填充材料，但由于其本身的热导率高，是界面热阻严重影响了其应用[28]。Huxtable 等人实验测试了 CNT 与不同液态基体材料间的 $R_b$，结果显示其值高达 $8.33 \times 10^{-8}\,Km^2W^{-1}$[29]。Prasher 等人最近计算了多壁碳纳米管在水平和垂直接触时的界面热阻，发现其特性与石墨相当[30]，Prasher 计算结果显示，垂直接触时的接触热阻比水平接触热阻小。

Nan 等人最近提出了一个简单有效的计算 CNT 基复合材料热导率的介质模

型[28]。Hu 等人研究了 CNT 基 TIM 的应用可行性，结果表明其在很小体积分数时就可达到渗透阈值[31]。对 CNT 基 TIM 的另一项研究表明，由于纤维基复合材料的屈服应力高，导致其应用时的 BLT 会很大。因此，相对于 $k_{TIM}$，总热阻更适合于衡量 CNT 基 TIM 与传统 TIM 的性能。

Xu 和 Fisher 直接在硅片背面生长 CNT，然后将导热板盖在生长后的 CNT 上[32]，图 13.13 为其示意图。他们同样将 PCM 基 TIM 与直接生长的 CNT 一起使用来降低热阻。Hu 等人通过实验测量了这种结构的热阻[33]，如图 13.14 所示。尽管基于垂直生长 CNT 的 TIM 看起来很有前景，但是缺少对其物理机制的分析模型。如果这种 TIM 不与聚合物联合使用，似乎就不会碰到聚合物型 TIM 经常遇到的可靠性问题。CNT 基 TIM 很有发展潜力，也会产生很多新的应用想法，如 Xu 和 Fisher 所展示的用 PCM 基 TIM 与垂直生长 CNT 一起共同使用[34]，或者 Tong 等人提出的将薄铟层与垂直生长 CNT 一起用作 TIM[35]。

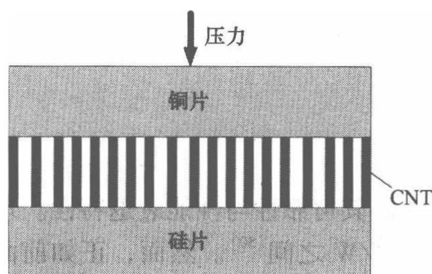



图 13.13 硅背面生长碳纳米管（CNT）的应用示意图（Xu 和 Fisher[32]）

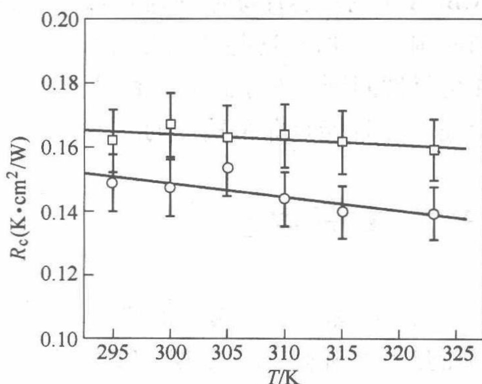



图 13.14 硅片上定向生长碳纳米管的热阻，其他热界面为铜（Hu 等人[33]）

除了碳纳米管，研究人员还提出将各种纳米颗粒作为 TIM 填料来使用[36,37]。然而，纳米颗粒会遇到与 CNT 同样的问题，即 $R_b$ 在纳米颗粒复合材料中起主导作用。Putnam 等人测量出氧化铝/聚合物复合材料的 $R_b$ 在 $2.5\times10^{-8}$ 和 $5\times10^{-8}\,Km^2W^{-1}$ 之间[38]，这意味着纳米颗粒的临界半径（$\alpha=1$）在 5 ~ 10nm 之间时，纳米复合材料的热导率低于基体材料的热导率。另外，复合材料的屈服应力会随着填充的纳米颗粒直径增大而增加[18]，使采用纳米颗粒填充的 TIM 比传统 TIM 具有更大的 BLT。因此，此时采用纳米颗粒作为 TIM 填充物会不会真的提升性能尚不清楚。

## 13.6 热界面材料性能表征

为了保证产品的及时推出，需要对用于电子器件的热界面材料进行表征，本节

将简单回顾一下测试 TIM 性能的方法。业界开发了多种基于 ASTM D5470-93 标准的测试仪器[39,40]，这些测试仪器可以简单评估新型 TIM 的性能，或者作为一种快速基准测试工具，而不需要进行耗时耗力的整套封装级测试。这些测试仪器一般在控制 BLT 和压力条件下测试材料性能，同时也可以直接测试 BLT。Chiu 等人研究表明，测试仪可使测量 TIM 的热阻再现性达 0.03℃ · $cm^2/W$，可信度达到 95%[42]。后来 Chiu 等人还对实验装置进行了改进，使之能用于验证非平整界面间的 TIM 特性[42]。

除了采用 ASTM D5470-93 的稳态测试方法外，也有几种瞬态热分析技术可用于测试 TIM 的性能[43,44]。然而，所有这些测试方法都不能表征实际应用时 TIM 与封装体和热沉间的相互作用。有几篇文章描述了怎样用不同的测试工具去测试 TIM 性能[45-47]，为了研究 TIM 的可靠性，Chiu 等人采用加速可靠性测试方法去预测导热脂在倒装芯片应用中的“抽空”行为[48]，Bharatham 等人则研究了在含热沉的 FCBGA（倒装芯片球栅阵列）裸芯片封装中，不同的应用压力对相变型 TIM 性能的影响[49]。所有这些测试方法都是为了研究理论和数值模型都难以预测的 TIM 潜在可靠性问题。对于封装工程师而言，在产品推出前，采用各种可靠性测试方法去验证 TIM 性能是非常重要的。

## 13.7 前景展望

对于未来热界面材料的研究，应该着重于了解其可靠性与性能衰退特性。现在商用热界面材料样品的热阻在 0.03 ~0.01°C · $cm^2/W$ 之间[50]。然而，正如前面讨论的那样，热界面材料暴露在高温下时其性能会衰退，其热性能会受到工作温度和工作时间的影响而严重下降。对于这种性能衰退，现在还无法从机理上得到解释，因此迫切需要建立一种基于基础物理的模型，去寻求聚合物性能衰退与其复合材料热性能间的关系。

将纳米颗粒与纳米管应用于热界面材料中也是可行的，但是该领域的研究人员应该将这种新型 TIM 的热性能与当前商用的 TIM 进行比较[50]。研究工作应该围绕如何降低 TIM 的整体热阻，而不仅仅只是增加其热导率。这是因为，尽管提高填料的体积分数可以增加 $k_{TIM}$，但是体热阻会由于 BLT 与 $k_{TIM}$ 的竞争效应而达到最小值，如图 13.7 所示，在总热阻中占据很大部分的是界面接触热阻。

很少有文献资料对颗粒填充型 TIM 与基板间的接触热阻建立物理模型，薄层高热导 TIM 的接触热阻会起到越来越重要的作用。鉴于垂直生长 CNT 阵列应用于 TIM 的美好前景，对其热阻进行建模也是很有必要的。

# 参考文献


1. M.M. Yovanovich, and E.E. Marotta, "Thermal Spreading and Contact Resistances," in Heat Transfer Handbook, A. Bejan and A.D. Kraus eds., John Wiley & Sons, Hoboken, New Jersey, 261–395, 2003
2. C.V. Madhusudana, Thermal Contact Conductance, Springer-Veralag, New York, 1996
3. A. Iwabuchi, T. Shimizu, Y. Yoshino, T. Abe, K. Katagiri, I. Nitta, and K. Sadamori, "The Development of a Vikers-Type Hardness Tester for Cryogenic Temperatures down to 4.2 K," *Cryogenics*, 36(2), 75–81, 1996
4. M.A. Lambert, and L.S. Fletcher, "Thermal Contact Conductance of Non-flat, Rough, Metallic Coated Metals," *Journal of Heat Transfer*, 124, 405–412, 2002
5. R. Prasher, "Surface Chemistry and Characteristic Based Model for the Thermal Contact Resistance of Fluidic Interstitial Thermal Interface Materials," *Journal of Heat Transfer*, 123, 969–975, 2001
6. R. Mahajan, C-P. Chiu, and G. Chrysler, "Cooling a Chip," *Proceedings of IEEE*, 94(8), 1476–1486, 2006
7. A. Watwe, and R. Prasher, "Spreadsheet Tool for Quick-turn 3D Numerical Modeling of Package Thermal Performance with Non-Uniform Die Heating," Proceedings of 2001 *ASME International Mechanical Engineering Congress and Exposition*, Paper No. 2-16-7-5, New York, November 11–16, 2001
8. J. Torresola, G. Chrysler, C. Chiu, R. Mahajan, D. Grannes, R. Prasher, and A. Watwe, "Density Factor Approach to Representing Die Power Map on Thermal Management," *IEEE Transactions on Advanced Packaging*, 28(4), 659–664, 2005
9. R. Mahajan, C-P. Chiu, and R. Prasher, "Thermal Interface Materials: A Brief Review of Design Characteristics and Materials," *Electronics Cooling*, 10(1), 2004
10. R.S. Prasher, "Thermal Interface Materials: Historical Perspective, Status and Future Directions," *Proceedings of IEEE*, 98(8), 1571–1586, 2006
11. R.S. Prasher, P. Koning, J. Shipley, and A. Devpura, "Dependence of Thermal Conductivity and Mechanical Rigidity of Particle Laden Polymeric Thermal Interface Materials on Particle Volume Fraction," *Journal of Electronics Packaging*, 125(3), 386–391, 2003
12. R.S. Prasher, J. Shipley, S. Prstic, P. Koning, and J-L. Wang, "Thermal Resistance of Particle Laden Polymeric Thermal Interface Materials," *Journal of Heat Transfer*, 125(6), 1170–1177, 2003
13. R.S. Prasher, "Rheology Based Modeling and Design of Particle Laden Polymeric Thermal Interface Material," *IEEE Transactions on Component and Packaging Technologies*, 28(2), 230–237, 2005
14. R.S. Prasher, and J.C. Matayabus, "Thermal Contact Resistance of Cured Gel Polymeric Thermal Interface Materials," *IEEE Transactions on Components and Packaging Technology*, 27(4), 702–709, 2004
15. R. Prasher, and P. Phelan, "Microscopic and Macroscopic Thermal Contact Resistances of Pressed Mechanical Contacts," *Journal of Applied Physics*, 100, 063538, 2006
16. Y. He, "Rapid Thermal Conductivity Measurement with a Hot Disk Sensor: Part 1. Theoretical Considerations," Proceedings of the 30th North American Thermal Analysis Society Conference, Sept. 23–25, 2002, Pitsburgh, PA, USA, 499–504, 2002
17. A. Sepehr, and M. Sahimi, "Elastic Properties of Three-Dimensional Percolation Networks with Stretching and Bond-Bending Forces," *Physical Review B*, 38(10), 7173–7176, 1988
18. A.V. Shenoy, "Rheology of Filled Polymer System," Kluwer Academic Publishers, MA, USA, pp. 1–390, 1999
19. T.L. Tansley, and D.S. Maddison, "Conductivity Degradation in Oxygen Polypyrrole," *Journal of Applied Physics*, 69(11), 7711–7713, 1991
20. C-P. Chiu, J.G. Maveety, and Q.A. Tran, "Characterization of Solder Interfaces Using

Laser Flash Metrology," *Microelectronics Reliability*, 42, 93–100, 2002

21. L.S. Pritchard, P.P. Acarnley, and C.M. Johnson, "Effective Thermal Conductivity of Porous Solder Layers," *IEEE Transactions on Components and Packaging Technologies*, 27(2), 259–267, 2004
22. X. Hu, L. Jiang, and K. E. Goodson, "Thermal Characterization of Eutectic Alloy Thermal Interface Materials with Void-like Inclusions," Proceedings of Annual IEEE Semiconductor Thermal Measurement and Management Symposium, pp. 98–103, March 9–11, 2004, San Jose, CA, USA
23. P. Kim, L. Shi, A. Majumdar, and P.L. McEuen, "Thermal Transport Measurements of Individual Multiwalled Nanotubes," *Physical Review Letters*, 87(21), 215502-1215502-4, 2001
24. J. Hone, M.C. Llaguno, M.J. Biercuk, A.T. Johnson, B. Batlogg, Z. Benes, and J.E. Fisher, "Thermal Properties of Carbon Nanotubes and Nantube-based Materials," *Applied Physics A: Materials Science and Processing*, 74, 339–343, 2002
25. M.J. Biercuk, M.C. Llaguno, M. Radosavljevic, J.K. Hyun, A.T. Johnson, and J.E. Fischer, "Carbon Nantube Composites for Thermal Management," *Applied Physics Letters*, 80(2), 2767–2769, 2002
26. E.T. Thostenson, Z. Ren, and T.-W. Chou, "Advances in the Science and Technology," *Composite Science and Technology*, 61, 1899–1912, 2001
27. C.H. Liu, H. Huang, Y. Wu, and S.S. Fan, "Thermal Conductivity Improvement of Silicone Elastomer with Carbon Nanotube Loading," *Applied Physics Letters*, 84(21), 4248–4250, 2004
28. C.-W. Nan, G. Liu, Y. Lin, and M. Li, "Interface Effect on Thermal Conductivity of Carbon Nanotube Composites," *Applied Physics Letters*, 85(16), 3549–3551, 2004
29. S. Huxtable, D.G. Cahill, S. Shenogin, L. Xue, R. OZisik, P. Barone, M. Usrey, M.S. Strano, G. Siddons, M. Shim, and P. Keblinski, "Interfacial Heat Flow in Carbon Nanotube Suspensions," *Nature Materials*, 2, 731–734, 2003
30. R.S. Prasher, "Thermal Boundary Resistance and Thermal Conductivity of Multiwalled Carbon Nanotubes," *Physical Review B*, 77, 075424, 2008
31. X. Hu, L. Jiang, and K.E. Goodson, "Thermal Conductance Enhancement of Particle-Filled Thermal Interface Materials Using Carbon Nanotube Inclusions," 9th Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic System, June 1–4, 2004, Las Vegas, NV, USA
32. J. Xu, and T.S. Fisher, "Enhanced Thermal Contact Conductance Using Carbon Nanotube Arrays," 2004 Inter Society Conference on Thermal Phenomena, Las Vegas, 549–555, 2004
33. X. Hu, A. Padilla, J. Xu, T.S. Fisher, and K.E. Goodson, "3-Omega Measurements Vertically Oriented Carbon Nanotubes on Silicon," *Journal of Heat Transfer*, 128, 1109–1113, 2006
34. J. Xu, and T.S. Fisher, "Thermal Contact Conductance Enhancement with Carbon Nanotube Arrays," 2004 International Mechanical Engineering Congress and Exposition, Anaheim, CA, Nov. 13–20, Paper number IMECE2004-60185, 2004
35. T. Tong, Y. Zhao, L. Delzeit, Al. Kashani, M. Meyyappan, and A. Majumdar, Dense Vertically Multiwalled Carbon Nanotube Arrays as Thermal Interface Materials, *IEEE Transactions on Components and Packaging Technologies*, 30(1), 92–100
36. P.C. Irwin, Y. Cao, A. Bansal, and L.S. Schadler, "Thermal and Mechanical Properties of Polyimide Nanocomposites," 2003 Annual Report Conference on Electrical Insulation and Dielectric Phenomena, 120–123, 2003
37. L. Fan, B. Su, J. Qu, and C.P. Wong, "Effects of Nano-sized Particles on Electrical and Thermal Conductivities of Polymer Composites," 9th International Symposium on Advanced Packaging Materials, 193–199, 2004
38. S.A. Putnam, D.G. Cahill, B.J. Ash, and L.S. Schadler, "High-precision Thermal Conductivity Measurements as a Probe of Polymer/nanoparticle Interfaces," *Journal of Applied Physics*, 94(10), 6785–6788, 2003
39. R. Aoki, and C.-P. Chiu, "Testing apparatus for thermal interface materials," *Proceedings*

*of the SPIE – The International Society for Optical Engineering*, 3582, 1036–1041, 1999

40. G.L. Solbrekken, C.-P. Chiu, B. Byers, and D. Reichebbacher, "The Development of a Tool to Predict Package Level Thermal Interface Material Performance," 7th Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, 2000. ITHERM 2000, Vol. 1, 23–26 May, 48–54, 2000
41. "Standard Test Method for Thermal Transmission Properties of Thin Thermally Conductive Solid Electrical Insulation Materials," ASTM D5470-93
42. C.-P. Chiu, G.L. Solbrekken, and T.M. Young, "Thermal Modeling and Experimental Validation of Thermal Interface Performance Between Non-Flat Surfaces," 7th Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, 2000. ITHERM 2000, Vol. 1, 23–26 May, 52–62, 2000
43. C.-P. Chiu, and G. Solbrekken, "Characterization of Thermal Interface Performance Using Transient Thermal Analysis Technique," 1999 ISPS Conference
44. C.-P. Chiu, J.G. Maveety, and Q.A. Tran, "Characterization of Solder Interfaces Using Laser Flash Metrology," *Microelectronics Reliability*, 42(1), 93–100, 2002
45. C.-P. Chiu, G.L. Solbrekken, V. LeBonheur, Y.E. Xu, "Application of Phase-Change Materials in Pentium® Ⅲ and Pentium® Ⅲ XeonTM Processor Cartridges," Proceedings International Symposium on Advanced Packaging Materials Processes, Properties and Interfaces (Cat. No.00TH8507). Reston, VA, USA: IMAPS – Int. Microelectron. & Packaging Soc, 265–270, 2000
46. T.J. Goh, A.N. Amir, C.-P. Chiu, and J. Torresola, "Cartridge Thermal Design of Pentium® Ⅲ Processor for Workstation : Giga Hertz Technology Envelope Extension Challenges," Proceedings of 3rd Electronics Packaging Technology Conference (EPTC 2000) (Cat. No.00EX456). Piscataway, NJ, USA: IEEE, 65-71, 2000
47. T.J. Goh, A.N. Amir, C.-P. Chiu, and J. Torresola, "Novel Thermal Validation Metrology Based on Non-Uniform Power Distribution for Pentium® Ⅲ XeonTM Cartridge Processor Design with Integrated Level Two Cache," Proceedings of 51st Electronic Components and Technology Conference, 29 May–1 June, 1181–1186, 2001
48. C.-P. Chiu, B. Chandran, K. Mello, and K. Kelley, "An Accelerated Reliability Test Method to Predict Thermal Grease Pump-Out in Flip-Chip Applications," Proceedings of 51st Electronic Components and Technology Conference, 29 May–1 June, 91–97, 2001
49. L. Bharatham, W.S. Fong, C.J. Leong, and C.-P. Chiu, "A Study of Application Pressure on Thermal Interface Material Performance and Reliability on FCBGA Package, 2006 EMAP
50. E. Samson, S. Machiroutu, J.-Y. Chang, I. Santos, J. Hermarding, A. Dani, R. Prasher, D. Song, and D. Puffo, "Some Thermal Technology and Thermal Management Considerations in the Design of Next Generation Intel$^{R}$ Centrino$^{TM}$ Mobile Technology Platforms," *Intel Technology Journal*, 9(1), 2005

# 第14章　嵌入式无源元件

Dok Won Lee, Liangliang Li, Shan X. Wang, Jiongxin Lu,
C. P. Wong, Swapan K. Bhattacharya, John Papapolymerou

**摘要：** 由于对电子产品与封装小型化、多功能、高性能和低成本的要求持续增长，使得新型和独特的集成电路与系统集成解决方式，如片上系统（SoC）、系统级封装（SiP/SoP）成为近年来的热门话题。尽管现有的集成水平已经很高，但是分立式无源元件（电阻、电容、电感）数量还是很多。在一个典型微电子产品中，大约80%电子元件都是无源元件。这些器件在电路中不具有放大或开关功能，但这些表面组装的分立器件却占用了超过40%的印制电路板/线路板（PCB/PWB）面积。并且，在生产过程中使用了多达30%的焊接工艺及90%的元件取放操作。嵌入式无源元件是分立无源元件的一种替代方案，可以解决分立元件相关的一系列问题，包括基板空间、成本、夹持、组装时间和老化[1,2]。图14.1所示为通过集成电阻与电容薄膜到层压基板中实现嵌入式无源元件技术的一个简要实例。

通过将这些分立的无源元件从基板表面移除并将其嵌入到基板内，嵌入式无源元件可以提供许多优点，如尺寸和重量降低、可靠性增强、性能提高与成本下降，这些都是过去数十年来大家研发该技术的驱动力。本章对嵌入式电感、电容与电阻的最新进展进行了回顾与评述。

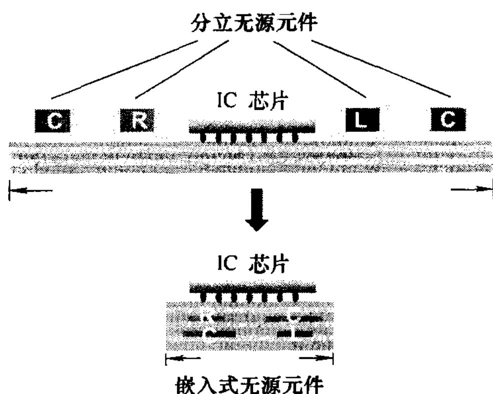



图14.1　与分立式无源元件相比，嵌入式无源元件具有尺寸优势

**关键词：** 无源元件，磁性电感，品质因子，嵌入式电容，复合材料，薄膜电阻。

## 14.1　嵌入式电感

### 14.1.1　引言

#### 14.1.1.1　分立式电感与空心螺旋形电感的局限性

商业用分立式绕线电感具有很宽的电感值范围，从0.001～100μH，如

图 14.2a 所示[3]。由于其绕线横截面积较大，所以直流电阻相对较小。因此一个约 0.1μH 的大电感，其直流电阻可以低于 1Ω（见图 14.2b）。这使其可以在 100MHz 或更高频率下具有高品质因子（$Q>30$）。然而紧密绕线产生一个大电感的时候，将同时形成一个大的寄生电容，这将限制分立电感器的自振频率从而限制其可用频率范围。图 14.2a 给出的一种铁氧体电感器的自振频率约为 300MHz。

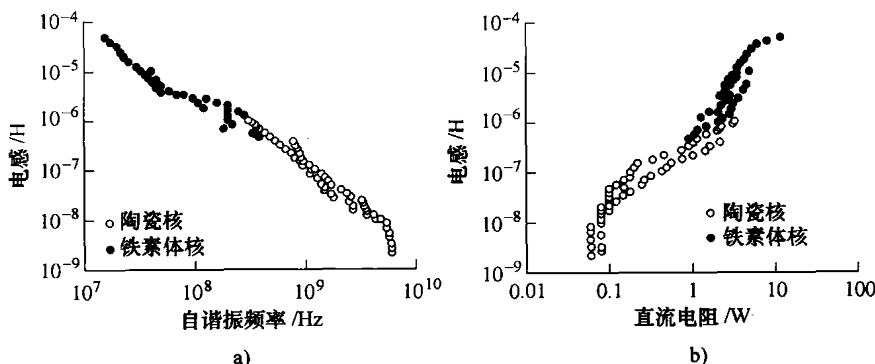



图 14.2　商用绕线式电感特性[3]

因为其核由高线性和低滞后的陶瓷介电材料制成，陶瓷核电感可以工作在一个较高的频率下，但是它们的电感值限制在数十纳亨到数微亨间。不仅如此，由于分立电感体积较大，使用面积为几个平方毫米，厚度超过 1mm，且由于无源器件数量比有源器件多，因此体积问题在便携式电子产品中特别严重。

嵌入式电感是一种“集成”电感，其设计与制造都采用集成电路（IC）或印制电路板（PCB）技术，并且占用的器件面积非常少。因为嵌入式电感可直接安放在硅片或封装体中，真正有可能实现集成电子器件，如片上系统（SoC）和系统级封装（SiP）。螺旋形空心电感器，如嵌入在非磁性绝缘体如二氧化硅中的平面金属线圈，已经成为嵌入式电感目前的主流设计。但是它们的器件性能受到限制，并且质量通常也比分离式电感差。根据文献给出的试验结果计算得到的螺旋形电感器件性能如图 14.3 所示[4-6]。螺旋形电感比分立电感布置面积小，但是它们的实际电感值只能达到 200nH（见图 14.3a）。不仅如此，由于导体横截面积降低，线圈电阻显著增加。对于直流阻值小于 1Ω 的电感，其电感值仅为几微亨，如图 14.3b 所示。这同样使电感在其使用频率范围内，品质因子被限制在 15 左右或更低[7]。降低寄生电阻可以通过使用直径较大的导线，但使用较粗的导线又会显著增加器件的面积，如图 14.3 所示。当平面螺旋形电感性能可以满足低电感值和高频率应用时，与分立式电感性能相比的嵌入式电感在集成电路应用中的需求数量还是很大的。

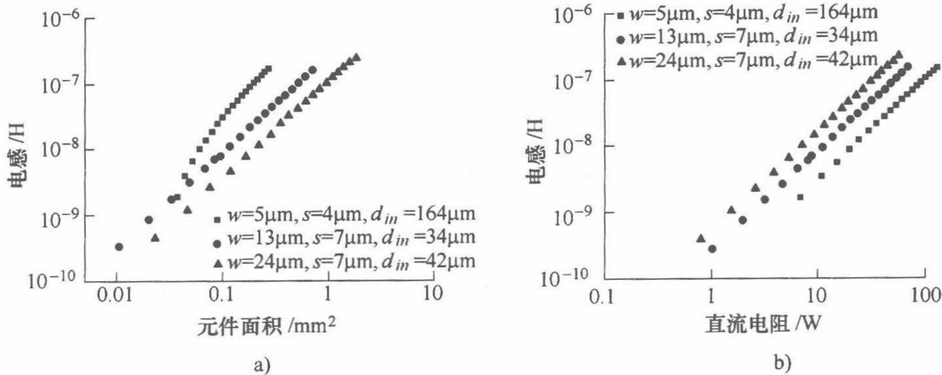



图 14.3　通过改变线圈宽度 $w$、间距 $s$ 和内径 $d_{in}$ 大小，计算得到的正方形分布集成式螺旋形电感器件特性

### 14.1.1.2　嵌入式磁电感的优点

在薄膜电感中使用具有高磁导率的磁性核可以显著增加电感值，并且保持低的电阻值和小的电感面积。经典模型预测表明，由于含有磁性核，螺旋线圈的电感值可以通过磁性核材料的相对磁导率来提高[8]，公式为

$$L_{Solenoid}=\frac{\mu_0\mu_r N^2 w_M t_M}{l_M} \tag{14.1}$$

式中，$N$ 为线圈匝数；$w_M$、$t_M$和 $l_M$分别是磁心的相应宽度、厚度和长度。如果电感增加量很大，采用匝数很少的线圈就可以满足电感值要求，从而极大降低线圈电阻值和器件面积。不幸的是，经典模型过高地估计了实际嵌入式电感可以获得的电感增强效果，这些我们将在本章剩余部分详细论述。

### 14.1.1.3　电感器设计

文献中调查和报道了各种不同的磁性电感器设计，应用最广泛的设计是传输线型电感、平面螺旋形电感和螺线管型电感，如图 14.4 所示。

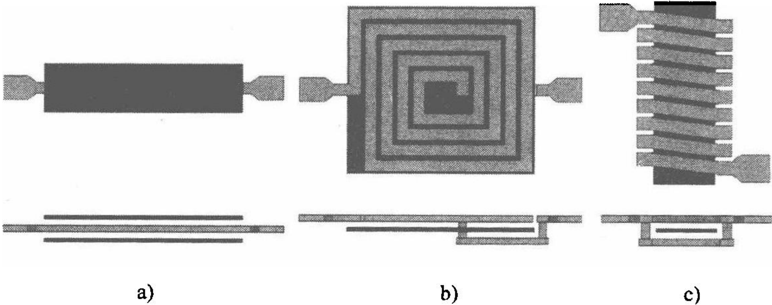



图 14.4　磁电感设计正视图与截面图

a）传输线电感　b）螺旋形电感　c）螺旋管电感

传输线型电感器的结构很简单，由一块金属片夹在两片磁性层中构成，如图 14.4a 所示[9,10]。为了提高这两个磁性层间的磁通闭合能力，可以通过磁性法兰或通孔方式使磁性层完全包裹传输线。相对而言，这种结构易于制造，比较适合低电阻电感器应用，但是由于几何结构简单，这种类型电感器的电感值只有几纳亨。

含磁性平面的螺旋形电感器由广泛应用的空心螺旋电感器经过简单改造而成[11,12]，一个平面螺旋线圈置于单个磁性层顶部或夹在两个磁性层间，如图 14.4b 所示。通常使用两个磁性层来大幅提高电感值，并且可以通过图案设计来降低涡流损失。由于与主流应用的螺旋电感器相似，线圈设计与制造工艺相对成熟。但是，螺旋形电感器制造涉及对四个金属层的处理。此外，由于螺旋线圈所产生的磁通量方向性不好，磁材料在这种情况下不能有效使用。因此，由磁性材料产生的电感增强效果有限。

螺线管电感器通过两个导体层包裹磁性核形成线圈而制成，如图 14.4c 所示[13,14]。该设计类似于分立式绕线电感器，能非常有效地产生磁场。相比于其他设计，其磁性对器件性能的影响很容易理解。但是，这种设计涉及较为复杂的工艺，包括精确的层间对准及在两个导体层间形成多个孔洞接触。由于其充分利用了磁心，螺线管电感器设计是本章贯穿始终关注的焦点。

#### 14.1.1.4　磁心材料要求与研究

根据式（14.1），磁性电感器的电感值主要与磁心的相对磁导率成比例，因此很明显，高磁导率是我们所希望的磁心材料的一个性质。当工作频率超过铁磁体共振（Ferromagnetic Resonance，FMR）频率时，磁性材料磁导率会下降到 1[15]。因此，较高的 FMR（代表铁磁体共振频率）对于高频应用是十分有利的。

使用磁心会产生磁性功率损耗，从而导致高频下极大地增加电感器的寄生阻抗。需要考虑的磁性损耗机制主要包括：1）磁滞损耗[16]；2）涡流损耗[17]；3）铁磁共振损耗[17]。在磁滞回线以内的区域，相应于每个周期的能量损耗和滞回功率损耗与滞回区域面积成正比。因此，需要降低矫顽力 $H_C$ 来尽量减少回路面积从而减小磁滞损耗。涡流损耗由磁心内的涡流形成，主要与磁性材料的电阻值成反比。铁电共振损耗在工作频率向 FMR 逼近时产生。因此，如果 FMR 足够大，这种损耗是可以避免的。

上述因素表明，对磁心材料的要求包括高磁导率、高 FMR 频率、小矫顽力及高电阻率。文献资料中已经研究了几种类型的磁心材料，其中之一就是非晶合金 CoZrTa[11,18] 和 CoZrNb[19]。他们具有软磁特性并具有高磁导率，并且由于其非晶结构，其电阻率比其他金属晶体要大得多。但是，由于高频下的涡流损耗非常严重，其电阻率难以满足高频应用要求。涡流损耗可通过使用分层结构，如 CoZrNb/氮化铝[20] 和 CoFeSiB/$SiO_2$[21]。通过增加氮化铝或二氧化硅绝缘层而降低，但多层结构涉及较复杂的制造工艺。对于高频应用，可以考虑采用纳米颗粒磁性材料，如 CoFeHfO[22] 和 FeAlO[23]。纳米磁性颗粒分散在绝缘基体材料中，因此电阻率很高。但是，由于磁性材料分布在单独的晶粒中，往往具有很强的磁性各向异性，因此磁

性纳米颗粒材料的磁导率相对较低。可能使用的磁心材料磁性与电性能见表 14.1。根据不同的应用和感兴趣的频率范围可以选择一种合适的磁心材料。

表 14.1 磁心材料的磁学与电学特性小结[24]

| 材 料 | $\mu_r$ | FMR/GHz | $H_{chard}$/Oe① | 电阻率/(μΩ·cm) | 资料来源 |
|---|---|---|---|---|---|
| CoZrTa | 600~780 | 约 1.5 | <1 | 约 100 | 参考文献 [18] |
| CoZrNb | 约 850 | 约 0.7 | <1 | 约 120 | 参考文献 [19] |
| FeCoN | 1200 | 1.5 | <1 | 50 | 参考文献 [25] |
| CoFeHfO | 140~170 | 约 2.4 | <1 | 约 1600 | 参考文献 [22] |
| FeAlO | 500~700 | 约 1.5 |  | 50~2000 | 参考文献 [23] |
| CoFeSiO | 约 200 | 约 2.9 | 约 6 | 约 2200 | 参考文献 [26] |
| CoFeAlO | 约 300 | 约 2.0 | 1~5 | 200~300 | 参考文献 [27] |

① Oe：奥斯特，1Oe = 79.5775A/m。

## 14.1.2 磁性电感器建模与设计考虑

嵌入式电感的关键器件参数是电感值、阻抗与品质因子。下面将讨论这些特性的解析模型。图 14.5 给出的是一个磁心嵌入式电感器设计简图，设计使用的模型参数如下：绕线匝数 $N$、空心宽度 $w_A$、空心长度 $l_A$ 或磁心长度 $l_M$、空心厚度 $t_A$、磁心宽度 $w_A$、磁心厚度 $t_A$、线圈宽度 $w_C$ 或 $w_V$、线圈长度 $l_C$、线圈厚度 $w_C$、绕线间距 $g$、通孔尺寸 $s_V$ 与通孔间距 $g_V$。建立解析模型是根据分立螺线管电感器的分析模型[7,28]，对实验结果的仔细分析[14,29]，以及与有限元电磁场仿真工具结果的比较[30,31]。

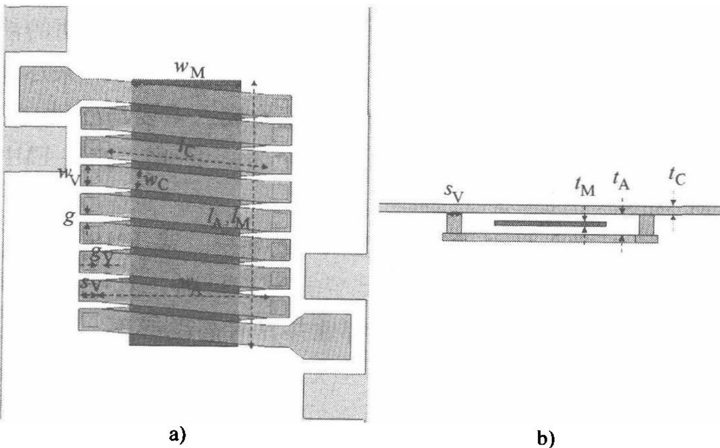



图 14.5 集成螺旋管电感器设计示意图

a) 正视图 b) 截面图

#### 14.1.2.1 电感

分立式螺线管电感器的电感值可以由惠勒经典公式得到[7]：

$$L = \frac{10\pi\mu_0 N^2 r^2}{9r + 10l_A} \equiv \sqrt{\frac{(w_A + s_V)(t_A + t_C)}{\pi}} \tag{14.2}$$

式中，$\pi r^2$代表空心的有效横截面积。$L_{AC}$表示嵌入式空心螺线管电感器的电感值，其表达式根据实验和模拟结果比较对惠勒公式进行了修正，有

$$L_{AC} = L_{Winding} + L_{Parasitic}, L_{Winding} = \frac{10\pi\mu_0 N^2 a^2}{9a + 10l_A}, \quad a \equiv \sqrt{\frac{(w_A + 2s_V)(t_A + 2t_C)}{\pi}} \tag{14.3}$$

绕线电感$L_{Winding}$取决于修正后的空心横截面积$A_{AC} = (w_A + 2s_V)(t_A + 2t_C)$。其中，空心包括通孔和空心周围线圈，寄生电感$L_{Parasitic}$代表与经典绕线电感的偏差影响，包括绕线端的探针焊盘及环绕电感器的基环。

Soohoo 给出的经典表达式（式（14.1））广泛用于估计磁性电感器的电感值[8]。但它通常大大高估了实际电感值，一个被经典表达式忽略的效应是退磁场。对于一个有限大小的磁心，在磁心中会形成退磁场，因此需要提高磁场来克服退磁场来获得同样的磁性，这在很大程度上减小了磁心的相对磁导率$\mu_r$。此外，对于嵌入式电感器，绕线对于电感值的贡献可与磁性的贡献相比，因此绕线与磁性的贡献应该小心地分开。考虑到所有这些因素，嵌入式磁心螺线管电感器的电感值$L_{MI}$可由下面的公式进行描述：

$$L_{MI} = L_{AC} + \Delta L, \Delta L \equiv \frac{\mu_0\mu_r w_M T_M}{l_M[1 + N_d(\mu_r - 1)]} = \frac{\mu_0\mu_r N^2 w_M T_M}{l_M}, \mu_{eff} \equiv \frac{\mu_r}{[1 + N_d(\mu_r - 1)]} \tag{14.4}$$

式中，$\Delta L$为由磁性贡献的电感值净增加量；$N_d$为退磁因子，退磁场在磁心中分别不均匀，具有正交形状。在$\mu_r > 1$情况下分析估计$N_d$值很有意义，但其数值解可在文献[32,33]中找到。$\mu_r = 1000$的各种几何形状磁心的有效磁导率$\mu_{eff}$如图 14.6a 所示，坐标图表明$l_M$远大于$(w_M t_M)^{1/2}$趋向于保持一个高的有效磁导率。如图 14.6b 所示，更高磁导率的退磁效应更加严重。虽然，全面计算不同几何结构下磁心的有效磁导率需要考虑磁畴的结构[31]。但实验证明，上面的表达式足以估算嵌入式电感器的电感值。

来自磁性贡献的电感增加值可由式（14.3）和式（14.4）进行估计。假设$l_A$远大于$a$且$L_{Winding}$远大于$L_{Parasitic}$，电感增强值大约为

$$\frac{L_{MI} - L_{AC}}{L_{AC}} = \frac{\Delta L}{L_{AC}} \approx \mu_{eff}\frac{A_{MI}}{A_{AC}}, A_{MI} \equiv w_M t_M \tag{14.5}$$

式中，$A_{MI}$为磁心截面积。因为$\mu_{eff} < \mu_r$且$A_{MI} < A_{AC}$，实际增强效果会由于$\mu_r$而极大

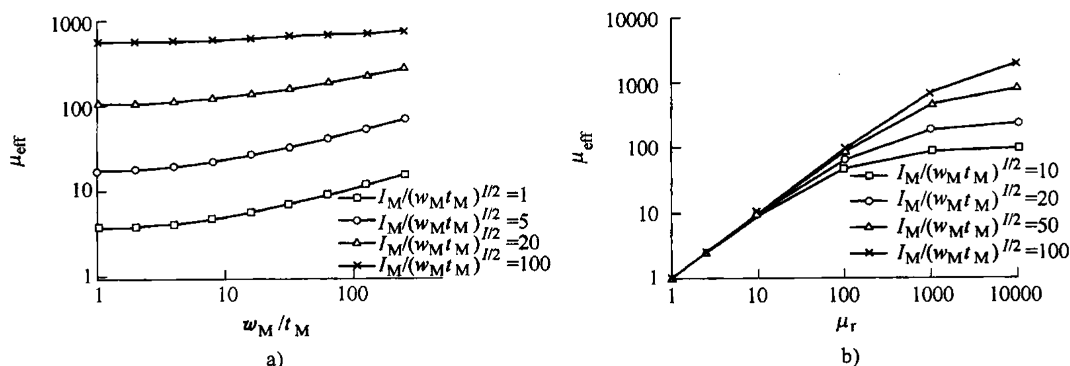



图 14.6 有效磁导率[33]

a) $\mu_r=1000$ b) $w_M/t_M=64$

削弱。即便如此，报道的电感增强系数可超过30[14]。

其他影响相对磁导率的性能也需要仔细考虑，其中之一是磁导率的单轴各向异性[34]。对于所关心的磁心材料在其主轴方向具有很高的磁导率，但高频时其他正交方向的磁导率则为1，所以假设磁导率具有各向同性并不符合实际。这将导致过高地估计电感值。实验表明，测量的磁导率与 $\cos2\alpha$ 成比例。$\alpha$ 是外部磁场激励与磁性材料主轴间的夹角[29]。人们可能会错误地认为，磁导率在偏离主轴时其值会很大。不过，磁导率具有张量特性，观察到的 $\cos2\alpha$ 依赖于张量矩阵中的一个部分。为了全面描述磁心材料的特性，磁导率张量矩阵的所有部分必须小心分配。由于磁导率的张量性质，含有封闭单轴磁心的环状嵌入式电感器的电感值将远小于封闭型各向同性磁心的估计值。

衬底对磁性能的影响也需要加以考虑。磁心材料的软磁性质与单轴各向异性会随着表面粗糙度的增加而恶化[24,35]。这种性能恶化的原因在于，对于粗糙表面，薄膜的主结构及其主能更加容易变化[36]。沉积在粗糙表面上的软磁性薄膜容易产生更大的各向异性值，因此磁导率值更小。因此在封装衬底上制造嵌入式电感，可以通过表面平坦化在磁性薄膜沉积前使衬底表面更加光滑。

#### 14.1.2.2 电阻

嵌入式空心螺线管电感器的电阻表达式为 $R_{AC}$，由三个线性电阻串联而成，即穿越空心的线圈、通孔连线与通孔，有

$$R_{AC}=2N_{\rho}\left[\frac{l_C}{w_C t_C}+\frac{(s_V+2g_v)}{w_V t_C}+\frac{t_C+t_A}{s_V^2}\right] \tag{14.6}$$

式中，$\rho$ 为线圈材料的电阻率。两个导体层间的接触电阻没有包含在式（14.6）中。

含磁心的嵌入式电感器的电阻 $R_{MI}$ 应该包括磁性功率损耗。根据经典电磁理论，磁滞功率损耗与磁性材料磁导率的实部和虚部比值有关[37]。高频下还需要考虑其他磁性损耗，包括涡流损耗与铁磁体共振损耗，并且磁导率测量过程中需要考

虑它们的影响。因此，通过修改经典的磁滞功率损耗表达式，磁性功率损耗 $P_{\text{Magnetic}}$ 为

$$P_{\text{Magnetic}} = \omega\left(\frac{\mu''}{\mu'}\right)E_{\text{Mag. cont.}} \tag{14.7}$$

式中，$\mu''/\mu'$ 为磁心的磁导率比值；$E_{\text{Mag. cont.}}$ 表示引入磁心后储能方面的贡献。式（14.7）采用器件性能可以表示为下面的公式：

$$P_{\text{Magnetic}} = \frac{1}{2}R_{\text{Magnetic}}I^2 \tag{14.8}$$

$$E_{\text{Mag. cont.}} = E_{\text{MI}} - E_{\text{Coil}} = \frac{1}{2}L_{\text{MI}}I^2 - \frac{1}{2}L_{\text{AC}}I^2 = \frac{1}{2}\Delta LI^2 \tag{14.9}$$

式中，$R_{\text{Magnetic}}$ 为磁性功率损耗对阻抗的影响；$E_{\text{MI}}$ 为存储在磁性电感中的总能量；而 $E_{\text{Coil}}$ 是来自电感器线圈中存储的能量。将式（14.8）和式（14.9）带到式（14.7）中，得到含磁心的嵌入式电感器的电阻 $R_{\text{MI}}$ 为

$$R_{\text{MI}} = R_{\text{AC}} + R_{\text{Magnetic}} = R_{\text{AC}} + \omega\left(\frac{\mu''}{\mu'}\right)\Delta L \tag{14.10}$$

随着频率增加，$R_{\text{Magnetic}}$ 影响比 $R_{\text{AC}}$ 更加显著。因为它同时与频率和 $\mu''/\mu'$ 成正比，而 $R_{\text{Magnetic}}$ 与 $\mu''/\mu'$ 的比值随着频率增加而迅速提高。磁心产生的电阻与穿过空心的净电感增强值成比例，如式（14.10），这为磁性电感器设计提供了一个基本的工程平衡：低频下采用磁心获得的电感增强值越大，高频下产生的电阻损耗就越大。

#### 14.1.2.3　品质因子

品质因子是决定电感器效率的性能参数，$Q$ 与单位时间储存能量与消耗能量的比值成正比。假设线圈与磁心的影响可以分开，品质因子可以表示为

$$Q = 2\pi\frac{\text{峰值到峰值能量}}{\text{功率消耗}\times T} = 2\pi f\frac{E_{\text{Coil}} + E_{\text{Mag. cont.}}}{P_{\text{Coil}} + P_{\text{Magnetic}}} \tag{14.11}$$

式中，$P_{\text{Coil}} = R_{\text{AC}}I^2/2$，为线圈的欧姆功率损耗。通过式（14.7）~式（14.10），获得的磁性电感器品质因子 $Q_{\text{MI}}$ 为

$$Q_{\text{MI}} = \frac{\omega L_{\text{MI}}}{R_{\text{MI}}} = \omega\frac{L_{\text{AC}} + \Delta L}{R_{\text{AC}} + \omega\left(\frac{\mu''}{\mu'}\right)\Delta L} \tag{14.12}$$

应该注意到，$\mu''/\mu'$ 是嵌入式电感器磁心的磁导率比值。经过图形化加工后的磁心的磁导率通常与磁性薄膜的磁导率不同。

低频下由于具有很大的电感增强 $\Delta L$，$Q_{\text{MI}}$ 明显高于空心电感器的品质因子 $Q_{\text{AC}}$。但在较高频率下，由于阻抗损耗较大，$Q_{\text{MI}}$ 比 $Q_{\text{AC}}$ 更早开始和更快速度下降。

如果 $\Delta L$ 很小，根据式（14.12），$Q_{\text{MI}}$ 和 $Q_{\text{AC}}$ 值很接近。直观上这是对的，因为磁性电感器与空心电感器一样，磁性贡献很小。另一方面，如果 $\Delta L$ 与 $L_{\text{AC}}$ 相比很大，$Q_{\text{MI}}$ 接近于磁心的磁导率 $\mu''/\mu'$。式（14.12）表明，在 $Q_{\text{AC}}$ 和 $\mu''/\mu'$ 相互交叠的频率以下时，$Q_{\text{MI}}$ 值比 $Q_{\text{AC}}$ 更大，超过此交叉频率后 $Q_{\text{MI}}$ 比 $Q_{\text{AC}}$ 小。因此，交叉点可

视为磁性电感器的有效带宽。这一重要设计准则将在下一节进一步说明。

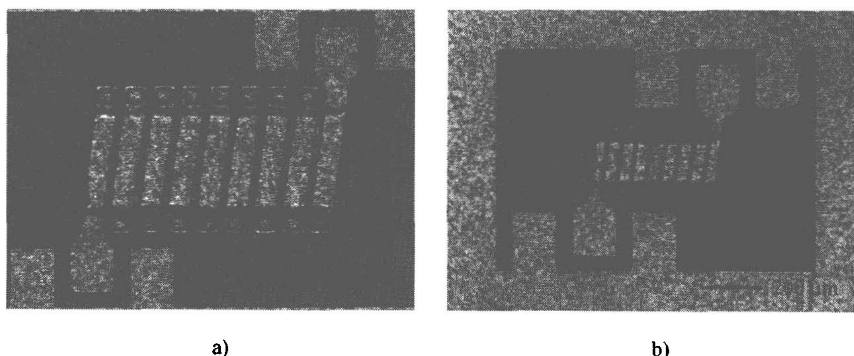
## 14.1.3 嵌入式封装体上和芯片上电感器——实验与分析

### 14.1.3.1 文献中的电感器研究综述

已有很多研究涉及嵌入式磁心电感器在射频电路（RF）与能量传输方面的应用，表格 14.2 总结了最近有关含磁心的嵌入式电感器的报道。报道中的许多电感器都是制作在硅衬底上的，也有许多工作致力于将电感器嵌入到有机封装衬底上。报道中指出，电感值范围是 0.003 ~ 5μH，然而这些电感值包含了线圈的影响。实际上，磁性产生的电感可以通过相对电感增强值 $\Delta L/L_{AC}$ 来表示。该比值限制在 100% 左右或更低。最近，有报道比值超过 10 以上的大幅度增强作用[9,14,41-43]。这表明使用磁心确实能够有效增加电感值，电感值密度可达到 532nH/mm²。但是，其他属性如直流阻抗和器件面积可能超标。然而，即使在限制电阻（$R_{DC}<1\Omega$）与器件面积（<1mm²）的情况下，采用磁心后的电感密度值可以超过 200nH/mm²。

### 14.1.3.2 片上电感器实验结果

在硅衬底上制作的电感器如图 14.7 所示[14,43]，铜导体利用光刻胶掩模电镀形成，CoTaZr 磁心利用射频溅射沉积，然后采用湿法腐蚀加工出图案，聚酰亚胺则作为绝缘层材料。制作的磁性电感匝数 $N=8.5$，并具有探针焊盘与接地环。与图 14.7a 所示图像相比，图 14.7b 所示的电感器侧面尺寸减小了。



a)　　　　b)

图 14.7　片上电感器

a）片上磁性电感器光学显微图　b）侧面尺寸缩小为 1/4 后

图 14.8a 所示为不同匝数的电感器电感数据测量值。电感值随着线圈匝数增加而增加，在匝数 $N=17.5$，频率为 10MHz 时，电感值为 70.2nH。与具有相同几何尺寸的空心电感器相比，电感值从 2.0nH 增加了 34 倍。匝数 $N=17.5$ 时的器件面积为 0.88mm²，所以电感密度为 80nH/mm²，直流电阻为 0.67Ω。通过缩小侧面尺寸，保持正面尺寸不变，电感密度增加到 219nH/mm² 时，对线圈的阻抗影响不大[43]。与主流应用的空心螺旋电感器相比，这些性质都有很大的提高，并且其值可与分立式绕线电感器相比。

**表 14.2　含磁心的嵌入式电感器总结**

| 电感器设计 | 磁心材料 | 基板材料 | $L_{MI}$/nH | $\Delta L/L_{AC}$ | $R_{DC}/\Omega$ | $\Omega_{MaX}$ | L/面积/（nh/mm²） | 资料来源 |
|---|---|---|---|---|---|---|---|---|
| 传输线型 | $CoZrO_2$ | 硅 | 约 3 | | 0.014 | | 5.6 | 参考文献 [10] |
| 传输线型 | CoTaZr | 硅 | 约 17 | 19 | | 约 3.8（170MHz） | | 参考文献 [9] |
| 螺旋形 | CoTaZr | 硅 | 47.9 | 0.65 | 59 | 约 2.7（1GHz） | 532 | 参考文献 [11] |
| 螺旋形 | FeNiCo | 硅 | 1500 | | 0.67 | 70（5MHz） | 42 | 参考文献 [38] |
| 螺旋形 | NiFe | 硅 | 3200 | 1.3 | 5.9 | 1.3（1MHz） | 246 | 参考文献 [39] |
| 螺旋形 | CoNbZr | 硅 | 8.5 ~ 13.7 | 0.07 ~ 0.71 | 约 5 | 3.03 ~ 11.8（1GHz） | 59 ~ 95 | 参考文献 [40] |
| 螺旋形 | FeHfN | 硅 | 约 4.8 | 0.30 | 约 0.9 | 约 10.2（900MHz） | | 参考文献 [12] |
| 螺旋管形 | FeCoBSi | 硅 | 45 | 10 | 约 4 | | | 参考文献 [41] |
| 螺旋管形 | NiFe | 硅 | 约 500 | ≥8.1 | 0.095 | 约 20（2MHz） | 16 | 参考文献 [42] |
| 螺旋管形 | CoTaZr | 硅 | 70.2 | 34 | 0.67 | 6.3（26MHz） | 80 | 参考文献 [14] |
| 螺旋管形 | CoTaZr | 硅 | 48.4 | 32 | 0.67 | 6.5（30MHz） | 219 | 参考文献 [43] |
| 螺旋形 | FeNiCo-聚合物 | 聚酰亚胺 | 1330 | | 2.6 | 18.5（10MHz） | 53.2 | 参考文献 [44] |
| 螺旋形 | NiFe 基 | 聚酰亚胺 | 5060 | | 1.76 | 10.1（1.4MHz） | 213 | 参考文献 [45] |
| 螺旋管形 | $CoFeSiB/SiO_2$ | MPS | 5000 | | 1.4 | | 421 | 参考文献 [46] |
| 螺旋管形 | CoFeHfO | PCB | 3.25 | 0.13 | 0.012 | 22（250MHz） | 0.23 | 参考文献 [47] |

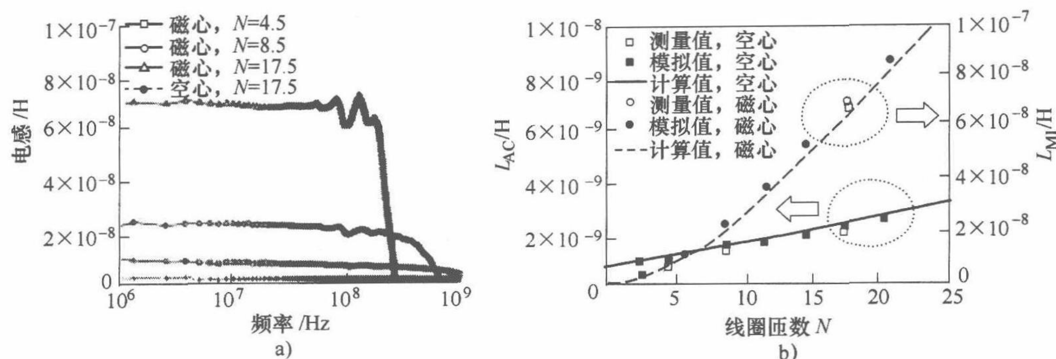



图 14.8 片上电感值

a）片上电感测量值 b）有磁心和无磁心的片上电感模拟与计算值比较

图 14.8b 所示为对有磁心或无磁心的嵌入式电感器的电感测量值和模拟计算结果进行了比较。模拟数据通过 Ansoft HFSS 获得[30]，数据表明该软件已经包含了退磁效应[31]。计算数据通过式（14.3）和式（14.4）得到，两者吻合良好，表明分析模型可以精确的描述空心与磁心电感器的电感值，并且退磁效应在决定磁性电感器的有效磁导率中扮演主要角色。使用式（14.5）得到的电感增强值大约为 37 倍，这与试验观察到的增强倍数 34 很接近。

图 14.9 所示为磁性电感器的电阻与品质因数的测量数据。低频下空心与磁心的电阻相似，但是由于磁性功率损耗，磁性电感器的电阻随着频率增加而显著增加。线圈匝数越多，电阻值越大，这是由于本书第 14.1.2 节中提到的设计平衡所造成的。提高线圈匝数可以获得较高的电感增益，但是在高频下会由于磁性作用产生较大的电阻，见式（14.10）。因此，低频下，高线圈匝数的电感器由于具有更大的电感增强值，其品质因数较高，但是在高频下由于具有更大的电阻，其品质因子会迅速下降。

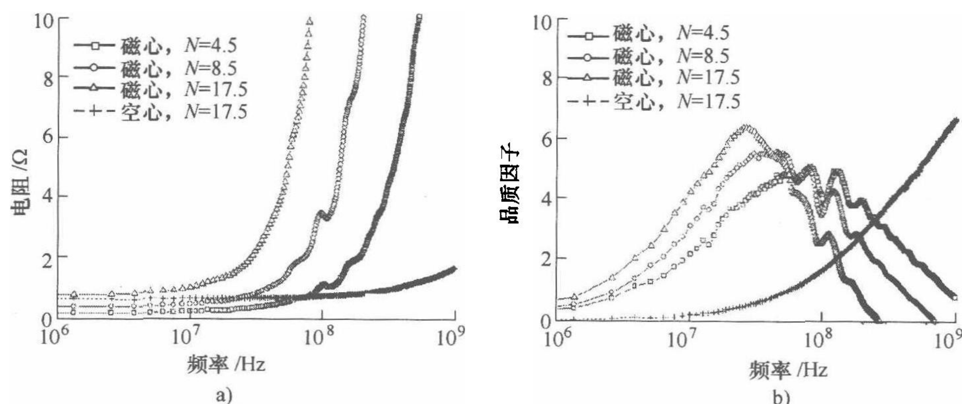



图 14.9 片上电感测量数据[14]

a）电阻值 b）品质因子

图 14.10a 给出了厚度为 2μm 的 CoTaZr 薄膜与 CoTaZr 磁心结构工艺共同制作的电感器的磁导率范围。

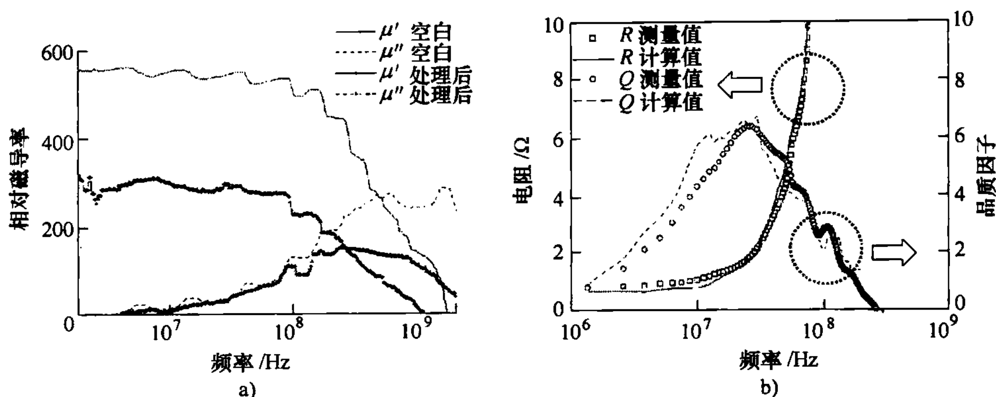



图 14.10　电感器磁导率与电阻和品质因子

a）厚度为 2μm 的 CoTaZr 薄膜与 CoTaZr 磁心结构工艺共同制作的电感器磁导率

b）对于匝数 $N=17.5$ 的磁电感器，电阻与品质因子计算值与测量值比较[14]

由于退磁效应以及衬底表面的影响不同（本书 14.1.2 节曾讨论过），磁导率范围彼此并不完全相同。电阻与品质因数可以使用式（14.10）和式（14.12）计算，相应处理后的磁心的磁导率范围以及它们对于 $N=17.5$ 的测量数据如图 14.10b 所示。计算值与测量值的完美吻合表明，本书 14.1.2 节中的分析模型可以精确描述频率对器件的影响行为。

### 14.1.3.3　文献资料中的其他片上电感器

表 14.2 给出了很多关于在硅衬底上制作嵌入式磁性电感器的研究。然而，因为难以获取分析所需要的所有信息，本书 14.1.2 节中讨论的分析模型不适用于大多数报告的实验结果。尽管如此，来自其他研究小组的报告也证实电感增益与电阻增加间存在平衡。图 14.11a 给出了不同厚度磁心嵌入式电感器的属性[42]。一个螺旋嵌入式电感器的铜导体厚度为 5μm，镍铁磁心叠层厚度为 1.4μm（较薄），而另一个铜导体厚度为 20μm，磁心厚度为 16μm（较厚）。由于磁心较厚，厚电感器比薄电感器的电感值要大。在接近 1MHz 的低频下，因为导体层较厚，厚电感器的阻抗小于薄电感器；但是由于磁性功率损耗，阻抗会随着频率增加而快速增长。因此频率为 1MHz 时，厚电感器的品质因子非常大；但随着频率增加会快速降低，比薄电感器在 10MHz 甚至更高频率下的品质因子还要低。

图 14.11b 给出了不同磁心结构的螺旋式电感器性能[40]。同样厚度的 CoNbZr 磁心放到平面螺旋电感器的顶部与底部，通过改变形状来研究闭磁通效应。根据磁心结构的不同，相应的电感系数将增加，$\Delta L/L_{AC}$从 7% 增大到 71%。电感系数增加导致阻抗增大，反过来导致在 1GHz 高频下，品质因子变小，如图 14.11b 所示。

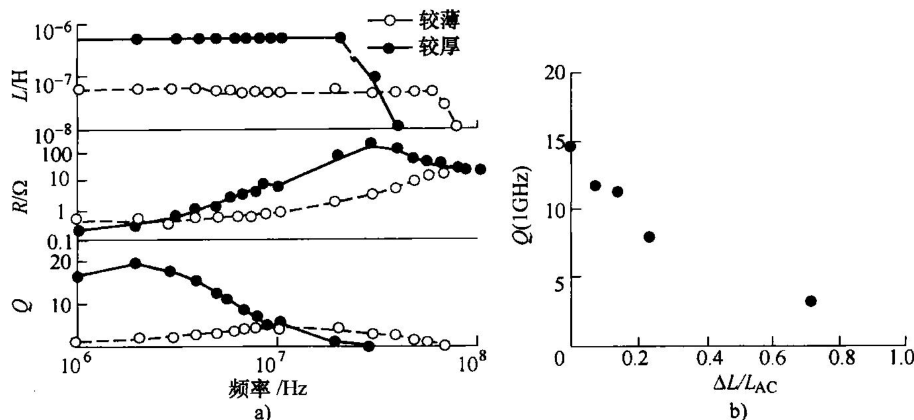



图 14.11 电感特性与品质因子

a) 不同磁心厚度的嵌入式电感器特性[40] b) 电感增强与 1GHz 频率下的品质因子间比较[40]

上述例子以及上一节中给出的片上电感器数据表明，不管使用何种电感器设计与电感增强方法，电感增益与阻抗增加之间总存在平衡。

### 14.1.3.4 封装体上电感器测量结果

对制作在封装基板上的嵌入式电感器的面积限制相对较小，因此其器件面积相对较大[44-47]。然而，与现有成熟的硅工艺相比，封装基板的粗糙表面会降低磁心材料的磁性能，在加工与设计规格上存在很多约束[24]。

图 14.12 所示为在封装基板上制作嵌入式电感器的一个例子[24,47]。在该螺线管设计中使用了 CoFeHfO 磁心，两组铜线圈对称连接可增大闭磁通量，从而增加电感系数，同时使阻抗降低为原来的 1/4。然而电感增益仍限制在 12%，如图 14.13a 所示。这主要是因为基板影响使磁导率下降，磁心面积与空心面积比值 $A_{MI}/A_{MC}$ 变小，以及寄生电感 $L_{parasitic}$ 对空心电感 $L_{AC}$ 的影响变大。尽管如此，观察到的电感增益与式（14.4）（见图 14.13b）HFSS 仿真计算结果大致相同，磁心越厚或者线圈匝数越多，电感增益越大。

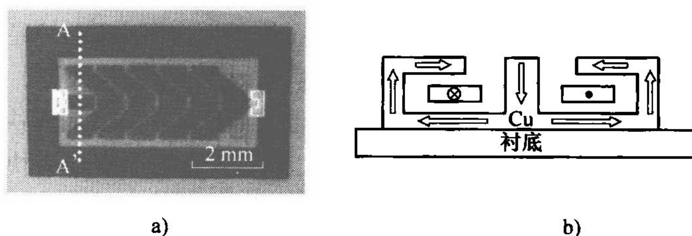



图 14.12 衬底上制作的嵌入式电感器[47]

a) 光学显微图 b) 横截面图（A-A'）

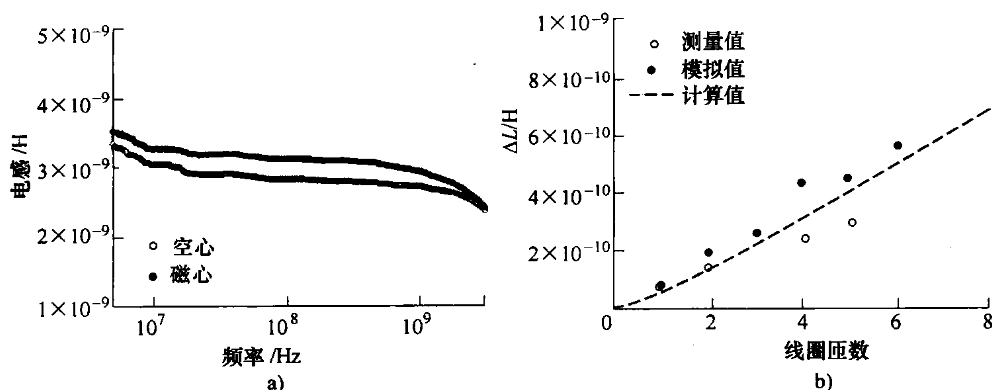



图 14.13 电感器电感值

a）封装体上电感器的电感测量值 b）比较封装体上磁性电感器的电感测量值与模拟值

尽管如此，上述电感增益还是很小的，当频率接近 300MHz 时，磁电感器的阻抗显著增加，如图 14.14a 所示。阻抗增加反过来导致品质因子下降，如图 14.14b 所示。该分析模型与测量结果相当一致，如图 14.14b 所示。这表明当频率足够高时，即使是很小的电感增益也能产生很大的阻抗增加。这也表明无论磁性对电感的影响是小还是大，分析模型都能从本质上准确描述电感增益与阻抗增加间的平衡关系。需要注意的是，即使采用磁性功率损耗较低的 CoFeHfO，在低于 1GHz 时尽管电感增益很小，磁性将导致阻抗变大。表 14.2 明确指出，嵌入式磁电感器在频率为 1GHz 甚至更低时的品质因子最大。

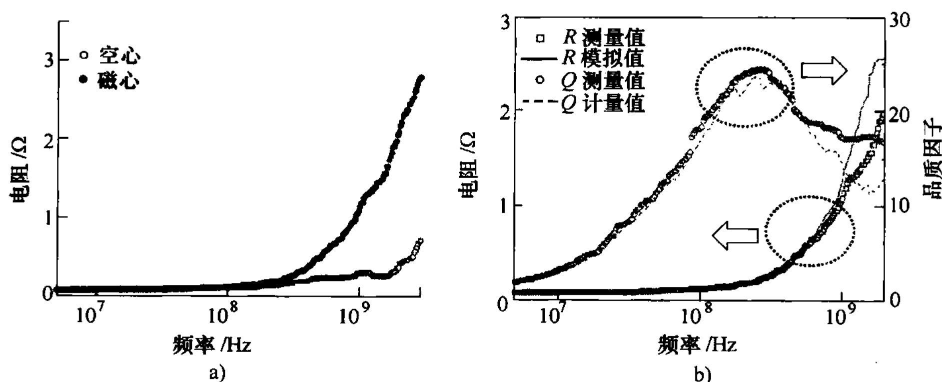



图 14.14 电感器电阻值

a）封装体上电感器的电阻测量值 b）对于 $N=5$ 的封装体磁性电感器，比较电阻与品质因子的计算值与测量值[47]

## 14.1.4 嵌入式磁电感器未来的发展方向

### 14.1.4.1 磁性电感器的基本平衡

前文中的例子清楚地表明，由于使用磁心，高频时电感增益将导致磁性功率损耗的不利后果。随着频率上升到足够高时，磁性损耗将增加器件阻抗，导致高频下的品质因子下降。对于给定的磁导率比率$\mu''/\mu'$，低频下的大电感增益导致峰值频率较低的品质因子，如图14.15a所示。这可以理解为电感增益与磁电感器带宽间存在平衡关系。当频率足够高时，磁性电感器的品质因子变得比空心电感器还要小。如图14.15a所示，分析模型表明，如果高频下磁性损耗是主要的损耗机制，在频率为$f_{MI}$时，空心电感器的品质因子等于磁导率比值$\mu''/\mu'$，因此，$f_{MI}$可作为磁性电感器的有效带宽。

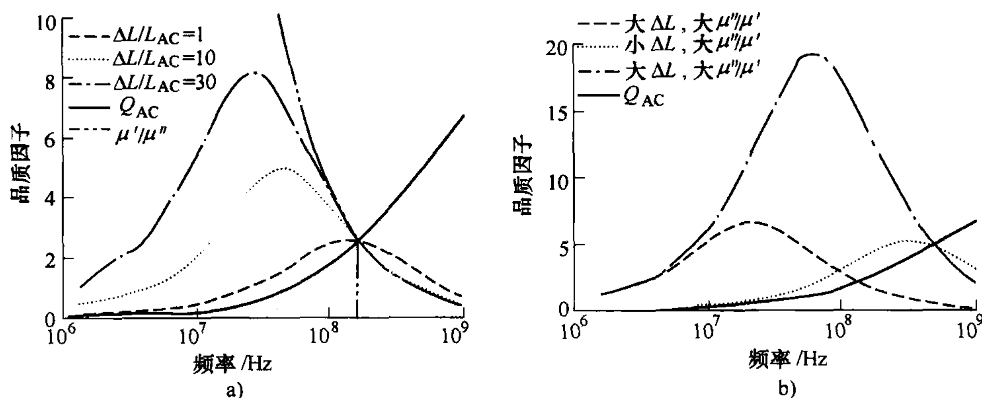



图14.15 嵌入式磁电感器的品质因子示意图

由于存在这种平衡关系，报道的器件性能要么具有大的电感增益$\Delta L$和大$\mu''/\mu'$，要么具有小$\Delta L$和小$\mu''/\mu'$。图14.15b所示为频率影响品质因子的两种情况。大多数器件性能都属于这两种情况，大$\Delta L$和小$\mu''/\mu'$的情况将产生最高的品质因子，这可以通过最近的研究和理解磁性电感器的基本平衡关系来实现，下面给出了一些思路。

### 14.1.4.2 磁性电感器设计思路

磁性电感器的设计可根据其应用场合与需求来选择。传输线电感器适用于低阻抗应用，但是可获得的电感值有限。由于磁通量传输效率较低，平面螺旋式电感器的电感增益有限，但是其可以应用于相对高频的情况下。螺线管电感器可以产生很大的电感增益与电感密度，但是在频率升高过程中很快就会发生功率损耗。如本书14.1.2节所述，从磁学角度，螺线管设计相对容易理解，分析模型可用于优化设计参数。

理想的电感器性能包括高电感值、低线圈阻抗并且器件占用面积小。然而，这

些参数间同样需要进行平衡，如图 14.16 所示。该图是采用 $N=20$ 和 $t_C=10\mu m$ 的铜导体及 $u_r=1000$ 和 $t_M=2\mu m$ 的磁心，使用分析模型得到的。当有效磁导率具有较大 $l_M/(w_M t_M)^{1/2}$ 值时，将会降低磁感系数，$l_M/(w_M t_M)^{1/2}$ 值增加降低了线圈阻抗但增加了器件面积，$w_M/t_M$ 值增加可显著提高磁感系数，但同样也会增加线圈阻抗与器件面积。找到一个能满足所有期望性能的解决方案非常重要，可以利用分析模型在给定条件下找出一个优化的解决方案。另外，磁电感器的一个优点是可通过降低线圈阻抗与器件尺寸来提高电感增益。

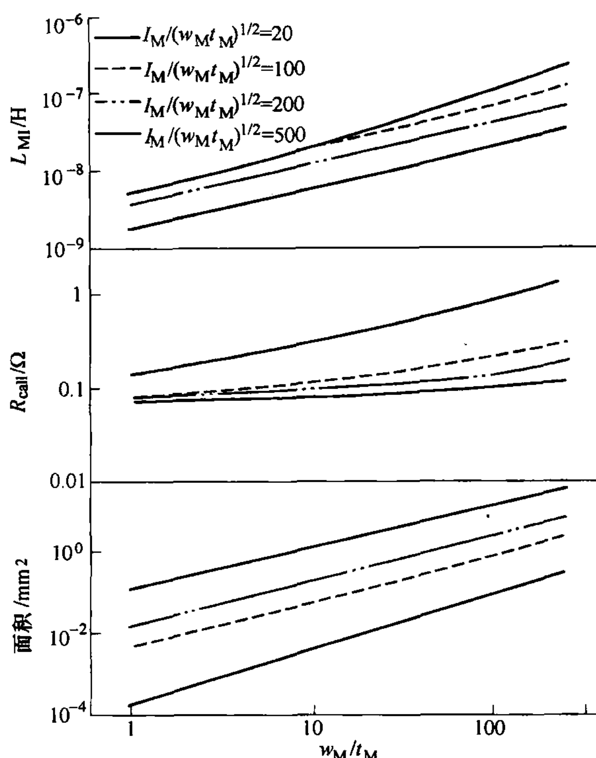



图 14.16 含磁心的嵌入式螺旋管电感器的器件性能计算值

### 14.1.4.3 理想的磁心性能

电感器的低频性能与物理性能可通过上述设计过程进行选择与优化。然而，为了预测与控制电感器的频率响应，就需要考虑磁心材料的磁性能，因为磁性损耗是磁电感器的主要损耗机制。另外，前面所讨论的平衡关系也与磁心性能紧密相关。电感增益在很大程度上依赖于相对磁导率，但无论阻抗怎样增加，带宽总是与磁导率比值紧密相关的。

有几个参数会影响电感器的频率响应并表现出相互牵制关系，其中之一就是各向异性场 $H_K$。根据 Kittel 方程，当铁磁共振（FMR）频率与 $H_K^{1/2}$ 成正比时，相对磁导率与 $H_K$ 成反比，通过增加 $H_K$，可以降低相对磁导率与电感增益。但是 FMR

损耗发生在较高频率下，因此在给定工作频率下会降低 $\mu''/\mu$，从而有效降低磁功率损耗并扩大频带宽度。磁心厚度也是一个需要考虑的关键因素，较厚的磁心可以产生更大的电感增益，但是在给定频率下也会提高涡流损耗并增大 $\mu''/\mu$[17]，从而增加器件阻抗。另一个参数是磁心材料结构。与非晶体磁性合金相比，颗粒状磁性材料具有相对较高的 FMR 频率和高电阻系数，因此可以极大地降低磁性损耗（见表 14.1）。但是，由于纳米磁性颗粒间不能相互连接，它们的磁导率值相对较低。

在分析模型基础上，可以通过优化设计参数来获取较高的电感增益。高频时为了降低磁性功率损失，可采用较厚的颗粒状磁性合金或非晶体及颗粒状磁性薄膜层叠结构作为磁心材料[48]。不仅如此，因为加工和图形化磁心也会影响其磁性，所以需要仔细考虑制造工艺以保证制备后获得所希望的磁性能。

#### 14.1.4.4 集成磁电感器的潜在应用

嵌入式电感器已成为射频（RF）集成电路、微波产品与移动功率传送装置的关键无源器件。含磁心的嵌入式电感器在集成滤波器、电源转换与 EMI 噪声衰减、片上 RF 系统集成电路方面具有极大的应用潜力。嵌入式磁电感器的器件特性可以根据不同应用和感兴趣的频率范围进行优化。因为开关频率大约在 10MHz，嵌入式磁电感器特别适用于功率传送装置[49]。但是，由于内在的磁性损耗与磁性电感器的基本平衡关系，磁性电感器在频率超过 1GHz 的使用中受到严格限制。因此，为了扩展磁电感器的使用带宽，需要采用在 GHz 频率范围内能大幅降低磁性损耗的新型磁性材料与电感器设计方法。

## 14.2 嵌入式电容器

### 14.2.1 嵌入式电容器的电介质选择

为了满足嵌入式电容器应用对介电材料的严格要求，大量精力投入到研发可能的高 k 材料中。到目前为止，还没有发现一种完全适用于嵌入式电容器的介电材料，因为材料的选择受到特定因素如电性能、机械性能或工艺条件限制，但还是有很多材料可能用于制作电容器。

#### 14.2.1.1 铁电陶瓷材料

铁电陶瓷材料，如钛酸钡（$BaTiO_3$）、$BaSrTiO_3$（钛酸锶钡）、$PbZrTiO_3$（锆钛酸铅）等，因为具有高达几千的 $k$ 值，可作为介电材料制作去耦电容器[1,50]。到目前为止这种材料制作的最高电容值超过 1800nF/cm$^2$。但是，由于需要超过 600℃ 的高温烧结工艺，使其难以直接应用在低成本有机板上，并且由于铁电体的介电性能与温度、频率、膜厚以及偏压有直接关系，导致其性能具有很明显的非线性。

#### 14.2.1.2 铁电陶瓷/聚合物复合材料

作为一种主要的电容器候选材料，对高 $k$ 铁电陶瓷/聚合物复合材料进行了深

入研究，该技术方案综合了聚合物与铁电陶瓷两种材料的优点。聚合物的优势是可以满足低成本有机基板工艺要求，如低温加工，机械延展性与低成本；铁电陶瓷则具有理想的介电性能[51-59]。这种类型材料的主要优点在于加工性，为了使铁电相获得高 k 值的高温步骤可在应用到有机基板前预先完成。但是，对于高 $k$ 值聚合物复合材料还是存在一些挑战，如介电常数与电容密度有限，低粘附力导致空气间隙并降低电容值。到目前为止，开发的大多数聚合物-陶瓷复合材料在室温下的 $k$ 值都小于 100，原因在于聚合物基体材料的 $k$ 值很低（通常在 2 ~ 6）。因为聚合物基体材料对最终复合材料的 $k$ 值具有非常大的影响，通过使用 $k$ 值相对较高的聚合物基体材料，可以有效提高聚合物-陶瓷复合材料的 $k$ 值[52,57]。如作为铁电体蓬松剂的聚氟乙烯（P（VDF-TrFE））共聚物，经过辐射处理后具有相对较高的室温 $k$ 值（约 40）[60]。Bai 等人制备了 Pb（$Mg_{1/3}Nb_{2/3}$）$O_3$-$PbTiO_3$/P（VDF-TrFE）复合材料，其 $k$ 值超过 200[5]。Rao 等人报道了一种由铌酸铅镁-钛酸铅（PMNPT）+ $BaTiO_3$/高 $k$ 值环氧树脂系统（有效 $k$ 值为 6.4）组成的复合材料，其 $k$ 值约为 150，其中陶瓷的体积填充量高达 85%[61]。研究表明，介电常数为 0 ~ 3 的复合材料主要受基体材料影响，因此需要大量填充具有较高介电常数的铁电体非有机相材料。填充高比例的陶瓷粉末仍然是在有机基板上应用聚合物-陶瓷复合材料的技术障碍。因为高比例的陶瓷粉末会导致有机基体中的填充不均匀，并且由于聚合物含量很低，在 PCB 中复合材料与其他层间的粘接力很弱。表 14.3 总结了可用于嵌入式电容器的陶瓷/聚合物复合材料的类型、成分与介电性能（如果没有特别指明，皆为室温值）。

**表 14.3 陶瓷/聚合物复合材料总结**

| 材 料 | 介电常数 | 耗散因子 | 填料尺寸 | 填料体积填充率（体积分数）（%） | 资料来源 |
|---|---|---|---|---|---|
| $BaTiO_3$/环氧 | 40（1Hz） | 0.035 | 100 ~ 200nm | 60 | 参考文献 [55] |
| PZT/PVDF | 50 | | 20μm | 50 | 参考文献 [54] |
| Pb（$Mg_{1/3}Nb_{2/3}$）$O_3$-$PbTiO_3$/P（VDF-TrFE） | 约 200（10kHz） | 0.1（10kHz） | 0.5μm | 50 | 参考文献 [52] |
| 双模 $BaTiO_3$/环氧 | 90（100kHz） | 0.03（100kHz） | 916nm + 60nm | 75 | 参考文献 [60] |
| PMN-PT + $BaTiO_3$/高 $k$ 环氧 | 约 150（10kHz） | | 900nm/50nm | 85 | 参考文献 [61] |
| $CaCu_3Ti_4O_{12}$/P（VDF-TrFE） | 243（1kHz） | 0.26（1kHz） | | 50 | 参考文献 [62] |
| $BaTiO_3$/P（VDF-HFP） | 37（1kHz） | <0.07（1MHz） | 30 ~ 50nm | 50 | 参考文献 [63] |

#### 14.2.1.3 导电填料/聚合物复合材料

导电填料/聚合物复合材料，是实现下一代微电子封装嵌入式电容器的超高 $k$ 值材料的另一种途径。当导电填料浓度接近浸透阈值时，观察到导电填料/聚合物复合材料具有超高的 $k$ 值。这可以应用导体-绝缘体浸透系统的浸透理论来解释[64]。接近浸透临界值的浸透系统有效介电常数可描述为[63]

$$\varepsilon = \varepsilon_D / |f - f_c|^q \tag{14.13}$$

式中，$f$ 和 $f_c$ 为导电填料在聚合物基体中的浓度与阈值浓度；$\varepsilon_D$ 为聚合物基体的介电常数；$q$ 为与导电填料/聚合物系统的材料性能、微结构及物相连接有关的缩放比例常数[65]。有时金属-绝缘体复合材料的有效介电常数，可比绝缘的聚合物基体材料的介电常数高四个数量级。这种现象可通过具有较大面积和较小厚度的“超级电容网络”来进行解释，当金属浓度接近浸透阈值时，大量导体单元彼此相互接近，但它们又被薄层介电材料分开，与传统的高介电常数颗粒填充到聚合物基体中相比，这种浸透方式要求的填料体积浓度要低得多。因此，选择的这种材料表现出优于传统陶瓷/聚合物复合材料的特性，特别是在超高 $k$ 值与包括粘附力在内的机械性能间取得了平衡。不同金属粒子或者导体填料如银、铝、镍、炭黑，都可用于制备聚合物导体填充的复合材料或三相浸透复合材料系统[64,66-73]。介电损耗高、介电强度低以及工艺窗口小是这类材料的技术障碍，因为当填料浓度接近浸透阈值时，导电性较高的颗粒容易在复合材料中形成导电通路，目前大量研究工作都围绕着解决这些问题，并取得了很大进展。表 14.4 总结了近年来报道的导电填料/聚合物复合材料。

**表 14.4 导电填料/聚合物复合材料总结**

| 材　料 | 介电常数 | 耗散因子 | 填料尺寸 | 填料填充率 | 资料来源 |
|---|---|---|---|---|---|
| 银片/环氧 | 约 1000（10kHz） | 0.02（10kHz） | 1.5μm | 11.23%（体积分数） | 参考文献［64］ |
| 铝/环氧 | 109（10kHz） | 0.02（10kHz） | 3μm | 80%（质量分数） | 参考文献［66］ |
| Ni-$BaTiO_3$/PVDF | 300（10kHz） | 0.5（10kHz） | Ni 为 0.2μm，BT 为 1μm | Ni 为 23%（体积分数）BT 为 20%（体积分数） | 参考文献［67］ |
| Ni-$BaTiO_3$/PMMA | 150（1MHz） |  | Ni 为 4μm，BT 为 1μm | Ni 为 12%，BT 为 20% | 参考文献［68］ |
| 炭黑/环氧 | 13000（10kHz） | 3.5（10kHz） | 约 30nm | 15%（体积分数） | 参考文献［69］ |
| 银/炭黑/环氧 | 2260（10kHz） | 0.45（10kHz） | Ag 为 13nm | Ag 为 3.7%，炭黑为 30%（质量分数） | 参考文献［70］ |

（续）

| 材　料 | 介电常数 | 耗散因子 | 填料尺寸 | 填料填充率 | 资料来源 |
|---|---|---|---|---|---|
| 铝/银-环氧 | 160（10kHz） | 0.045（10kHz） | Al 为 3μm<br>Ag 为 <20nm | Al 为 80%<br>（质量分数） | 参考文献 [71] |
| 银/环氧 | 约 300（1kHz） | 0.05（1kHz） | 40nm | 22%<br>（体积分数） | 参考文献 [72] |
| 银-C/环氧 | >300（1kHz） | <0.05（1kHz） | 80～90nm | 25～30%<br>（体积分数） | 参考文献 [73] |

## 14.2.2 新概念与当前发展趋势

### 14.2.2.1 纳米电介质

随着纳米技术研究热情的日益增长，正在出现一类新的介电材料即纳米电介质。根据预测，纳米复合材料是很有前途的一种纳米电介质[74]。采用纳米颗粒的聚合物复合材料是纳米复合材料的一种，为目前和将来的技术需求提供了潜在的解决方案，这些技术需求要求材料具有良好的加工性能和机械性能[75]。不仅如此，由于纳米尺寸颗粒有助于获得较薄的介电薄膜，从而提高电容密度，因此可用于制备高 $k$ 介电复合材料。因此，近来越来越多的陶瓷、金属甚至有机半导体纳米颗粒被用于制备高 $k$ 值介电材料。

### 14.2.2.2 增强介电性能的方法

**填料尺寸效应**

值得指出的是，首先需要解决纳米颗粒介电复合材料的几个问题。虽然较小的颗粒尺寸可以降低介电薄膜厚度并提高电容密度。但是对于铁电陶瓷而言，极小的颗粒可能导致晶体结构改变，从具有较高介电常数的四面体变化为立方体或伪立方体。总体而言，陶瓷颗粒的四方体结构与介电常数会随着颗粒尺寸降低而降低。Uchino 等人[76]和 Leonard 等人[77]发现，当 $BaTiO_3$ 颗粒尺寸下降到接近 100nm 和 60～70nm 时，$BaTiO_3$ 粉末的四面体结构最后消失了。Cho 等人采用 $BaTiO_3$/环氧树脂复合材料制备了嵌入式薄膜电容器（ECF），$BaTiO_3$ 的平均颗粒尺寸为 916nm（P1）和 60nm（P2），采用 P1 制备的 ECF 的 $k$ 值高于 P2。因此，使用单一粉末，粗颗粒比细颗粒更容易制备具有高 $k$ 值的 ECF。但是如果采用两种粒度的填料，掺加小纳米颗粒可去除介电薄膜中的孔洞与毛细孔，大幅提高封装密度从而有效增加 $k$ 值。采用两种不同尺寸的 $BaTiO_3$ 粉末在频率 100kHz 下获得的介电常数为 90[60]。

**受控扩散**

另一方面，由于纳米颗粒团聚会导致不希望得到的电学或材料性能，需要纳米复合材料中的纳米颗粒均匀分散。因此，纳米颗粒分散是提高介电性能与重复性的关键因素。加入表面活性剂或分散剂如磷酸盐脂可以提高纳米颗粒在聚合物基体中的分散性，从而提高纳米复合材料薄膜的总体质量与介电性能[78]。

纳米颗粒的化学改性也是一种提高纳米颗粒分散性的有效途径。如 Kim 等人报道了采用磷酸配位体对 $BaTiO_3$ 和相关的钙钛矿型金属氧化物纳米颗粒进行表面改性，得到了分散良好的 $BaTiO_3$/聚合物纳米复合材料薄膜，具有很高的介电强度[63]，通过选择合适的配位功能体，这种方法可直接简单地应用到很多系统中。另一个例子与 CuPc 低聚体有关，是一种 $k$ 值高达 105 的有机半导体材料。Zhang 等人制备了 CuPc/P（VDF-TrFE）复合材料，$k$ 值为 225，在频率为 1Hz 的低水平应用场合的损耗因子为 0.4[79]，介电损耗较高是由于电子的长程分子间跃迁。Wang 等人对 CuPc 进行了进一步化学改性，通过键合到 P（VDF-TrFE）支柱上来改善 CuPc 在聚合物基体中的分散性。与简单的混合搅拌相比，进一步改进的样品中 CuPc 低聚物颗粒具有相对均匀的尺寸，范围为 60～120nm，这比简单混合的复合材料样品要小五倍。不仅如此，还降低了介电损耗，并且减弱了介电分散随频率的变化[80]。

**控制导电填料/聚合物纳米复合材料的介电损耗**

导电填料/聚合物纳米复合材料，被认为是有希望满足嵌入式电容器的材料要求的。但是，当填料浓度接近浸透阈值时，因为导电性能较高的颗粒很容易在复合材料中形成导电通路，这种复合材料的介电损耗非常难以控制。为了克服这个缺点，现在大部分的研究工作都希望能直接控制该材料系统的介电损耗。

建议采用核-壳结构填料来取代直接采用导电填料。因为不导电的外壳可在导电的核之间作为电阻挡层，形成连续的颗粒间阻挡层网络，从而得到高 $k$ 值和低损耗。核-壳结构可以是原先固有的也可以通过合成制备，Xu 等人采用自钝化铝作为填料，研发了一种高 $k$ 值聚合物复合材料。金属铝核上的自钝化绝缘氧化铝层对相应的复合材料介电性能具有极大影响。对于含有重量为 80% 的铝基复合材料，得到的 $k$ 值为 109，并且具有较低的介电损耗，在 10kHz 时大约为 0.02[66]。Shen 等人报道了一种包含核-壳混合颗粒的新型聚合物复合材料，具体方法就是在银核上涂覆有机介电外壳。有机介电外壳作为颗粒间的阻挡层防止银颗粒间直接接触，并且有助于填料在聚合物基体中的分散，从而能够稳定地获得高 $k$ 值（$>300$）并具有较低的介电损耗（$<0.05$）[73]。

表面活性剂涂覆在纳米颗粒表面也能作为阻挡层，防止形成导电通路从而控制介电损耗。Qi 等人报道的银/环氧纳米复合材料中，银颗粒的含量为 22%（体积分数），40nm 银颗粒表面包覆一层巯基丁酸并随机分散在聚合物基体中，$k$ 值高达 308，并且在频率为 1kHz 时具有相对较低的介电损耗 0.55[72]。如图 14.17 所示，在浓度升高到 22%（体积分数）前，$k$ 值与介电损耗随着填料浓度增加而增加，随后 $k$ 值开始下降。这不是由于导电性变化，而是由于表面活性剂与溶剂残渣被吸收，从而在复合材料内形成了气孔，特别是在银含量较高的情况下。此外，没有发现介电损耗正切值的迅速增加。因此，观察到的最高 $k$ 值不能作为真正的浸透阈值，并且表面活性剂涂层阻止了形成导电填料网络。

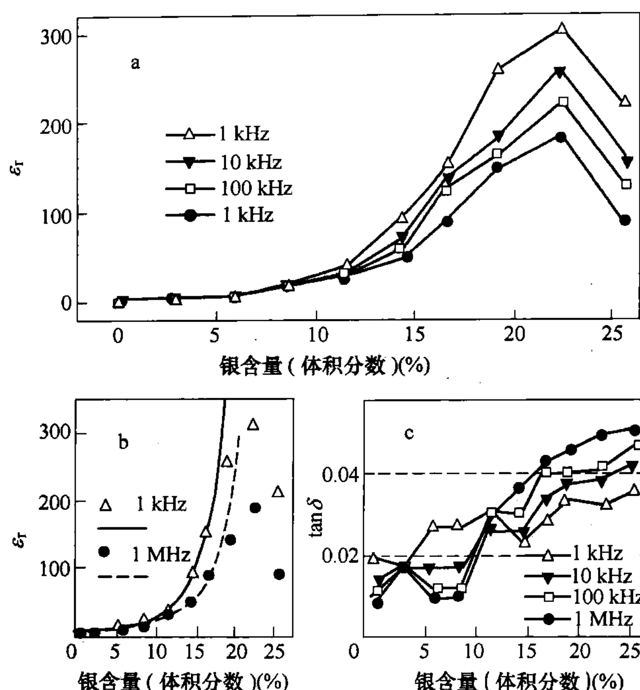



图 14.17　介电常数和电介质损耗正切值与银体积含量和频率的关系[72]

通过有机分子对纳米颗粒进行表面改性可用于改变纳米颗粒表面的化学性能，并因此使纳米颗粒与聚合物基体间产生交互作用。通过表面改性，纳米颗粒表面涂层具有降低介电损耗并增强介电击穿能量的能力。其原因在于表面改性阻止了金属核之间的直接接触，在颗粒间形成了电阻挡层。因此，纳米颗粒表面改性被认为是改变纳米颗粒表面及纳米颗粒与聚合物基体界面电性能的一种有效方法，可用于对所需的纳米复合材料性能进行调整[81,82]。

另外一种新方法，是利用金属纳米颗粒独特的性能来控制导电填料/聚合物复合材料的介电损耗。Lu 等人报道了在银/炭黑/环氧树脂复合材料中结合使用超小尺寸的银纳米颗粒来增加 $k$ 值和减少介电损耗，如图 14.18 所示。由于复合材料极性界面拓展面上的电荷积累，纳米复合材料的 $k$ 值大幅增加。介电损耗降低也许是由于含银纳米颗粒的库伦阻塞效应，这是一种很常见的金属纳

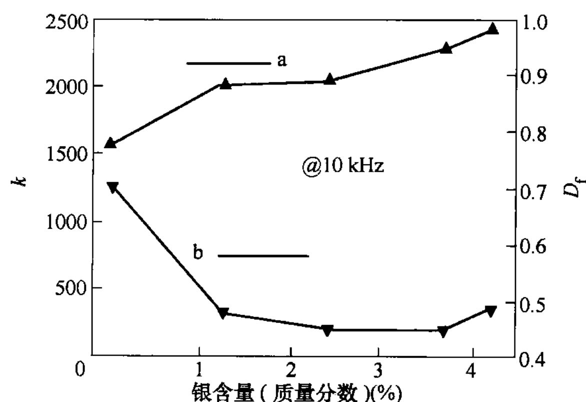



图 14.18　频率为 10kHz 时，不同含量银纳米颗粒 $k$ 值与 $D_f$ 变化[70]

米颗粒量子效应。除此之外，诱导剂的存在及其与金属前驱体的比值对纳米复合材料中的银纳米颗粒大小与分布具有很大影响，如图 14. 19 所示。较小的银纳米颗粒与较窄的尺寸分布导致更加明显的库伦阻塞效应，并因此降低了介电损耗[70]。

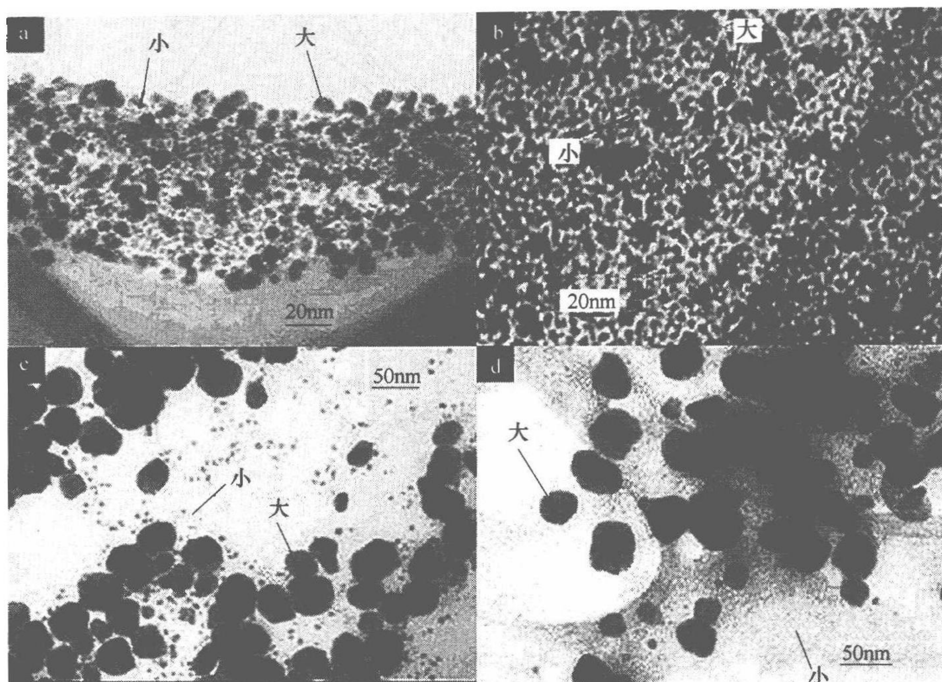



图 14. 19 诱导剂存在时各诱导剂/银颗粒比值 $R$ 环氧基体中纳米银颗粒的透射电子显微镜（TEM）照片

a）$R=1$ b）$R=0.6$ c）$R=0.4$ d）$R=0.2$

## 14. 2. 3 小结

总体来说，能够用于嵌入式电容器的高 $k$ 值介电材料需要具有高介电常数、低耗散因子、高热稳定性、制作工艺简单，并在很大的频率范围具有良好的介电性能。但目前还没有这样理想的材料能同时满足上述所有条件。纳米复合材料有可能满足现在和将来的技术需求，因此进行了广泛研究。各种为了获得高介电性能材料的研究努力，都是为了获得最大的电感密度，提高介电常数并降低介电损耗。改善这些材料总体介电性质的几种技术包括：1）优化介电材料配方，对于陶瓷-聚合物纳米复合材料，增加高介电常数陶瓷的掺加比例；对于导电填料纳米复合材料，尽可能掺入接近渗透阈值比例的导电填料；2）改善导电体形态，如填料尺寸与分布，在聚合物基体中的包覆与分散性；3）利用适当工艺降低介电薄膜厚度；4）改善填料在聚合物基体中的扩散界面，降低复合材料介电损耗。

# 14.3 嵌入式电阻

## 14.3.1 前言

电阻在高频电路中有很多应用，如衰减器、端接负载、功率分配器与振荡器等。对于一些应用，电阻主要起上拉和下拉作用，需要电阻值在 1 ~ 40kΩ 范围内，广泛使用的端接负载电阻的电阻值为 50Ω 或更低。然而与表面组装技术（SMT）相比，制备嵌入式电阻在标准化、工艺产出与工艺容限及成本方面存在许多问题。分立器件不存在这样的问题，表面组装器件也在朝着提高性能、降低引脚尺寸方向发展，尺寸小到 0201 的已经投入使用，01005 的即将投入使用。

制备嵌入式电阻既可使用厚膜工艺，也可使用薄膜工艺。厚膜电阻通常为金属氧化物，采用丝网印制或类似工艺[83,84]。这种沉积工艺可能会在薄膜上产生缺陷，随着时间延长造成不稳定性。薄膜工艺使用不同种类的金属合金，通过溅射工艺制备厚度为几千埃的均匀薄膜。薄膜工艺常用于制备微波电阻，但是溅射工艺所需要的真空条件限制了溅射面积，从而极大地增加了薄膜电阻的成本。另一种方法涉及在承载基板上应用商用的电阻薄膜[85-88]。与表面组装器件不同，将电阻集成到基板中可以减小系统的体积与重量，不需要使用分立器件和组装工艺，增强电性能与可靠性，降低总的制作成本[89,90]。

嵌入式电阻的关键参数如下：

1）较低的电阻温度系数（Temperature Coefficient of Resistance，TCR）（ $<50\times10^{-6}/℃$ ）

2）高频稳定性，可达 40GHz

3）低成本

4）与 PCB（印制电路板）兼容的材料和工艺

5）能承受高功率（ $>10W/cm^2$ ）

6）高可靠性（ $\Delta R<5\%$ ），满足 JEDEC 标准

7）方块电阻范围广（从 $5\Omega/cm^2$ 到大于 $1000\Omega/cm^2$ ）

8）可以与电感 $L$ 和电容 $C$ 集成在同一层

9）不对齐时工艺容忍度为 10% ~15% 时，对齐时为 1% ~5%

10）较高的成品率，大于 99%

但是，要满足这些目标还存在一些困难，下面将具体讨论。

## 14.3.2 技术障碍

### 14.3.2.1 设计

制作电阻首先需要分开设计器件，然后将设计好的器件集成到一个系统中[90]。

为了满足布局和生产要求，根据简单的设计规则可以确定大多数电阻的形状与位置。然而，自动化软件往往局限于检查掩埋层的最小尺寸与净空。对频率敏感的嵌入式电阻而言，考虑到成本与新产品开发效率，限制了采用“从试验到错误到修正”的多次循环设计，使缺少具有电气模拟与仿真功能的CAD/CAM系统成为主要障碍。

在数据总线性能大于2GHz时钟频率的新型高端系统（超级服务器与工作站）中，达到优于1%精度的能力非常关键[90]。在这些系统中，为了防止信号反射，确保信号清晰完整，电阻必须接近“完美”，并能与电路板上导线的阻抗精确匹配。由于设计速度加快及电路板设计要求越来越复杂，建模变得越来越重要。

#### 14.3.2.2 材料特性

根据现有的路线图[90]，电阻值的应用范围非常大（从接近1Ω到大于200MΩ）。目前，还没有一种单一材料可以在满足性能要求的条件下覆盖整个电阻值范围。薄膜材料具有很好的稳定性，但仅限于低电阻率和中等精度。因此对于需要更高电阻值（多数移动产品要求）与更高精度（大于10%）的应用，研发新材料十分关键。公差小于5%的电阻需要进行阻值修正，因此积累起来的总成本非常可观。电阻温度系数（TCR）也是一个重要参数，需要低于$50\times10^{-6}/℃$，对于高电阻值的电阻，目前这是不可能的。要求材料的功率密度为$10W/in^2$或更高，短期内是足够的，但随着电阻密度的增加，此功率密度有可能不足。

#### 14.3.2.3 工艺优化

电阻材料大致可以分为厚膜材料与薄膜材料两类。薄膜通常沉积在基板上达到所需厚度满足特定的方块电阻要求。这些电阻通过一系列包括印制与刻蚀工艺在内的减法技术进行图形化。作为一种金属导体，薄膜电阻具有优良的性能与可靠性，然而，单层电阻值的范围则受到单一方块电阻的限制，蛇形图案可用于获得高电阻值[90]。偏平方设计可用于消除阵列封装的引脚电阻，偶尔也需要采用多层结构制作低阻值和高阻值电阻。厚膜电阻通常采用加法工艺制备，其优点是方块电阻高，可以超过$1000Ω/cm^2$。加法工艺可在同一层上制备出不同的方块电阻，但是厚膜聚合物不具有薄膜金属合金的稳定性。

处于研发阶段的几种材料需要采用新型的电路板制造工艺。因为嵌入式电阻不能维修，每个器件的废品率必须非常低[90]。具有多层结构的嵌入式电阻需要采用不同的材料，因此希望加工这些材料的工具不能相差太远。随着层数增加，因为大量投资已经投入到前面层的制作，每一层与前一层相比变得越来越贵。因此，必须找到能将电阻$R$、电感$L$和电容$C$制作在同一层的材料和工艺，从而可以降低层数与成本。

快速制作原型也许是最重要的技术瓶颈，修正电阻值与位置的时间周期可以缩短到72h[90]。因为器件都掩埋在内核中，生产过程中与生产完成后能够有效检测出任何失效的方法技术是另一个瓶颈。

在无铅组装中，组装温度要比有铅的高得多，电阻值不能在短暂暴露于大于250℃的温度下而受到影响。对于薄膜电阻而言，这不是一个问题，但对于聚合物厚膜（PTF）电阻，较高的组装温度可能是个麻烦。

### 14.3.3　电阻基础

电阻通过阻碍流过其本身的电荷来控制电流[91]，通常电阻包含一个电阻条，在其两端各有一个导电焊盘，如图 14.20 所示。

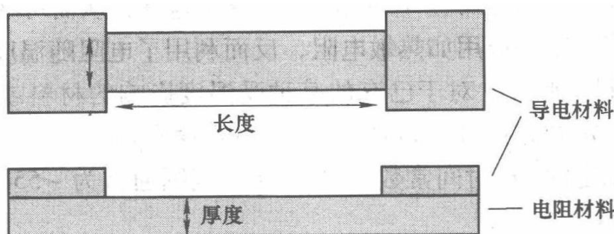



图 14.20　常见电阻的几何结构

电阻的单位是 Ω，表示在多大程度上电阻能抑制或抵抗电流的流动。电阻通过下式来计算：

$$R = \frac{\rho L}{Wd} \tag{14.14}$$

式中，$R$ 为电阻值（Ω）；$\rho$ 为材料电阻率（Ω · cm）；$L$ 为电阻条长度（cm）；$W$ 为电阻条宽度（cm）；$d$ 为电阻条厚度（cm）。式（14.14）表明，电阻值取决于材料的电阻率和电阻条的几何尺寸。提高电阻值可以通过使用高电阻率材料，增加电阻条长度及减少电阻条横截面来实现。电阻率是材料的一种固有属性，取决于材料的组成与微观结构。

方块电阻是一块正方形电阻条的电阻，是另一种常用的表示电阻的方法，公式如下：

$$R = \frac{\rho}{d}\frac{L}{W} = R_s N_s \tag{14.15}$$

式中，$R_s$为方块电阻（$\Omega/cm^2$）；$N$ 是方块数（$cm^2$）。只要 $L$ 与 $W$ 的比值或称方块数相同，电阻值就不会变化。决定每个方块面积多大取决于几个参数，如实际电阻面积、散热情况、加工精度、寄生电容、驻波、内反射及电阻与互连线界面的反射[90,91]。

通常，散热情况与加工精度是最重要的参数。接上电源后，电流流过电阻，大部分能量是以热的形式消耗掉了。如果产生了太多的热量，电阻就会永久性损坏。因此，必须增加电阻面积来提高散热能力，加工精度也是这样。其他参数如寄生电容对高频应用可能是个问题，应该避免采用长蛇形电阻来降低寄生电感。在大多数

情况下应该加大电阻的引脚尺寸，降低方块数，从而优化电阻性能与可靠性。

电阻温度系数（TCR）与电阻电压系数（VCR）分别表示电阻随温度和电压变化的情况，即

$$\mathrm{TCR}=\frac{1}{R_{\mathrm{T1}}}\frac{R_{\mathrm{T2}}-R_{\mathrm{T1}}}{T_2-T_1} \tag{14.16}$$

$$\mathrm{VCR}=\frac{1}{R_{\mathrm{v1}}}\frac{R_{\mathrm{v2}}-R_{\mathrm{v1}}}{V_2-V_1} \tag{14.17}$$

对于大多数应用，当然希望 TCR 和 VCR 越小越好，从而可在任何应用条件下获得稳定的电阻值。某些应用如热敏电阻，反而利用了电阻随温度变化的特性，需要采用高 TCR 材料。此外，对于已有的某种受温度影响的材料或部件。TCR 有时故意设计为存在一定的偏移量。如 *RC* 网络的电容通常随着温度增加，因此负 TCR 可用来保持一个稳定的 *RC* 时间常数。测量 TCR 范围通常为 -55 ~ 125℃，而 VCR 范围通常为 5 ~ 50V。

## 14.3.4 材料与加工技术

用于嵌入式电阻的材料体系大体上可以分为金属、合金、半导体、金属陶瓷和聚合物厚膜[91]。从工艺角度而言，这些材料体系又可以分为薄膜、印制膜与电镀膜。金属电阻、陶瓷金属纳米复合材料与碳填充聚合物是常用的电阻材料[92]。表 14.5 给出了一些目前最新的嵌入式电阻材料实例[83,90]。

表 14.5 嵌入式电阻实例[83,89]

| 公司/机构 | 材 料 | 方 法 | 电阻范围 /(Ω/cm²) | TCR /(10⁻⁶/℃) |
|---|---|---|---|---|
| 韩国 Intarsia 公司 | | | 10 ~ 100 | |
| 美国波音（Boeing）公司 | $Ta_2N$ | | 20 | |
| 日本电报电话（NTT）公司 | | 溅射 | | ±100 |
| 美国通用电子（GE）公司 | | | 25 ~ 125 | -100 ~ -75 |
| 日本大阪（Osaka）大学 | | 聚合物厚膜工艺 | 与导电层绝缘 | |
| 美国埃奇森（Acheson）公司 | 导电聚合物复合材料 | | | |
| 日本旭道（Ashai-Dow）化学公司 | | | | |
| 美国（W R Grace）公司 | | | | |
| 美国道康宁（DOW Corning）公司 | | | | |
| 美国瑞侃（Raychem）公司 | | | | |
| 美国 Ormet 公司 | | | | |

（续）

| 公司/机构 | 材 料 | 方 法 | 电阻范围 ($\Omega/cm^2$) | TCR ($10^{-6}$/℃) |
|---|---|---|---|---|
| 美国 Ohmega 公司 | NiP 合金 | 电镀 | 25 ~ 100 | |
| 新加坡微电子所 | TaSi | 直流溅射 | 10 ~ 40 | |
| 美国 LSI Logics 公司 | | | 8 ~ 20 | |
| 美国阿肯色大学/美国 Sheldahl 公司 | CrSi | 溅射 | | 约 40 |
| 美国 W L Gore 公司 | TiW | 溅射 | 2.4 ~ 3.2 | |
| 英国希普利（Shipley）公司 | 铜箔上掺杂 Pt | PECVD | 最高 1000 | 100 |
| 德国宇航美国（Deutsche Aerospace）公司 | NiCr | 溅射 | 35 ~ 100 | |
| 美国 GOULD 电子公司 | NiCr，NiCrAlSi | | 25 ~ 100 | |
| 佐治亚理工学院 | Ni-W-P | | 10 ~ 500 | |
| 美国 MacDermid 公司 | NiP | 化学镀 | 25 ~ 100 | |
| 美国杜邦（DuPont）公司 | $LaB_6$ | 丝网印制与薄膜转移 | 最高 10000 | ±200 |

大多数电阻合金用于制备低阻值电阻，它们通常采用溅射，但是也可以采用电镀或化学镀进行制备。NiCr、NiCrAlSi、CrSi、$TiN_xO_y$ 和 $TaN_x$ 都是可选的电阻合金[89]。NiCr 和 NiCrAlSi 箔都可以直接从美国 Gould 电子公司购买，它们可提供的方块电阻为 25 ~ 250Ω/cm²，并具有相对较低的 TCR。$TaN_x$ 是另一种受到关注的电阻合金，通过氮气环境下 Ta 的反应溅射获得稳定的电阻率，可以达到 250μΩ · cm，TCR 为 $-75\times10^{-6}$/℃[93]。通过溅射制备的 $TiN_xO_y$ 具有相对较高的电阻率，5kΩ · cm，TCR 为 $\pm100\times10^{-6}$/℃[94]。美国 Ohmega 公司和美国 MacDermid 公司的 M-Pass 是一些技术上成熟的商用电镀 Ni 基合金电阻，方块电阻分别为 250Ω/cm² 和 100Ω/cm²。Insite（美国罗门哈斯（Rohm and Haas）公司产品）是通过燃烧化学气相沉积（CVD）法在铜中掺杂 Ti 制成的箔，其方块电阻为 500 ~ 1000Ω/cm²，材料误差为 10%，TCR 为 $200\times10^{-6}$/℃。电阻的图形化涉可采用简单的印制与刻蚀工艺制备。

超过 100kΩ 的高阻值电阻可采用陶瓷金属纳米复合材料制备，又称为金属陶瓷[83]。这些电阻通常用于陶瓷外壳中，但也可以在较低温度下溅射制作在有机外壳上。最常用的金属陶瓷是 Cr-SiO，根据 Cr 与 SiO 比值的不同，其电阻率可达到 10mΩ · cm，TCR 接近于零，并具有良好的稳定性[83]。美国杜邦公司 Interra 是一种采用硼化镧（$LaB_6$）的陶瓷厚膜电阻材料，在 TCR 为 $\pm200\times10^{-6}$/℃ 时的方块电阻高达 10kΩ/cm²，这种材料在陶瓷外壳中使用了很多年，性能非常稳定并且可靠。制作电阻箔首先是对铜箔进行预处理，通过对铜箔/玻璃膏体的预处理提高铜

与 $LaB_6$ 间的粘接力，随后 $LaB_6$ 膏体通过丝网印制涂覆在铜箔上并在 900℃下进行烧结，以激活电阻材料。烧结后的薄膜厚度为 14 ~ 18μm，裁剪前的材料加工误差为 15%。

聚合物厚膜（Polymer Thick Film，PTF）通过在液态树脂中填充金属或碳颗粒来获得一定的方块电阻值，包括美国 W R Grace 公司和日本旭道（Ashai-Dow）化学公司在内的很多供应商都提供 PTF，以相对较低的成本获得从 $1\Omega/cm^2$ 到 $10^7\Omega/cm^2$ 的方块电阻。PTF 通常以液态形式存在，易于采用丝网印制和压印工艺制备，并具有相对较低的固化温度[95]，但在加工精度、稳定性与可靠性方面存在一些不足。由于 CTE 失配，聚合物与铜的界面氧化后容易分层或开裂，导致电阻值漂移[83]。在填充碳的电阻墨水上沉积 PTF 的剥离工艺例子如图 14.21 所示。

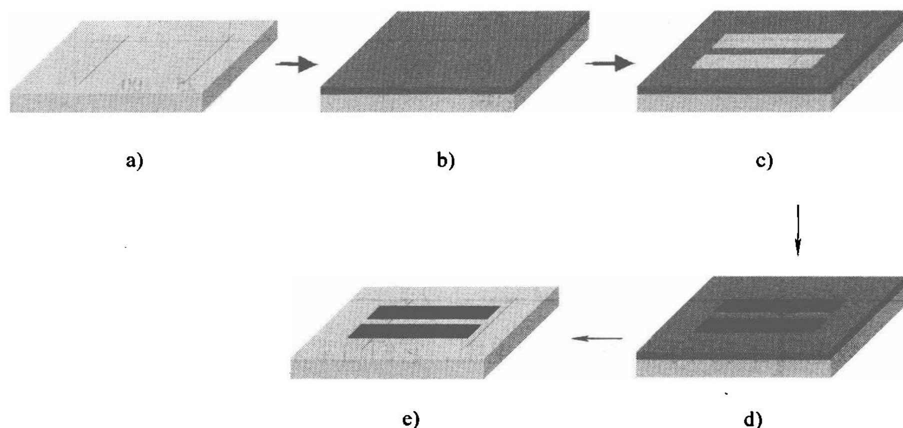


图 14.21　在印制线路板（PWB）上制作 PTF 电阻的剥离工艺示意图
a）表面处理含铜/电阻焊盘的电路板　b）涂覆光刻胶　c）光刻胶曝光与显影
d）应用 PTF 材料，软固化　e）剥离光刻胶，固化 PTF

薄膜电阻也可以采用直接化学镀方法制备，利用 PCB 制造业的相关设备，不需要额外的投资，在非导电基板上化学镀需要进行表面活化与激活。通常将氯化锌（$SnCl_2$）和氯化钯（$PdCl_2$）溶解在稀盐酸（HCl）中分别作为活化剂与催化剂[96-99]。由于大多数聚合物可以承受较低的 pH 值，所以通常使用酸性的次磷酸盐溶液。化学镀工艺获得的电阻厚度均匀，一般在亚微米量级，表面平整度好，粘附性强。测量的方块电阻在 $10\Omega/cm^2$ 左右，Ni 合金镀层的厚度为 2000 ~ 5000Å。不改变电镀液的 pH 值，化学镀也可以在室温进行[100]。

美国 MacDermid 公司可购买到在环氧树脂上经过工艺优化的化学镀电阻商品[1]。Chahal 等人描述了频率高达 15GHz 时，在环氧树脂表面化学镀 NiP 和 NiWP 的性能[98]。如图 14.22 所示，高频测试中使用了 HP8510C 矢量网络分析仪和间距为 200μm 的地面-信号-地面（G-S-G）共面波导探针。如图 14.22b 所示，不同的

结构具有不同的方块电阻与电阻值。NiWP 的电阻温度系数几乎为零，给电路设计人员带来了很大的方便。化学镀 NiP 和 NiWP 电阻同样可在液晶聚合物（LCP）和苯丙环丁烯基（BCB）基板上制备[99]。

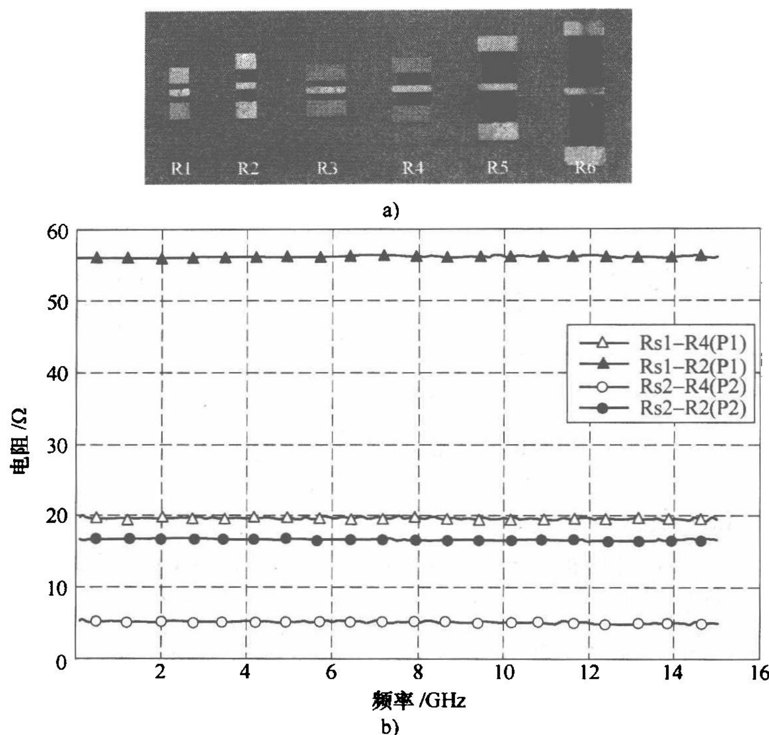



图 14.22　电阻测试[98]

a）G-S-G 电阻结构的光学显微照片，黑色为 NiP/NiWP 电阻薄膜　b）测量结果

## 14.3.5　射频产品中 LCP 上的薄膜电阻

与其他微波有机电介质相比，液晶聚合物（LCP）的主要优势在于，毫米波频率下的介电损耗低（$\tan\delta = 0.002 \sim 0.005$）、气密性好（吸水率 $<0.04\%$）、成本相对较低、热膨胀系数与硅或砷化镓及印制线路板匹配。同时，LCP 也是一种柔性材料，允许将正方形 RF 模块安装在非垂直或非平面的 LCP 表面。此外，由于两种 LCP 材料具有不同的熔点，可以利用 LCP 制作多层电路。因此，可通过垂直集成来增加功能并节省空间。LCP 可为频率在 2～75GHz 范围的有机物应用提供解决方案[87]。

Horst 等人设计、加工和描述了 LCP 上的多层薄膜电阻[86-88]。一些 GSG 结构加工利用了制造商提供的工艺。作者利用 HFSS（美国 Ansoft 公司）软件场求解器模型建立了测量值的模型。图 14.23 给出了频率从 2～40GHz 范围内的理想值和修正

后的模拟值。理想值使用从理论尺寸计算出来的电阻值，为了消除误差，修正值采用加工电阻的测量尺寸取代理想尺寸后的计算电阻值。电阻尺寸越小，越难以进行精确刻蚀，从而与理想值间存在很大偏差。但是，一旦测量到了这种偏差，实际电阻值就非常接近模型预测值。

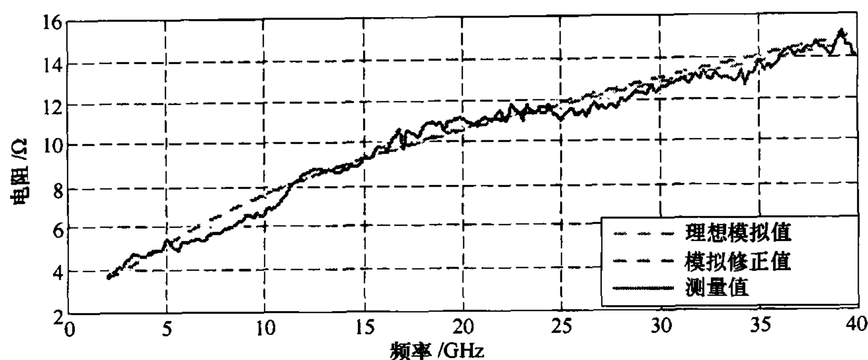



图 14.23 电阻与频率关系图[86]

为了使 50Ω 的负载在最宽频率范围内具有最小寄生响应，作者模拟了不同的端点结构设计[86]。采用共面波导（Coplanar Wareguide，CPW）拓扑结构获得了最佳响应特性，采用电阻箔设计和加工了衰减器，设计了频率范围从 X 带跨越到 W 带的 Wilkinson 功率分配器。在 X 带，电路产生 0.3dB 的额外插入损耗、19dB 隔离度和 50% 带宽；在 W 带，电路产生 0.75dB 的额外插入损耗、24dB 隔离度和 39% 带宽[88]。Grzyb 等人报告了在低损耗 LCP 和 BCB 基板上，通过沉积 NiCr 薄膜电阻与 $Ta_2O_5$ 电容制备 Wilkinson 功率分配器、不平衡变压器、带通滤波器和支线耦合器。这些设计的单元器件具有良好的性能并与全波模拟结果十分吻合[101]。

### 14.3.6 小结

本节讨论了嵌入式电阻设计、封装与材料方面的问题。薄膜电阻在电子系统小型化中扮演着非常重要的角色。与嵌入式电容和嵌入式电感相比，目前的嵌入式电阻技术已经相当成熟，但为了满足未来的技术需要，要有开发新的电阻材料并优化制作工艺。

## 致谢

作者感谢美国国家科学基金、美国英特尔公司、美国国家半导体公司与美国斯坦福研究生基金（L. Li）对本项研究工作的资助。许多前期的研究工作是与 A. M. Crawford，D. Gardner，G. Vandentop，H. Braunisch，R. Nair，K-P Hwang，Y. Min，M. Mao，T. Schneider，R. Bubber 等合作完成的。另外还要感谢美国 Ansoft 公司的软件授权。

# 参考文献


1. Ulrich RK, Schaper LW (2003) Integrated passive component technology. IEEE Press, Wiley-Interscience, Hoboken, NJ, USA
2. Prymark J, Bhattacharya S, Paik K, Tummala RR (2001) Fundamentals of microsystems packaging. McGraw-Hill, New York
3. www.johansontechnology.com; www.vishay.com.
4. Yue CP, Ryu C, Lau J, Lee TH, Wong SS (1996) A physical model for planar spiral inductors on silicon. IEEE Int Electron Devices Meeting, San Francisco, pp 155–158
5. Mohan SS, Yue CP, Hershenson M, Lee TH, Wong SS (1998) Modeling and characterization of on-chip transformers. IEEE Int Electron Devices Meeting, San Francisco, pp 531–534
6. Mohan SS, Hershenson M, Boyd SP, Lee TH (1999) Simple accurate expressions for planar spiral inductances. IEEE J Solid-state Circuits 34:1419–1424
7. Lee TH (2004) The design of CMOS radio-frequency integrated circuits, 2nd edn. Cambridge University Press, New York
8. Soohoo RF (1979) Magnetic thin film inductors for integrated circuit applications. IEEE Trans Magn 15:1803–1805
9. Gardner DS, Schrom G, Hazucha P, Paillet F, Karnik T, Borkar S (2007) Integrated on-chip inductors with magnetic films. IEEE Trans Magn 43:2615–2617
10. Prabhakaran S, Sullivan CR, Venkatachalam K (2003) Measured electrical performance of V-groove inductors for microprocessor power delivery. IEEE Trans Magn 39:3190–3192
11. Crawford AM, Gardner DS, Wang SX (2002) High-frequency microinductors with amorphous magnetic ground planes. IEEE Trans Magn 38:3168–3170
12. Viala B, Couderc S, Royet AS, Ancey P, Bouche G (2005) Bidirectional ferromagnetic spiral inductors using single deposition. IEEE Trans Magn 41:3544–3549
13. Zhuang Y, Rejaei B, Boellaard E, Vroubel M, Burghartz JN (2003) Integrated solenoid inductors with patterned sputter-deposited Cr/Fe10Co90/Cr ferromagnetic cores. IEEE Electron Device Lett 24:224–226
14. Lee DW, Hwang KP, Wang SX (2008) Fabrication and analysis of high-performance integrated inductor with magnetic core. IEEE Trans Magn 44
15. Kittel C (1996) Introduction to solid state physics, 7th ed. Wiley, New York
16. O'Handley RC (1999) Modern magnetic materials: principles and applications. Wiley, New York
17. Riet EV, Roozeboom F (1997) Ferromagnetic resonance and eddy currents in high-permeable thin films. J Appl Phys 81:350–354
18. Lee DW, Wang SX (2006) Multiple magnetic resonances in permeability spectra of thick CoTaZr films. J Appl Phys 99:08F109-1-3
19. Yamaguchi M, Baba M, Arai KI (2001) Sandwich-type ferromagnetic RF integrated inductor. IEEE Trans Microwave Theory and Tech 2331–2335
20. Shirakawa K, Kurata H, Kasuya M, Ohnuma S, Toryu J, Murakami K (1993) Thin film inductor with multilayer magnetic core. IEEE Transl J Magn Jpn 169–176
21. Kurata H, Shirakawa K, Nakazima O, Murakami K (1994) Solenoid-type thin-film micro-transformer. IEEE Transl J Magn Jpn 9:90–94
22. Li L, Crawford AM, Wang SX, Marshall AF, Mao M, Thomas S, Bubber R (2005) Soft magnetic granular material Co-Fe-Hf-O for micromagnetic device applications. J Appl Phys 97:10F907-1-3
23. Shimada Y, Yamaguchi M, Ohnuma S, Itoh T, Li WD, Ikeda S, Kim KH, Nagura H (2003) Granular thin films with high RF permeability. IEEE Trans Magn 39:3052–3056
24. Li L (2007) Nanogranular soft magnetic materials and on-package integrated inductors. Ph.D thesis, Stanford University, Stanford, CA, USA
25. Sun NX, Wang SX, Silva TJ, Kos AB (2002) High-frequency behavior and damping of

Fe-Co-N-based high-saturation soft magnetic films. IEEE Trans Magn 38:146–150
26. Ikeda K, Kobayashi K, Fujimoto M (2002) Multilayer nanogranular magnetic thin films for GHz applications. J Appl Phys 92:5395–5400
27. Ohnuma S, Kobayashi N, Masumoto T, Mitani S, Fujimori H (1999) Magnetostriction and soft magnetic properties of $(Co_{1-x}Fe_x)$-Al-O granular films with high electrical resistivity. J Appl Phys 85:4574–4576
28. Thompson MT (1999) Inductance calculation techniques – Part II: Approximations and handbook methods. Power Control and Intelligent Motion 25:40–45
29. Li L, Lee DW, Wang SX, Hwang KP, Min Y, Mao M, Schneider T, Bubber R (2007) Tensor nature of permeability and its effects in inductive magnetic devices. IEEE Trans Magn 43:3168–3170
30. Ansoft Corporation (2007) Ansoft student licensing program, Pittsburg
31. Lee DW, Wang SX (2008) Effects of geometries on permeability spectra of CoTaZr magnetic cores for high frequency applications. J Appl Phys 103:07E907-1-3
32. Chen DX, Pardo E, Sanchez A (2002) Demagnetizing factors of rectangular prisms and ellipsoids. IEEE Trans Magn 38:1742–1752
33. Chen DX, Pardo E, Sanchez A (2005) Demagnetizing factors for rectangular prisms. IEEE Trans Magn 41:2077–2088
34. Riet EV, Klaassens W, Roozeboom F (1997) On the origin of uniaxial anisotropy in nanocrystalline soft-magnetic materials. J Appl Phys 81:806–814
35. Li L, Wang SX, Hwang KP, Min Y, Mao M, Schneider T, Bubber R (2006) Package compatibility and substrate dependence of granular soft magnetic material CoFeHfO developed by reactive sputtering. J Appl Phys 99:08M301-1-3
36. Li M, Wang GC, Min HG (1998) Effect of surface roughness on magnetic properties of Co films on plasma-etched Si(100) substrates. J Appl Phys 83:5313–5320
37. Harrington RF (1961) Time-harmonic electromagnetic fields. McGraw-Hill, New York
38. Fukuda Y, Inoue T, Mizoguchi T, Yatabe S, Tachi Y (2003) Planar inductor with ferrite layers for DC-DC converter. IEEE Trans Magn 39:2057–2061
39. Brandon EJ, Wesseling E, White V, Ramsey C, Del Castillo L, Lieneweg U (2003) Fabrication and characterization of microinductors for distributed power converters. IEEE Trans Magn 39:2049–2056
40. Yamaguchi M, Bae S, Kim KH, Tan K, Kusumi T, Yamakawa K (2005) Ferromagnetic RF integrated inductor with closed magnetic circuit structure. IEEE MTT-S Int Microwave Symp Digest, Long Beach, pp 351–354
41. Frommberger M, Schmutz C, Tewes M, McCord J, Hartung W, Losehand R, Quandt E (2005) Integration of crossed anisotropy magnetic core into toroidal thin-film inductors. IEEE Trans Microw Theory Tech 53:2096–2100
42. Orlando B, Hida R, Cuchet R, Audoin M, Viala B, Pellissier-Tanon D, Gagnard X, Ancey P (2006) Low-resistance integrated toroidal inductor for power management. IEEE Trans Magn 42:3374–3376
43. Lee DW, Hwang KP, Wang SX (2008) Design and fabrication of integrated solenoid inductors with magnetic cores. 58th Electronic Components and Technology Conference, Lake Buena Vista, pp. 701–705
44. Brandon J, Wesseling E, Chang V, Kuhn W (2003) Printed microinductors and flexible substrates for power applications. IEEE Trans Comp Package Technol 26: 517–523
45. Waffenschmidt E, Ackermann B, Wille M (2005) Integrated ultra thin flexible inductors for low power converters. IEEE 36th Power Electronics Specialists Conf. (PESC '05), Recife, pp 1528–1534
46. Sato F, Ono T, Wako N, Arai S, Ichinose T, Oba Y, Kanno S, Sugawara E, Yamaguchi M, Matsuki H (2004) All-in-one package ultracompact micropower module using thin-film inductor. IEEE Trans Magn 40:2029–2031
47. Li L, Lee DW, Hwang KP, Min Y, Hizume T, Tanaka M, Mao M, Schneider T, Bubber R, Wang SX. Small Resistance and High Q Magnetic Integrated Inductors on PCB. Submitted to IEEE Trans Adv Pack
48. Li L, Lee DW, Mao M, Schneider T, Bubber R, Hwang KP, Min Y, Wang SX (2007)

High-frequency responses of granular CoFeHfO and amorphous CoZrTa magnetic materials. J Appl Phys 101:123912-1-4
49. Ghahary A (2004) Fully integrated DC-DC converters. Power Electronics Technology:24–27
50. Tohge N, Takahashi S, Minami T (1991) Preparation of $PbZrO_3$-$PbTiO_3$ ferroelectric thin films by the sol-gel process. J Am Ceramic Soc 74(1):67–71
51. Gregorio R, Cestari M, Bernardino FE (1996) Dielectric behavior of thin films of beta-PVDF/PZT and beta-PVDF/$BaTiO_3$ composites. J Mater Sci 31:2925–2930
52. Bai Y, Cheng ZY, Bharti V, Xu HS, Zhang QM (2000) High-dielectric-constant ceramic-powder polymer composites. Appl Phys Lett 76:3804–3806
53. Mazur K (1995) Polymer-ferroelectric ceramic composites in ferroelectric polymers: chemistry, physics, and applications. In: Nalwa HS (ed) Marcel Dekker Inc., New York
54. Dasgupta DK, Doughty K (1988) Polymer-ceramic composite materials with high dielectric constants. Thin Solid Films 158:93–105
55. Liang S, Chong S, Giannelis E (1998) Barium titanate/epoxy composite dielectric materials for integrated thin film capacitors. Proceedings of 48th Electronic Components and Technology Conference, pp 171–175
56. Windlass H, Raj PM, Balaraman D, Bhattacharya SK, Tummala RR (2001) Processing of polymer-ceramic nanocomposites for system-on-package applications. Proceedings of the 51st Electronic Components and Technology Conference, pp 1201–1206
57. Rao Y, Ogitani S, Kohl P, Wong CP (2002) Novel polymer-ceramic nanocomposite based on high dielectric constant epoxy formula for embedded capacitor application. J Appl Polymer Sci 83:1084–1090
58. Dang ZM, Lin YH, Nan CW (2003) Novel ferroelectric polymer composites with high dielectric constants. Adv Mater 15:1625–1629
59. Cho SD, Lee JY, Hyun JG, Paik KW (2004) Study on epoxy/$BaTiO_3$ composite embedded capacitor films (ECFs) for organic substrate applications. Mater Sci Eng B 110(3):233–239
60. Zhang QM, Bharti V, Zhao X (1998) Giant electrostriction and relaxor ferroelectric behavior in electron-irradiated poly(vinylidene fluoride-trifluofoethylene) copolymer. Science 280:2101–2104
61. Rao Y, Wong CP (2004) Material characterization of a high-dielectric-constant polymer-ceramic composite for embedded capacitor for RF applications. J Appl Polymer Sci 92:2228–2231
62. Arbatti M, Shan XB, Cheng ZY (2007) Ceramic-polymer composites with high dielectric constant. Adv Mater 19:1369–1372
63. Kim P, Jones SC, Hotchkiss PJ, Haddock JN, Kippelen B, Marder SR, Perry JW (2007) Phosphonic acid-modified barium titanate polymer nanocomposites with high permittivity and dielectric strength. Adv Mater 19:1001–1005
64. Rao Y, Wong CP, Xu J (2005) Ultra high k polymer metal composite for embedded capacitor application. US Patent 6864306
65. Pecharroman C, Moya JS (2000) Experimental evidence of a giant capacitance in insulator-conductor composites at the percolation threshold. Adv Mater 12:294–297
66. Xu J, Wong CP (2005) Low loss percolative dielectric composite. Appl Phys Lett 87:082907
67. Dang ZM, Shen Y, Nan CW (2002) Dielectric behavior of three-phase percolative Ni–$BaTiO_3$/Polyvinylidene fluoride composites. Appl Phys Lett 81:4814–4816
68. Choi HW, Heo YW, Lee JH, Kim JJ, Lee HY, Park ET, Chung YK (2006) Effects of $BaTiO_3$ on dielectric behavior of $BaTiO_3$-Ni-polymethylmethacrylate composites. Appl Phys Lett 89:132910
69. Xu J, Wong CP (2004) Super high dielectric constant carbon black-filled polymer composites as integral capacitor dielectrics. Proceedings of the 54th IEEE Electronic Components and Technology Conference, Las Vegas, NV, USA, pp 536–541
70. Lu J, Moon KS, Xu J, Wong CP (2006) Synthesis and dielectric properties of novel high-K polymer composites containing in-situ formed silver nanoparticles for embedded

capacitor applications. J Mater Chem 16(16):1543–1548
71. Lu J, Moon KS, Wong CP (2006) Development of novel silver nanoparticles/polymer composites as high k polymer matrix by in-situ photochemical method. IEEE Proceedings of the 56th Electronic Components and Technology Conference, San Diego, CA, pp 1841–1846
72. Qi L, Lee BI, Chen S, Samuels WD, Exarhos GJ (2005) High-dielectric-constant silver-epoxy composites as embedded dielectrics. Adv Mater 17:1777–1781
73. Shen Y, Lin Y, Li M, Nan C-W (2007) High Dielectric performance of polymer composite films induced by a percolating interparticle barrier layer. Adv Mater 19:1418–1422
74. Frechette MF, Trudeau ML, Alamdari HD, Boily S (2004) Introductory remarks on nanodielectrics. IEEE Transactions on Dielectrics and Electrical Insulation 11:808–818
75. Nicolais L, Carotenuto G (2005) Metal-polymer nanocomposites. John Wiley & Sons, Inc., Hoboken, New Jersey, USA
76. Uchino K, Sadanaga E, Hirose T (1989) Dependence of the crystal-structure on particle-size in $BaTiO_3$. J Am Ceramic Soc 72:1555–1558
77. Leonard MR, Safari A (1996) Crystallite and grain size effects in $BaTiO_3$. Proceedings of the IEEE 10th International Symposium on Ferroelectric Applications 2:1003–1005
78. Bhattacharya SK, Tummala RR (2000) Next generation integral passives: materials, processes, and integration of resistors and capacitors on PWB substrates. J Mater Sci: Mater Electron 11:253–268
79. Zhang QM, Li HF, Poh M, Xia F, Cheng ZY, Xu HS, Huang C (2002) An all-organic composite actuator material with a high dielectric constant. Nature 419:284–287
80. Wang J, Shen Q, Yang C, Zhang Q (2004) High dielectric constant composite of P(VDF-TrFE) with grafted copper phthalocyanine oligmer. Macromolecules 37: 2294–2298
81. Lu J, Wong CP (2007) Tailored dielectric properties of high-k polymer composites via nanoparticle surface modification for embedded passives applications. IEEE Proceedings of the 57th Electronic Components and Technology Conference, Reno, NV, USA, pp 1033–1039
82. Lu J, Wong CP Manuscript in preparation
83. Ulrich R, Schaper L (eds) (2003) Integrated passive component technology. IEEE Press, New York
84. Wasserman Y (1995) Integrated single-wafer RP solutions for 0.25-micron technologies. IEEE Trans-CPMT-A 17(3):346–351
85. Wang J, Davis MK, Hilburn R, Clouser S (2003) Power dissipation of embedded resistors. 2003 IPC Printed Circuits Expo, Long Beach, CA, USA, March 23–27
86. Horst S, Bhattacharya SK, Johnston S, Papapolymerou J, Tentzeris M (2006) Modeling and characterization of thin film broadband resistors on LCP for RF applications. 56th Electronic Components and Technology Conference, San Diego, CA, USA, pp 1751–1755
87. Horst S, Anagnostou D, Ponchak G, Tentzeris E, Papapolymerou J (2007) Beam-shaping of planar array antennas using integrated attenuators. 57th Electronic Components and Technology Conference, Reno, NV, USA, pp 165–168
88. Horst S, Bairavasubramanian R, Papapolymerou J, Tentzeris M (2007) Modified Wilkinson power divider for millimeter-wave integrated circuits. IEEE MTT 55(11): 2439–2446
89. Bhattacharya S, Tummala R (2000) Next generation integral passives: materials, processes, and integration of resistors and capacitors on PWB substrates. J Mater Sci: Mater Electron 11(3): 253–268
90. iNEMI 2004 Roadmap [www.iNEMI.org]
91. Halliday D, Resnick R, Walker J (1997) Fundamentals of physics. John Wiley & Sons, New York
92. Bhattacharya S (ed) (1986) Metal-filled polymers: properties and applications. Marcel Dekker, Inc., New York
93. Coates K, Chien CP, Hsiao YYR, Kovach DJ, Tang CH, Tanielian MH (1998) Development of thin film resistors for use in multichip modules. 1998 International Conference on Multichip Modules and High Density Packaging, IEEE, pp 490–495

94. Shibuya A, Matsui K, Takahashi K, Kawatani A (2001) Embedded TiNxOy thin-film resistors in a build-up CSP for 10 Gbps optical transmitter and receiver modules. Proceedings of the 51st Electronic Components and Technology Conference, pp 847–851
95. Lee KJ, Damani M, Pucha R, Bhattacharya SK, Sitaraman S, Tummala R (2007) Reliability modeling and assessment of embedded capacitors on organic substrates. IEEE Transactions on Component and Packaging Technology. 30(1):152–162
96. Koiwa I, Usada M, Osaka T (1990) Effect of heat-treatment on the structure and resistivity of electroless Ni-W-P alloy films. J Electrochem Soc 137(11):1222–1228
97. Aoki H (1991) Study of mass production of low Ohm metal film resistors prepared by electroless plating. IEICE Transactions E. 74(7):2049–2054
98. Chahal P, Tummala R, Allen M, White G (1998) Electroless Ni-P and Ni-W-P thin film resistors for MCM-L based technologies. ECTC 232–239
99. Bhattacharya SK, Varadarajan M, Chahal P, Jha G, Tummala R (2007) A novel electroless plating for embedding thin film resistors on BCB. J Electron Mater 36(3):242–244
100. Dhar S, Chakrabarti S (1996) Electroless Ni plating on n- and p-type porous Si for ohmic and rectifying contacts. Semicond Sci Technol 11:1231–1234
101. Grzyb J, Klemm M, Troster G (2003) MCM-D/L Technology for Realization of Low Cost System-on-Package Concept at 60–80 GHz. 33rd IEEE European Microwave Conference, Munich, Germany, pp 963–966

# 第 15 章　纳米材料与纳米封装

X. D. Wang，Z. L. Wang，H. J. Jiang，L. Zhu，C. P. Wong，J. E. Morris

**摘要**：本章首先简单回顾了纳米材料与纳米封装，然后对近年来纳米颗粒及其应用、纳米无铅焊料、碳纳米管（CNT）及其在互连、热管理、微系统集成等方面的应用进行了评述。同时，对垂直阵列 ZnO 纳米线（ZnO-NW）压电纳米发电机的工作原理、制造技术及封装进行了详细介绍，并对可能用于改进纳米发电机性能的组装技术进行了讨论。

**关键词**：纳米科技，纳米封装，纳米颗粒，纳米焊料，CNT，ZnO，纳米发电机，纳米线，压电陶瓷，半导体纳米材料。

## 15.1　纳米封装——微电子封装中的纳米科技

### 15.1.1　简介

纳米电子与“电子纳米技术”在将来的重要性已经被充分认识，并逐步成为工业界的主题，在政府的规划蓝图中也占据重要位置。纳米技术通常被定义为，关键的功能单元尺寸小于 100nm。实际上，随着 90nm 与 65nm CMOS 节点的出现，45nm 系统的商业化及 32nm 器件在实验室中被研制出来，我们现在早已步入纳米电子时代。当然，根据这个定义，由于其晶粒尺寸通常为几十纳米，焊料被认为是一种典型的纳米技术，另外很多薄膜的厚度也不超过 100nm。迄今为止，除了 Mallik 和 Mahajan 等人以外[1]，在纳米尺度 CMOS 系统封装方面所发表的论文很少。然而，在纳米封装方面，纳米技术在电子封装中的应用十分广泛且取得了很好的效果。纳米技术发展的动力很多，其中之一是微小尺度下材料性能的变化。这些性能可用于解决过去封装中存在的问题，并为将来的纳米电子封装问题提供新方案。微尺度下电子的传输机制包括弹道传输、小纳米颗粒内严重的平均自由程约束、多种形式的电子隧道效应、电子跃迁机制等。

此外，下一代的纳米电子技术（如单电子晶体管、量子马达、分子电子学）如果基于量子理论的电子隧道效应，通常对尺寸变化异常敏感。合适的封装方法对该类技术应用的成功或失败将起到至关重要的作用。因此，为了使纳米器件真正从设计转变为商用产品，在开发基础的纳米电子器件技术的同时必须研发其封装技术[1]。

## 15.1.2　纳米颗粒

### 15.1.2.1　纳米颗粒合成与性能

选择何种纳米颗粒加工技术主要取决于所需要达到的功能。如贵重金属纳米颗粒可用“生态友好的”超声处理技术进行加工[1,2]，而 Ag/Cu 可用“多羟基化”技术加工[3]。在利用 $AgNO_3$ 制备银纳米颗粒的过程中会使用前驱体，并且运用技术来控制颗粒的形状，如球形、立方体或线形[1,4]。纳米颗粒有相互团聚的趋势，所以纳米颗粒应用中的关键步骤是利用分散剂来控制其团聚[1,10,14]。金属通过热蒸发或溅射并冷凝在绝缘基板上，可以在其表面制备金属纳米颗粒[1,5,6-8]。

为了使纳米颗粒作为一种有效的催化剂，必须提高纳米颗粒的化学活性。这种活性来自于其所具有的高比表面积，而且高比例的不稳定化学键也会增强其活性。此外，其他物理性能变化包括[1]：

（1）熔点下降：当金属纳米颗粒的尺寸在 5nm 以下时，其熔点随着尺寸降低而明显下降[1,9]。

（2）烧结：纳米颗粒热活化表面的自扩散过程将驱使净扩散过程远离高曲率的凸面[5]，并进入到凹面内，在相互接触的纳米颗粒间形成低温键合。

（3）库仑阻塞或封锁：要求采用外场或静电热源提高单个纳米颗粒的能量，该效应是单电子晶体管的工作基础。

（4）单晶粒结构，如纳米颗粒，有可能获得理论上的机械强度最高值[12]。

（5）纳米颗粒尺寸比可见光波长小一到两个数量级，这使其具有特殊的光学散射性能[13]，吸收峰“改变”了纳米颗粒薄膜或悬浮液的颜色。

### 15.1.2.2　纳米颗粒应用

对于印制电路板（PWB）表面大部分被分立的无源元件所占据，嵌入式无源器件被认为是解决该问题的有效方法。专用芯片上的金属陶瓷电阻，也可以利用这种嵌入式 PWB 的方法制作。这种电阻是将金属纳米颗粒埋入介质层（或聚合物）中形成的，电子隧穿效应作为颗粒间的传输机制。在低场区，库伦阻塞阵列区由热能随机控制，从而产生一个较高的负电阻温度系数（TCR），该系数可通过内含金属颗粒的正电阻温度系数（TCR）进行补偿。参考文献［1］中的 $Cr_x(SiO)_{1-x}$ 和 $(Cr_xSi_{1-x})_{1-y}N_y$ 系统给出了结构影响性能的实例。

嵌入式电容需要提高介电层的介质常数 $k$，降低其厚度，采用具有高介质常数的颗粒可以满足前一个要求，而后一个要求必须采用纳米颗粒，如钛酸钡或金属纳米颗粒[1]。为了防止颗粒团聚，必须降低纳米颗粒的表面能[14]。目标 $k$ 值为 50～200，目前利用金属纳米颗粒获得的 $k$ 值大约在 150 左右。但是因为其结构与金属陶瓷电阻相似，所以即使金属掺量很低，也会存在较高的泄漏（介电损耗）。针对泄露这种情况，可选择使用铝颗粒，利用铝的天然氧化层[15]，$k$ 值可以达到约 160[16]。此外，还研究了 Ag/Al 混合物。

注意到导热材料具有和无源器件相似的结构要求，因此可用金属或 SiC 纳米颗粒作为填料。特别是对于 RF 应用，电感分量是一个重要指标。对于纳米晶尺寸小于铁磁交换长度（几十纳米）的纳米颗粒而言，经典的磁性理论并不适用，纳米颗粒具有较高的磁导率和较低的矫顽力[1]。

通过颗粒间的桥接作用，将纳米颗粒简单掺加到常用的各向同性导电胶（ICA/ECA，采用微米尺寸 Ag 颗粒填充环氧基体）中有望降低电导率。但由于平均自由程限制和额外的界面电阻，实际上却没有提高电导系数[1]。同样道理，填充铝的导热复合材料的性能也受到限制[19]。添加纳米 Ag 颗粒后，通过烧结扩大银薄片间的接触面积，能够大大降低电导率。这一原理也适用于在印制线路板（PWB）中填充微孔（可以采用 ICA 材料）[1]。在这些技术中，纳米颗粒填料的烧结是有效使用纳米颗粒的关键步骤。通过自组装分子表面处理增强接触热导[1,20,23,24]，还可以提高各向异性导电胶的性能[22,34]。

对悬浮液中的纳米级金属胶体，采用印网或油墨喷射印制技术，可以实现印制线路板（PWB）表面的电子互联[1,25-28]。如上所述，烧结纳米 Ag 颗粒可建立电学连接[29-33]，也可用于贴片[34]。

在倒装芯片的底部填充料中掺加二氧化硅填料，可以降低热膨胀系数，并且纳米颗粒可以更好地防止沉淀[35]。此外，纳米颗粒还有一些其他优点，如产生的散射光小于大尺寸填料，可以使用 UV 固化[36]，对光透明[37]。通过硅烷表面处理可以降低纳米填充材料的高粘度[38]，其物理性能已成功地应用结构参数进行建模[1]。由于纳米颗粒与聚合物基体间具有较强的相互作用和较大的相互作用区，具有功能化表面的纳米颗粒可提高其弹性模量、玻璃化转变温度（$T_g$）、介电性能如高分子复合材料的耐压特性[39,40]。

在无铅焊料 SnAg 中加入 Pt、Ni 或 Co 纳米颗粒，可以消除 Kirkendall 空隙[41,42]，降低金属间化合物（IMC）生长，减小 IMC 晶粒尺寸，显著提高焊点的抗冲击性[1,43]，更好地促进细晶粒生长，增强抗蠕变能力，改善接触润湿性[44]。此外，焊料晶界上的纳米颗粒还可以抑制晶界滑移和热力学疲劳。

### 15.1.3 其他纳米研究主题

微弹性接触技术本身足够新颖，但是在悬臂梁长度保持在 10μm 的同时，将宽度降到 10nm 是很难的[1,45]。纳米压印技术可用于在有机 PCB 上制作光学互连波导[46]。还有许多关于纳米线的应用，如直径 200nm，长 10～50μm 的银/钴纳米线在高分子树脂中能够用磁场进行垂直定向[47]，从而形成 $Z$ 轴接触的各向异性导电膜[48-50]。参考文献［1］第 20 章对纳米线的原理和应用进行了综述。

原子力显微镜（AFM）用于表面粘附性能测量[51]，共聚焦显微镜也可用于封装研究[52]。新型原子力声显微镜结合了原子力显微镜与常用的声学检测技术，用于封装失效检测，这是纳米尺度仪器的另一个例子。

微电子或纳电子封装，包括一些纳米尺度单元的计算机建模仿真，必须建立在纳米尺度的基础上。纳米填充复合材料的模型，必须包含构成复合材料的两相模型，以及每个单元的纳米级材料特性[54,55]。在理解了纳米级的相互作用后，分子动力学模拟软件在预测宏观特性上特别有用[56]。但若想对整个封装的模拟有实际效能，必须建立纳米尺度模拟结果与宏观尺度间的软件接口[1]。

## 15.2　纳米焊料

用于取代锡/铅焊料的各种无铅焊料合金得到了广泛研究。表 15.1 中为部分无铅焊料的组成及其相应的熔点数据。锡/银/铜（SnAgCu）及锡/铜（SnCu）这两大类合金焊料最值得关注。其中，SnAgCu 合金（含或者不含第四种元素）已广泛应用，是目前取代传统 SnPb 焊料的主要焊料，甚至被作为标准来检测行业中使用的其他合金焊料是否达到要求。对于无铅合金焊料，需要关注的问题包括，合金工艺温度高，由于表面张力大导致的润湿性差，以及无铅焊料与有铅焊料工艺的兼容性。SnCu 合金焊料已成为低成本波峰焊的替代方案，并能与大多数有铅焊料工序兼容。由于其熔点高于大多数 SnAgCu 合金，因此必须格外考虑其加工工艺。

表 15.1　无铅焊料

| 合　金 | 熔点/℃ |
|---|---|
| Sn96.5Ag3.5 | 221 |
| Sn96Ag3.5Cu0.5 | 217 |
| Sn20Au80 | 280（主要用于光电封装互连） |
| Sn99.3/Cu0.7 | 227 |
| SnAgCuX（Sb，In） | 取决于材料组成，一般高于 220 |
| SnAgBi | 取决于材料组成，一般高于 200 |
| Sn95Sb5 | 232～240 |
| Sn91Zn9 | 199 |
| SnZnAgAlGa | 189 |
| Sn42Bi58 | 138 |

见表 15.1，与 SnPb 共晶焊料相比，SnAgCu 与 SnCu 合金具有较高的熔点，其回流温度要提高 30～40℃。回流温度提高会导致不良后果，如在封装过程中产生更高的残余应力，从而对可靠性产生不利影响。而且高回流温度也使集成电路板封装过程中伴随而至的“爆米花现象”概率升高，甚至有可能在基板上产生更严重的翘曲。此外，电路板上的热敏器件也可能无法承受如此高的工艺温度。因此，如

何降低无铅焊料的工艺温度受到人们的广泛关注。

许多材料的熔点会随着其尺寸减小而大幅降低。多年来，有限尺寸系统的熔化-凝固过程在理论与实验都受到关注。早在1888年，J. J. Thomson认为一个有限尺寸颗粒的凝固温度取决于颗粒表面的物理和化学性能。然而直到1909年，才首次明确表述了与颗粒尺寸大小有关的固液共存温度。通过对小尺寸固体颗粒，等质量液滴及其平衡气体组成系统的考察表明，三相点的温度与颗粒大小成反比，后来根据固态球核与液态膜壳间的平衡所需的条件也可以得到类似的结论。关于小颗粒熔化-凝固过程的系统实验研究始于20世纪40年代末50年代初。先是进行了一系列微米级金属液滴的凝固实验，后来利用熔化-凝固温度的电子衍射分析，实验研究了通过气相沉积过程得到的纳米尺度铅、锡、铋等微颗粒岛状结构组成的不连续薄膜。这些研究表明，微小颗粒熔化时往往会发生过冷现象，而固体颗粒则在明显低于其熔点的温度就开始熔化。有人认为，纳米颗粒表面预熔化过程是造成其熔点减低的原因[57]。

锡（Sn）及其合金由于其化学势较低，容易被氧化。对于纳米级锡及其合金颗粒，由于其比表面积高而更加容易氧化。纳米颗粒的表面氧化会导致润湿性差，难以形成有效互连。因此，对每个纳米颗粒进行包覆避免其氧化是一项关键技术，包覆剂可以涂覆在颗粒表面，从而有效防止其氧化。

已经报道了多种用于合成单元素纳米颗粒的方法，它们大体上可以分为两类——“自上而下”（化学还原法）与“自上而下”（物理法）。化学还原法包括惰性气体冷凝法、溶胶-凝胶法、气溶胶法、胶束/反胶团法，此外还有辐射法、X射线法、微波法等[58-64]。对于制备二元金属或多组分纳米颗粒，化学的“自下而上”法和物理的“自上而下”法都得到了很好的应用。化学法采用异质金属前驱体共还原或双金属盐连续还原方法，通常用于制备双金属纳米颗粒的核-壳结构。据报道，对于类似于Ag-Au这种能形成固溶体二元合金体系的纳米合金或核-壳结构而言，其结构可以通过氧化顺序来控制。另一方面，对于不利于形成固溶体，如共晶合金（锡基合金）的合金而言，由于其氧化特性，需要采用更加先进的合成方法，这方面的研究报道很少。物理法可用于合成单金属[65]和双金属[66]纳米颗粒。使用这种方法，可以不需要复杂的反应过程，直接从块状材料中制备出成克的纳米颗粒。这对于制备低熔点金属前驱体及其合金非常合适。

有效的包覆能力可以减少或消除纳米颗粒间的团聚，避免氧化。研究发现，1，10-邻二氮杂菲在形成晶体SnAg合金纳米颗粒时是一种有效的包覆剂[67]，如图15.1a、b、c所示。SnAg合金纳米颗粒合成后，可以迅速与邻二氮杂菲的两个杂环上的氮螯合配位体进行组装。高分辨率透射电镜（见图15.1c）表明，颗粒表面被包覆剂所包裹，可以有效阻止空气中的氧气进入到颗粒中。同时，当使用硼氢化钠作为还原剂时，还原反应过程产生的氢气对形成惰性环境大有帮助。

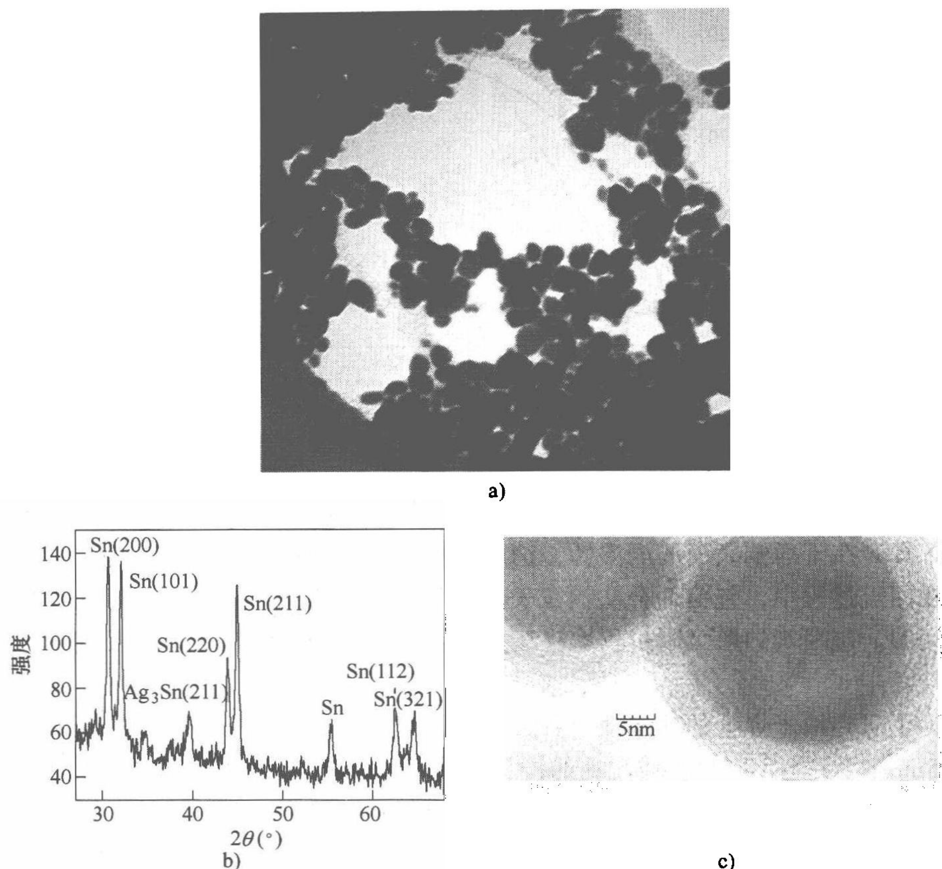



图 15.1　合成 SnAg 合金纳米颗粒图片
a) TEM　b) XRD　c) HRTEM

采用差示扫描量热仪（Differential Scanning Calorimeter，DSC）研究了合成的 SnAg 合金纳米颗粒的热性能。研究表明，纳米颗粒的熔点与潜热降低与其尺寸大小有关（见图 15.2）。如图 15.2 所示，当 SnAg 颗粒尺寸减小到 5nm 时，熔点下降了 25℃。已有证据表明，小颗粒的表面熔化过程会在一个较宽的温度范围内连续发生。然而对于大固体颗粒而言，相同的熔化过程只有在临界温度 $T_m$ 时才会突然发生[68,69]。对于尺寸较小的金属纳米颗粒，曲率效应严重影响其表面熔化过程。因此，熔点与潜热都会随着颗粒尺寸减小而降低。

虽然纳米合金颗粒的熔点较低，但由于表面张力大，其润湿性比 SnPb 共晶焊料要差。除了关于纳米合金的内在特征，有关利用助焊剂辅助纳米合金颗粒熔化或烧结行为的研究较少。由于对微颗粒熔化过程的理论研究，是建立在将颗粒置于一个自由空间内的假想前提上。从实际角度来看，研究被助焊剂包围的纳米颗粒熔化过程非常有意义。

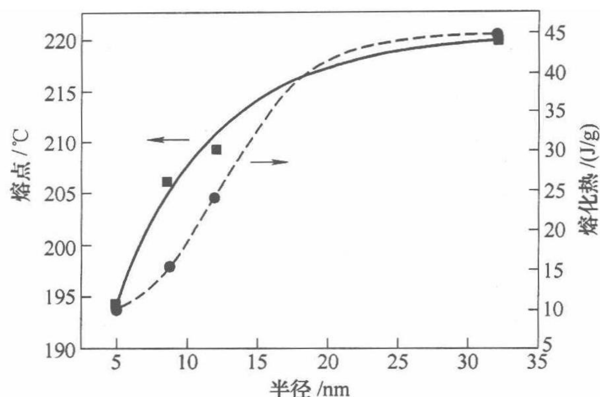



图 15.2　DSC 测试表明 SnAg 合金纳米颗粒的熔点与尺寸有关

纳米焊膏是将 SnAg 合金纳米颗粒分散在低粘度的酸性助焊剂中制备的。研究了纳米焊膏在干净铜表面的润湿性，纳米颗粒表面采用包覆剂进行处理，避免其氧化。在回流过程中，包覆剂会从颗粒表面脱落，否则包覆剂会阻碍纳米颗粒在基板上的润湿。包覆剂的解吸附过程取决于其与纳米颗粒间的结合力，以及其本身的热稳定性。

为了研究纳米焊膏的润湿性，将其置于清洗后的铜箔表面，在 230℃下大气中回流 5min。图 15.3 所示为回流后的样品横截面，SnAg 合金纳米颗粒的平均大小为 64nm，其已经完全熔化并润湿在清洗后的铜箔表面。如图 15.3 所示，能量散射光谱仪（Energy Dispersive Spectroscopy，EDS）结果显示，金属间化合物（IMC）（Cu6Sn5）呈扇形分布，其厚度约 4.0μm。

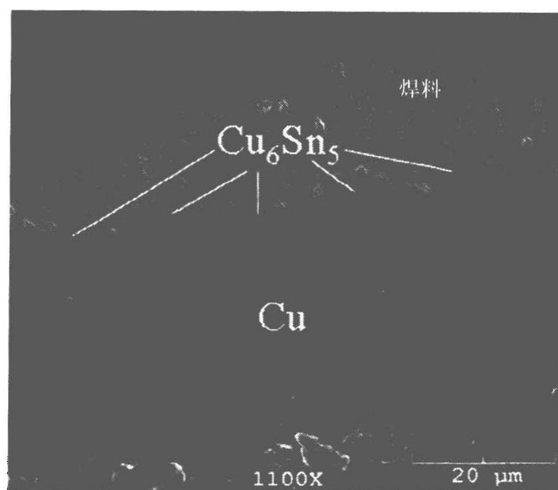



图 15.3　在干净铜箔表面采用 SnAg 合金纳米颗粒（平均粒径为 64nm）的焊料回流后的界面横截面 SEM 图

# 15.3 CNT

## 15.3.1 介绍

摩尔定律指出，半导体器件或集成电路（IC）上的晶体管数量大约每两年增加一倍[70]。芯片上的器件数量越来越多，与之相应的微处理器的功率消耗也随着其性能增加而不断上涨。散热问题所带来的挑战为材料和热管理领域的基础研究带来了新的机会，特别是有人指出未来的器件冷却技术将建立在微/纳米科技上[71]。对于热管理及其应用，一维结构与材料的性能受到极大的关注。在这些材料中，CNT 由于其独特的热性能，为微电子器件及集成电路中的热管理带来了新的机会。此外，CNT 独特的电学、机械性能，也使其有望成为未来电学互连材料的候选者。

一般情况下，CNT 可通过电弧放电、激光烧蚀、化学气相沉积（CVD）等方法制备。但是，对于电子器件应用而言，用 CVD 法生长 CNT 特别有吸引力。原因在于 CVD 法具有空间选择性生长、能大面积生长及定向生长 CNT 等特性。

## 15.3.2 CNT 用于电气互连

### 15.3.2.1 CNT 电学性能

此前的研究表明，由于其周长受到几何限制，CNT 会表现出量子线性能[74]。多壁纳米管（Multi-Wall Nanotube，MWNT，即多壁 CNT）或单壁纳米管（Single-Wall Nanotube，SWNT，即单壁 CNT）的电导系数由两个因素决定——每层的导电通道数及层数。单壁 CNT 只有一层，单壁 CNT 束或多壁 CNT 则可以看作是由单一的单壁 CNT 并排在一起。由于生长的 CNT 结构的不完整性，其电导系数可写为

$$G = G_0 M = (2e^2/h) MT \tag{15.1}$$

式中，$M$ 为表面导电通道数；$T$ 为电子穿过连接处或管道的传输几率。理想状态下，对于长度小于 1μm 满足弹道传输的 SWNT，$T=1$，$M=2$。但在实际情况中，由于电子耦合、管间耦合、缺陷和杂质所造成的散射、结构变形、与基板或接触焊盘间的耦合等，$T$ 可能远小于 1。因此，实验测量的电导系数大大低于计算值。因此，SWNT 的高电阻系数导致其必须平行排列成束才能使用。

### 15.3.2.2 CNT 用于电气互连

微电子器件中存在两种互连形式——横向和纵向。横向互连是指集成电路上不同位置间的晶体管连接，最新的电路技术中可发现多层横向互连（多达 12 层）[75]。层与层之间采用层间介电层隔开，通常为孔状二氧化硅或掺杂碳或氟的二氧化硅，从而可以降低介电常数[76]。但这些材料的机械强度不高，在 450℃ 以上时不稳定。随着芯片上互连尺寸的减小，单根互连线上的电流密度增加。国际半导体技术路线

图（ITRS）预测，到2010年电流密度将达到$5\times10^6 A/cm^2$，只有CNT（电流密度可约$10^9 A/cm^2$）能够承受如此高的电流密度。

穿过电介质的孔（通孔）的垂直互连将水平器件连接到晶体管的源、漏或金属栅极上。在现有的微电子技术中，通孔采用铜制成。由于高电流密度及电流分布异常导致的电子诱导材料传输（电迁移），通孔所在区域是电气互连中最有可能出现失效的位置[78]。CNT有望提供比铜更高的抗电迁移能力，因此金属层间采用CNT互连有可能解决电迁移与散热的难题。日本富士通（Fujitsu）公司及美国英飞凌（Infineon）公司的研究人员在这一领域进行了广泛研究[79-81]。其中一种方案是在层间电介质上刻蚀通孔，在通孔底部沉积催化剂，并去除孔顶部多余的催化剂。另一种方案是在电介质层下沉积催化剂，再通过刻蚀电介质使催化剂层暴露出来。无论哪种方案，最终都需要采用CVD或等离子体增强CVD（Plasmaenhanced CVD，PECVD）法从孔中生长CNT。

为了满足未来的集成电路需求，互连与通孔尺寸将进一步降低，使用CNT将带来更多的优势。由于多壁CNT的直径在5～100nm之间，由一根多壁CNT形成通孔用于集成电路是可行的。事实上，美国英飞凌公司的实验结果也证明了这种可能性[78]。

为了充分利用CNT的弹道传输特性，需在其生长后打开CNT的两端[82]，以实现与锡铅等焊料更好的浸润性与接触。目前，采用CNT的倒装芯片互连研究正在进行中[83-86]，微米级CNT团簇已成功用于制作倒装芯片中的“纳米凸点”[1,87]。目前，金、银与CNT结合用于电学互联的研究也在进行中，这种互连结构具有最小的电化学腐蚀特性[88]。掺加金属和碳的高分子材料一直被用于制作高频导体的电磁屏蔽层。基于同样的目的，研究了在高分子基体中掺加碳纤维和多壁CNT的应用[1,89,90]。然而，采用CNT代替ICA中的金属填料面临一个问题[92-94]，即其电导系数与标准材料不符[91,95]。

### 15.3.3 CNT用于散热

多项研究表明，CNT在轴向上具有非常高的热导率。如Berber等人对单壁CNT进行的分子动力学模拟表明，室温下单壁CNT的热导率高达6600W/mK[96]。Dai等人提出了一种方法，通过将数据反向拟合到现有的电热传输模型中，利用高偏压电学测量装置获得了温度范围为300～800K的一根单壁CNT热导率[97]。根据测量结果，室温下一根长度为2.6μm、直径为1.7nm的单壁CNT的热导率接近3500W/mK。Kim等人开发了一种混合了多壁CNT（约1μm长）的微加工悬浮器件，用于研究不与基板接触时的CNT热传导[98]，单壁CNT的热导率及热电势测量结果表明，其在室温下的热导率高于3000W/mK。

Hone等人测量了温度从10～400K的定向/非定向排列单壁CNT的热导率[99]，两种排列形式的单壁CNT热导率都随着温度升高而缓慢上升。室温下定向排列单

壁 CNT 的热导率大于 200W/mK，而非定向 CNT 只有约 30W/mK。当温度高于 300K 时，热导率升高，在 400K 时趋于稳定。Yi 等人测量了长度为毫米级的定向排列多壁 CNT 的热导率[100]，由于 CNT 存在大量的缺陷，其热导率较低，室温下只有约 25W/mK。然而，如果定向多壁 CNT 在 3000℃下进行退火以消除缺陷，则其热导率可达到 2000W/mK。Yang 等人利用脉冲光热反射热技术研究了微波 CVD 制备的 CNT 薄膜的热导率[101]。室温下厚度为 10～50um 的 CNT 薄膜的平均热导率约为 15W/mK，并且该值与 CNT 长度无关。然而，考虑到 CNT 的容积率较小，CNT 的有效热导率可达到 200W/mK。

直接在硅表面定向生长 CNT 可用于热管理。Xu 等人用等离子体增强 CVD 技术直接在硅片上生长定向 CNT[102]。热测试采用了高真空下屏蔽辐射的一维参考条法，而温度通过红外相机进行测量。干燥状态下 CNT 阵列的最小界面热阻为 19.8$mm^2$K/W，而含相变材料（Phase Change Material，PCM）的 CNT 阵列的最小热阻为 5.2$mm^2$K/W。Xu 等人用光热法测量了在硅片上采用 PECVD 生长的 CNT 阵列的热阻[103]，其有效热阻为 12～16$mm^2$K/W，与商用导热膏差不多。

高热导率 CNT 可以直接通过热传导，间接通过热对流来冷却芯片[104,105]。对于热传导系统，由于无序阵列的 CNT 与传统材料相比并没有多大的优势[107]，CNT 的定向对准是个难题[104]。环氧树脂与 CNT/碳黑混合物是一种填充了 CNT 的复合材料，可用作热界面材料（TIM)，并得到了广泛研究[108]。使用液晶树脂基体可以提高 CNT 的排列有序度，从而使热导率增加约 7 倍[109]。最近，采用 CNT、碳化硅或金属纳米颗粒填充的电旋高分子在机械与热性能上具有优势[110]。

垂直生长的微米级 CNT 团簇可作为冷却剂流动的微通道[111,112]，具有与金属或硅相同的结构和热性能，其目标是取代这些传统材料。问题在于流动的冷却剂仅与 CNT 团簇的最外层接触，而内层 CNT 间的相互接触并不好。对该系统建模可以清楚地发现[104]，通过分散优化，将 CNT 彼此分散允许冷却剂接触每一根 CNT 是最好的解决方案[111]。问题是单根的 CNT 能否承受住冷却剂的流动压力，不从基板上剥离下来[1]。

### 15.3.4 微系统与 CNT 集成

对于电子器件应用，化学气相沉积（CVD）法制备 CNT 具有特别的吸引力。但是，CVD 技术存在几个缺点。CNT 用于电路的主要挑战之一，是生长温度过高（>600℃）。如此高温与微电子工艺不兼容，微电子后道工艺中的典型温度低于 400～500℃。另一个问题是 CNT 与基板间的粘接力太弱，这将导致长期可靠性问题及高的接触电阻。对于器件级而言，CNT 必须与金属电极集成与互连，实现电信号的输出/输入。在基板上生长 CNT 的常用方法涉及在钛或钛/金的金属层上沉积铁或镍作为催化剂。不幸的是，结果表明，电接触性能并没有得到改善。这表明在电极上生长 CNT 降低了机械与电性能，并提高了接触电阻。另一方面，为了满足生产要求和集成电路应用，在大批量制备 CNT 的同时，必须同时实现对 CNT 的

定位，而不是一根一根对准。

为了克服上述缺点，Zhu 等人提出了一种采用开口 CNT，称为“CNT 转移技术”的方法[106,113]，如图 15.4 所示。该技术类似于倒装芯片技术。

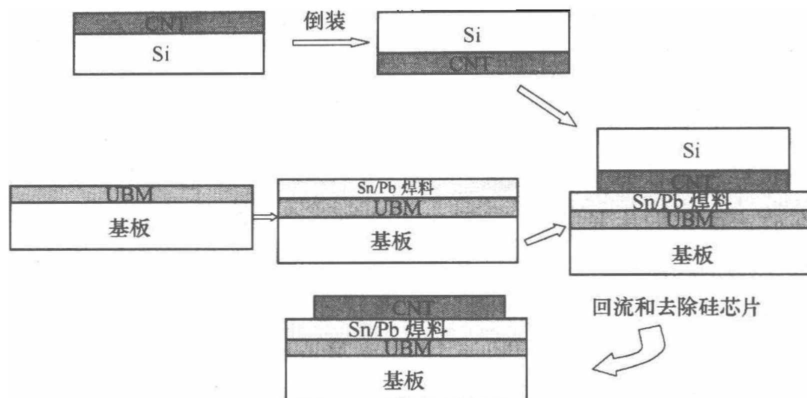



图 15.4 CNT 转移技术工艺流程图

共晶铅锡焊膏可采用丝网印制在铜基板上，回流后将铅锡焊料层打磨到 30μm 厚。将生长有 CNT 的硅基板翻转并与相应的铜基板对准，再在回流炉中回流以同时形成机械与电气互连。该过程很简单，易于实现，并提供了一种组装 CNT 器件并将其应用于各种器件（如平板显示器）加工的 CNT 制作方法。该技术通过应用较低的工艺温度并提高 CNT 与基板间的粘接力，克服了 CNT 与集成电路、微电子器件管壳间集成所产生的严重障碍。图 15.5 所示为断裂的 CNT 与用于电气互连的完整 CNT 之间的差别。当 CNT 从基板上扯下来时，断裂发生在 CNT 轴向上，而不是在 CNT-焊料界面上。CNT 在基板上的良好粘接能力固定了 CNT，并提高了 CNT/基板的界面性能。

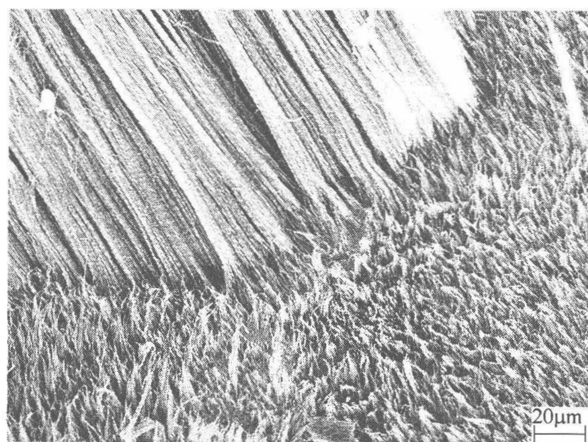



图 15.5 在铜基板上组装 CNT，当部分 CNT 被镊子拔走后的 SEM 图，图片表明采用焊料回流工艺将 CNT 转移到铜基板的机械键合强度很高

### 15.3.5 总结及未来需求

微电子器件的尺度特性使人们期望 CNT 能用于电气互连与热管理。CNT 在垂直互连（片上或封装级）或微电子器件封装散热方面具有应用潜力。CNT 的特性使其可能在某些器件的电气互连或热管理方面满足 ITRS 的要求。然而，在成功开发 CNT 技术平台之前，在材料与 CNT 集成方面还存在很多问题有待解决，包括无结构缺陷的 CNT 生长、CNT 的手性控制及在预定位置上对 CNT 进行定位等。CNT 在封装与集成电路应用中所遇到的问题促进了新的研究和方法的产生。很显然，为了使 CNT 技术能够从实验室走向工业化大生产，还需要付出很大的精力。

## 15.4 纳米发电机——原理、制作及封装

### 15.4.1 简介

开发新型的无线纳米器件及纳米系统技术，对于在线、实时和可植入式生物传感，遥感及无线传感，国防技术与商业应用都至关重要。这些器件都需要尺寸不大并且在使用寿命内可自充电的电源。这类应用，利用环境能力包括太阳能、热能及机械能，是一种完美的解决方案。在生物传感与国防应用方面，对纳米尺度传感器有着大量的需求。在这些可能的能量来源中，机械波与振动能量在我们的周围环境中几乎无处不在[114]。当一个小质量块由于重力作用振动时，依靠陶瓷梁的压电效应可以将机械能转化为电能。有很多种 MEMS 微型发电机中是利用压电陶瓷薄膜悬臂开发出来的[115]。然而，由于它们存在尺寸相对较大，不具有生物兼容性，对振动灵敏度低等问题，严重制约了其在纳米技术中的应用，纳米材料所带来的优势也难以体现。

无机材料纳米线（Nanowire，NW）和纳米带（Nanobelt，NB）是目前纳米技术研究的前沿[116]。在已知的一维纳米材料中，氧化锌（ZnO）具有三个优点[117]：首先，它具有半导体特性和压电性能，成为惟一可用于制作电-机械耦合传感器的材料[118-119]；第二，ZnO 具有相对较高的生物安全性，与生物环境相容，可以在生物医学中应用，毒性很小；最后，ZnO 具有目前已知最丰富多样的纳米结构，如纳米线、纳米带、纳米弹簧、纳米环、纳米碗及纳米螺旋结构等[120]。最近，王中林等人首次使用定向生长 ZnO 纳米线将机械能转换为电能[121]。下面的章节中，将对纳米发电机的工作原理、制作技术及封装方法进行详细介绍，并讨论了通过改进封装技术来提高纳米发电机性能的可能解决方案。

## 15.4.2 采用 ZnO 纳米线的纳米发电机

### 15.4.2.1 ZnO 纳米线的压电特性

ZnO 具有六方闪锌矿结构（P63mc 空间群），其晶格参数 $a=0.3296\text{nm}$，$c=0.52065\text{nm}$。ZnO 结构可以简单地描述为由大量 $O^{2-}$ 和 $Zn^{2+}$ 离子组成的平面沿 $C$ 轴交互堆积形成的一个四面体（见图 15.6a）。该四面体配位结构具有一个非中心对称的结构。没有几何中心与大的电动机械耦合共同作用，使 ZnO 具有很强的压电与热电性能，因此 ZnO 可用于执行器[112]、压电传感器[123,124]，压电二极管[125]及纳米发电机[126]。为了说明压电效应原理，考虑一个由阴离子（见图 15.6a）以四面体形式所包围的带正电荷的原子，沿 ZnO 的［0001］晶向可以观察到很强的压电效应。一旦｛0001｝成为 ZnO 纳米带中最大的一个表面，有效压电系数 $d_{33}$ 测量值为 14.3 ~ 26.7pm/V（见图 15.6b）。该数值大大超过了 ZnO 体材料（0001）面的 $d_{33}$ 值 9.93 pm/V[127]。

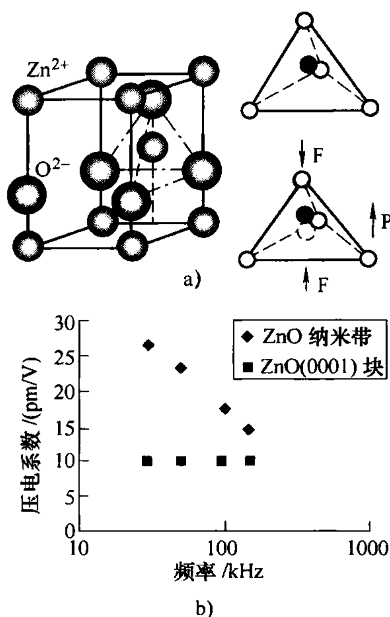



图 15.6 ZnO 纳米线

a）ZnO 的闪锌矿结构模型，显示了 ZnO 的四面体配位与相应的压电效应 b）ZnO 纳米带与块状 ZnO 的压电系数 $d_{33}$ 的比较

ZnO 纳米线是一种总是沿着［0001］方向生长的类似梁的结构，横截面呈六方形。当这种纳米线侧向弯曲时，可在拉伸的表面产生正电压，而在压缩的一面产生负电压。为了确定纳米线横截面上的电压降大小，应用摄动理论计算其在尖端受力侧向弯曲时纳米线上的电压分配[128]。采用一阶近似给出的分析解与采用有限元分析的全数值计算结果差别在 6% 以内。在假设纳米线为圆柱体并具有均匀的横截面直径 $2a$，长度为 1 的简化情况下，纳米线表面的最大电势可由以下公式给出：

$$\varphi_{\max}^{(T,C)} = \pm\frac{3}{4(K_0+K_\perp)}[e_{33}-2(1+\nu)e_{15}-2\nu e_{31}]\frac{a^3}{l^3}\nu_{\max} \qquad (15.2)$$

式中，$\varphi$ 为电动势；$K_0$，$K_\perp$ 为真空和 ZnO 晶体在 $C$ 平面的介电常数；$e_{15}$ 和 $e_{31}$ 为线性压电系数；$\nu$ 为泊松比；$\nu_{\max}$ 为纳米线顶端的最大偏差。此式清楚地表明，静电势与纳米线的长径比（而不是尺寸大小）间存在直接关系。

对于通过常用的汽-液-固（Vapor-Liquid-Solid，VLS）工艺生长的纳米线[129]，其直径大约为 50nm，长度大约为 600nm。当其在 80nN 的侧力作用下，向右侧弯曲 145nm 时这对原子力显微镜（AFM）是一种常见情况。经计算，纳米线横截面上

的压电电压为 ±0.3V，如图 15.7b 所示。图 15.7a 所示为上述方程采用有限元计算所得出的沿弯曲纳米线的电压分布。计算还表明，纳米线中的压电电压与 $Z$ 轴无关。因此，除了在非常靠近纳米线两端的位置，电压沿着纳米线 $Z$ 轴几乎均匀分布。这意味着纳米线就像一块“平电容器”，其表面最大电压与表面位置成正比，与纳米线的长度-直径比成反比。对于较大尺寸的纳米线 $d=300\text{nm}$、$l=2\text{mm}$，当其受到 1000nN 侧力时其表面压电电压能够达到 ±0.6V。

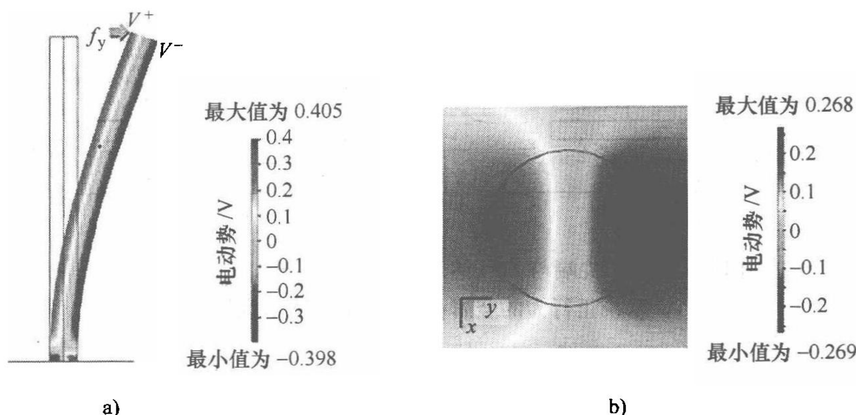



图 15.7　直径 $d=50\text{nm}$、长度 $l=600\text{nm}$ 的 ZnO 纳米带受到 80nN 侧向压力时的电势分布有限元计算得到的纳米线中的压电电动势
a) 侧向　b) 横截面（$z=300\text{nm}$）

### 15.4.2.2　单根 ZnO 纳米线组成的纳米发电机

通过 AFM 首次证实了弯曲 ZnO 纳米线的压电电压[131]，这些电荷可以累积并且在带电的 ZnO 表面与电极间引入肖特基接触时释放。正如本书 15.1 节中所讨论的，穿过纳米线尖端的横截面，$V_s^-$ 与 $V_s^+$ 间的压电电动势分布在因受力而弯曲和拉伸的表面上。实验设计中，在 AFM 硅针尖表面镀一层铂，用于使 ZnO 纳米线弯曲，并与外部电路连接。铂与 ZnO 间的肖特基接触决定了整个电传输过程。第一步，诱导变形的 AFM 导电尖端与带正电压 $V_s^+$ 的拉伸表面接触（见图 15.8a）。当铂金属尖端电压接近 0 时 $V_m=0$，金属尖端与 ZnO 界面间的负偏压 $\Delta V=V_m-V_s^+<0$。考虑到合成的 ZnO 纳米线具有 n 型半导体特征。在这种情况下，铂金属-ZnO 半导体（M-S）界面是一个肖特基反向偏压二极管（见图 15.8a），从而在界面上产生微小电流。第二步，当 AFM 针尖与受压的纳米线侧面接触后（见图 15.8b），金属-ZnO 界面的正向偏差 $\Delta V=V_L=V_m-V_s^+>0$。这种情况下，金属-ZnO 界面是一个肖特基正向偏压二极管，导致输出电流突然增大，也就是输出电压 $V_L$（正压）将突然增大。$\Delta V$ 驱使电子从 ZnO 纳米线半导体流向金属尖端产生电流。自由电子从纳米线到尖端的环路循环将中和分布在纳米线中的离子电荷，从而降低电动势 $V_s^-$ 和 $V_s^+$ 值。此时输出电压 $V_L$ 开始下降，直到纳米线中的电荷被完全中和，输出电

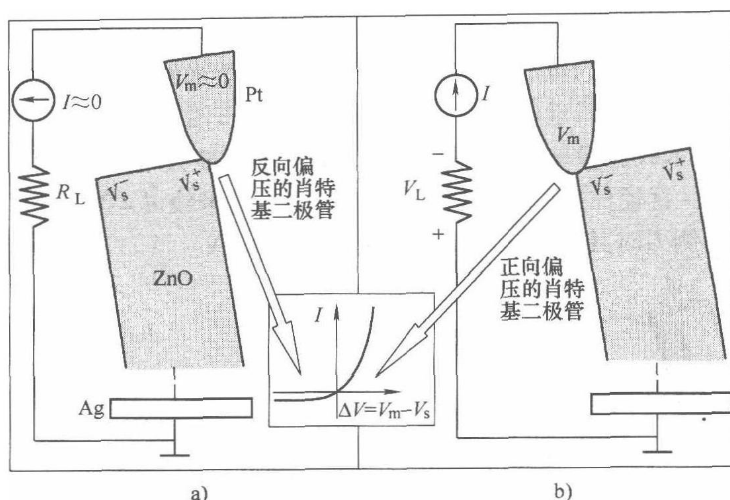



图 15.8 AFM 尖端与 ZnO 纳米线间具有负向和正向偏压肖特基校正行为的金属-半导体接触的示意图

a）负向 b）正向

压降到 0。

将镀铂的 AFM 针尖在足够长的 ZnO 线表面扫过时，通过光学显微镜可以清楚地观察到 ZnO 的发电机制。如图 15.9a 所示，ZnO 纳米线的一端用银膏贴装在本征硅基板上，另一端悬空。ZnO 纳米线铺设在基板上，但与基板间存在一小段距离，以消除与基板间的摩擦。在 AFM 尖端与样品表面间施加 5nN 的恒定压力，采用 AFM 接触模式使纳米线弯曲同时进行测量。扫描过程中，对经过阻值为 $R_L=500M\Omega$ 的外接电阻的输出电压进行连续监控。由于是通过悬臂梁获取垂直高度，当针尖经过或不经过纳米带表面时，都可以立刻获得表面轮廓图。当针尖推动了纳米线而没有越过它时，这可以从输出的平面信号判断出来（见图 15.9b）。不产生电压，表明在拉伸面上没有产生压电现象。当针尖越过纳米线并与收缩面接触时，如图 15.9c 所示，可发现一个尖锐的输出电压峰。通过分析该峰在图上的位置及输出电压的峰形，可以注意到当针尖将要跨越纳米线时，产生了放电电流，这可以清楚地表明是收缩侧产生了负向压电放电电压。

类似的扫描过程也可用于垂直生长 ZnO 阵列，可以观察到同样尖锐的输出电压峰[128]，实验设计如图 15.10a 所示。在氮化镓基板上生长平均高度为 1μm 的垂直排布 ZnO 纳米线，通过银胶连接到一个外部负载上。在 AFM 接触模式下，保持探针与样品表面间的正常接触力。当 AFM 探针的尖端扫过垂直排列的 ZnO 纳米线顶端时，纳米线会弯曲，然后恢复原状。与此同时，相应的输出负载两端的电压值被记录下来。输出电压如图 15.10b 所示。可见有许多尖锐的输出电压峰值，峰值大小为噪声电压的 4 ~50 倍，大多数电压峰值为 6 ~9mV。

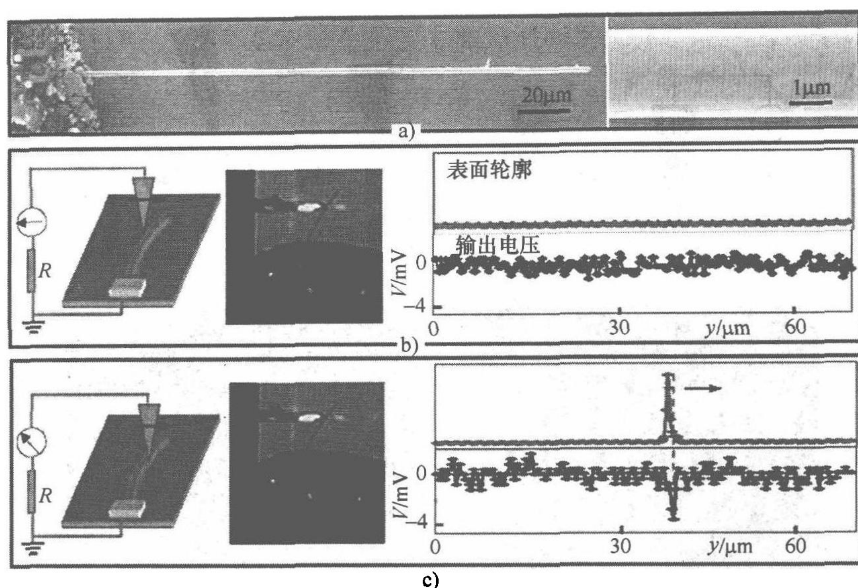



图 15.9 实时观察具有压电效应的 ZnO 纳米线将机械能转换成电能的过程
a）一端固定在硅基板上的 ZnO 纳米线 SEM 图 b）当 AFM 尖端扫过纳米线的中间部分时显示的表面轮廓（上部曲线） c）输出电压（下部曲线）（试验装置示意图见左手侧，尖端扫描方向如箭头所示）

### 15.4.2.3 直流纳米发电机

虽然采用原子力显微镜研究了纳米发电机的原理与电压，但是要想真正在技术上加以应用，必须通过创新设计来提高纳米线的如下几方面性能：首先，要抛弃采用 AFM 使纳米线受力变形这一步，这样才能获得可调、可移动、低成本的大尺寸发电过程；第二，所有的纳米线都要同时、连续地产生电流，并且所有的电流都能够输出；最后，用于转换成电能的能量一定要来自于环境中的波动或振动，这样纳米发电机才能够“独立”并且无限制地运转。

为了应对这些挑战，X. D. Wang 等人发明了一种用超声波驱动纳米线持续获取直流电流的新方法[132]，图 15.11a 是这种纳米发电机的原型示意图。定向生长的 ZnO 纳米线阵列被表面镀铂的锯齿形硅电极所覆盖。铂不仅能提高电极的导电性，同时也可与 ZnO 形成肖特基接触。纳米线可以在 GaN（见图 15.11b）或氧化铝衬底上生长[133]，氧化铝衬底上有一层 ZnO 薄膜，可作为电极将纳米线与外部电路连接起来。纳米线的密度大约是 $10/\mathrm{mm}^2$，高度和直径大约分别为 1.0mm 和 40nm。顶部电极是平行排列的锯齿形（001）晶向硅片，镀一层 200nm 厚的铂薄膜[134]（见图 15.11c）。在光学显微镜下的精确定位下，采用探针将电极置于纳米线阵列上方，采用塑性高分子长条控制电极与纳米线之间四个方向的间距。监测纳米发电机组装过程中的电阻，通过调整高分

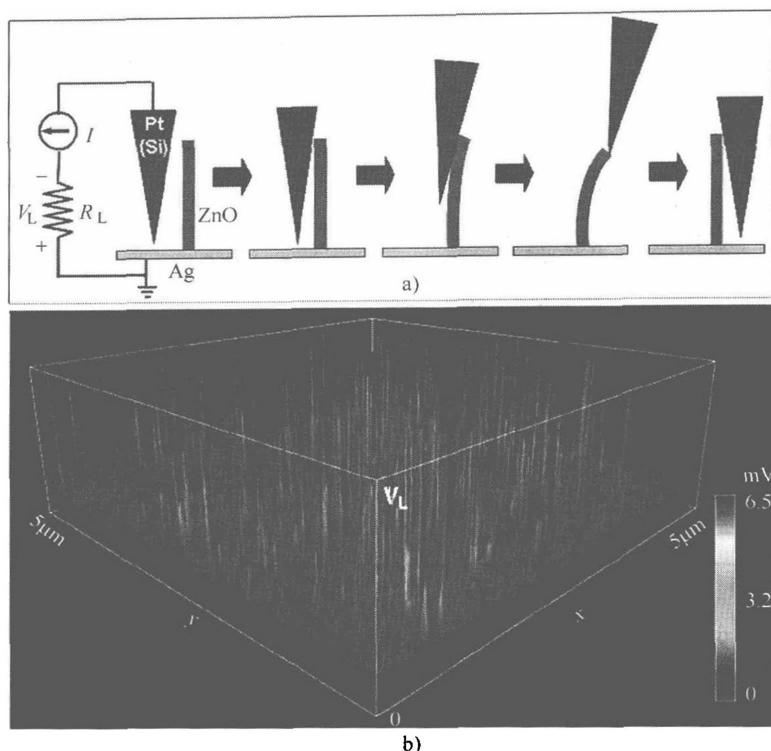



图 15.10 AFM 尖端扫过发电装置的过程和输出电压
a）采用导电的 AFM 尖端使压电纳米线变形时的发电装置与过程 b）ZnO 纳米线阵列的输出电压

子膜的厚度来确保纳米线与电极间的适当接触。然后，为了防止水渗透，要在组装好的装置边缘进行密封。如图 15.11d 所示，封装后的纳米线阵列示意图表明，纳米线与电极之间相互交错的关系。一些纳米线与顶电极直接接触，还有一些则位于两个电极齿之间，扫描电子显微镜（SEM）中倾斜的纳米线主要是在制作封装器件的横截面时产生的。

在该设计中，锯齿形的顶部电极就像是 AFM 针尖阵列。图 15.12a ~ c 给出了纳米线与电极间接触的可能的结构。当受到超声波刺激时，锯齿电极向下移动，推动纳米线，使纳米线 I 发生倾斜，并且在横向上使纳米线 I 产生一个沿着纳米线宽度方向的应变场，使纳米线外侧产生拉伸应变，内侧产生收缩应变。纳米线上的应变改变导致纳米线上的压电场 $E_z$ 改变，从而在纳米线上产生从 $V_-$（负压）到 $V_+$（正压）的压电电压变化（见图 15.12b）。当电极与纳米线的受力面产生接触时会产生正压电电压，铂-ZnO 半导体界面是一个反向肖特基偏压，从而在界面上产生小电流。这是一个电荷产生、分离、保存、积累的过程。随着进一步推动电极，弯曲的纳米线 I 将接触到邻近的另一个锯齿电极（见图 15.12c）。在这种情况下，电极仍然与纳米线的

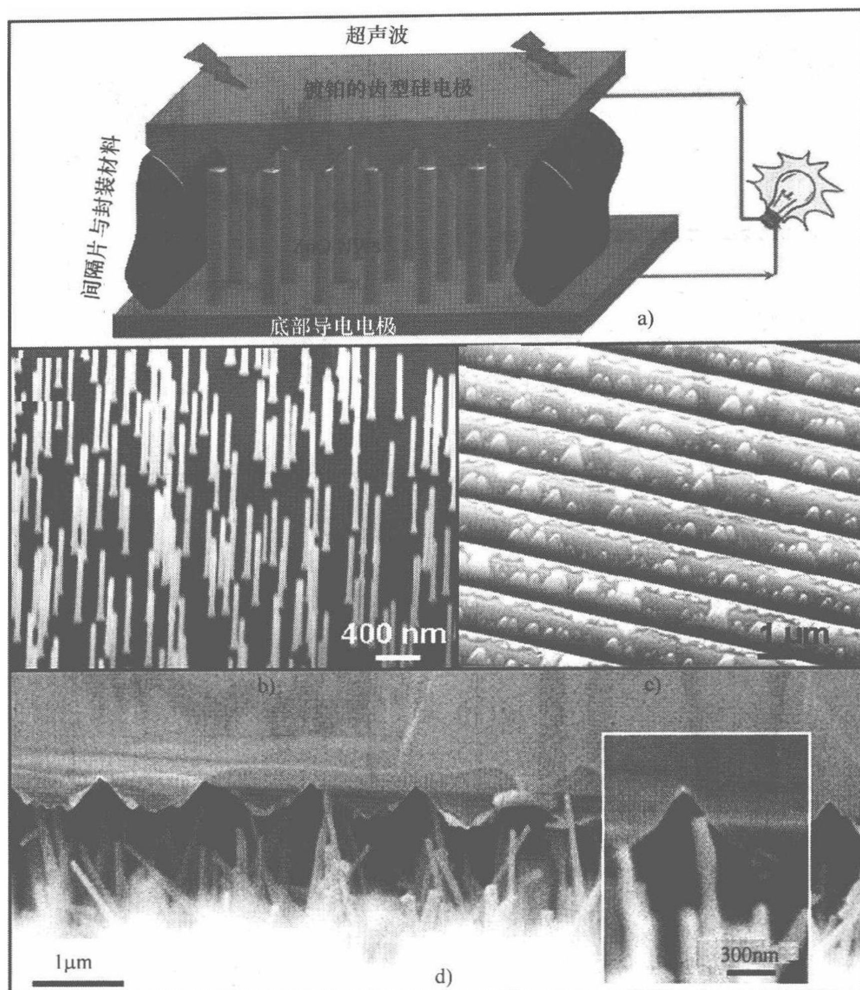



图 15.11　超声波驱动的纳米发动机

a）纳米发动机设计与结构示意图　b）GaN 基板上生长的低密度对准 ZnO 纳米线

c）镀铂的齿型电极　d）纳米发动机横截面 SEM 图，内插图为被电极压弯的纳米线

收缩侧保持接触，而这个收缩侧的金属-半导体界面上存在正向肖特基偏压，导致此时从顶部电极到纳米线间突然产生一个大电流，这就是放电过程。与纳米线Ⅰ类似，在纳米线Ⅱ上也发生相同的放电过程。选择纳米线Ⅲ来详细描述在其上发生的超声波带来的振动/共振。当纳米线Ⅲ的收缩侧与电极接触时发生与纳米线Ⅰ相同的放电过程，产生从电极到纳米线的电流（见图 15.12c），对于稍短的纳米线Ⅳ，则受到电极压力而收缩（没有弯曲）。这种情况下，依然可以在纳米线顶端产生压电电压，因此其对电流输出同样是有贡献的。

当有规律地打开/关闭超声波时，纳米发电机的输出电压与输出电流如

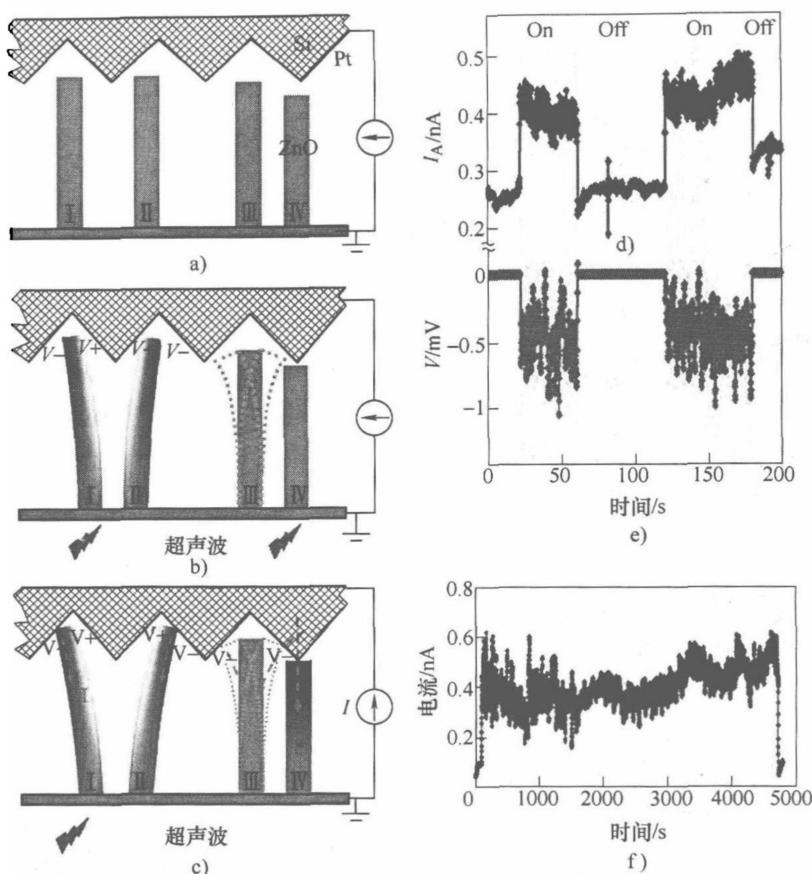



图 15.12 纳米发电机

a)、b)、c) 超声波驱动的纳米发电机机理 d)、e) 当超声波开关时分别测量纳米发电机的电流与电压 f) 延长纳米发电机开启时间时的连续电流输出

图 15.12d、e所示。当打开超声波时，有大约 0.15nA 的电流，当关闭超声波时，电流立刻变为 0。相应的，电压信号也表现出类似的开/关现象，只不过是个负输出 −0.5mV。纳米发电机的有效面积是 $2mm^2$，设计的电流实验中的有效纳米线数大约为 250～1000，纳米发电机连续长时间工作了超过 1h（见图 15.12f）。我们目前的研究进展已经使输出电流增加到了 800nA，输出电压增加到了 10mV。

上述方法提供了一种灵活、机动、低成本地从环境中获取能源的方法，并且为全寿命的无人值守传感器系统、无电源电子产品，甚至在线、实时、可植入式生物器件等提供了自供电技术的可能解决方案。下文将对包括制造纳米发电机的核心部分，即定向生长 ZnO 纳米线及纳米发电机封装在内的纳米发电机装配技术进行详细描述。

## 15.4.3 ZnO 纳米阵列的定向生长

定向生长 ZnO 纳米阵列是纳米发电机的基本部件。气相-液相-固相（VLS）法被认为是一种简单有效的自组装技术，可用于定向生长尺寸、方向和位置可控的纳米线。定向生长纳米线的质量直接决定了纳米发电机的能量转换效率，因此制备长度、尺寸与分级分布均匀的定向 ZnO 纳米线成为获得高输出效率的纳米发电机的关键所在。一般而言，生长基板的晶体结构控制纳米线的生长方向，催化剂控制纳米线的分布，气体浓度控制纳米线质量，包括高度、尺寸均一性、表面光滑性甚至缺陷密度。本部分将对定向 ZnO 纳米线的生长技术与生长机制进行评述。

### 15.4.3.1 ZnO 纳米线定向

2001 年首次获得了大规模、结构完美、垂直定向的 ZnO 纳米线，这些纳米线定向生长在单晶氧化铝基板的 a 面（1120 晶面）上。普遍认为该技术采用金纳米颗粒作为催化剂，触发和诱导晶体生长，而 ZnO 与 $Al_2O_3$ 的取向外延生长关系导致了 ZnO 定向。

与普通的 VLS 过程不同，定向生长要求具有合适的生长速率。因为催化剂需要熔化后形成合金，再通过一步一步地沉积来实现 ZnO 在氧化铝基板上的外延生长。因此，通常需要控制较低的生长温度来降低气相浓度。将 ZnO 与碳粉混合，即所谓的碳热蒸发，可以使汽化温度从 1300℃降至 900℃：



$$\mathrm{ZnO(固体) + C(固体) \longleftrightarrow Zn(气体) + CO(气体)} \quad (15.3)$$

上述反应在相对较低的温度下是可逆的，所以当 Zn 蒸汽与 CO 转移到基板上时，它们能发生反应并且又形成 ZnO。这些 ZnO 能够被金催化剂所吸附，最终通过 VLS 过程形成 ZnO 纳米线。

Wang 等人开发了另一种定向生长 ZnO 纳米线的方法[136]，原材料包括等质量的 ZnO 粉末与石墨粉末（各 0.3g）。将原材料研磨，混合均匀，得到的混合物置于氧化铝坩埚中，再将该坩埚放在氧化铝管的中心位置，基板则放在离中心 10cm 的下游位置。氧化铝管两端用水冷却，以得到一个合适的温度梯度。在水平管式炉上将氧化铝管以 50℃/min 的升温速度加热到 950℃，以 25cm/min（标准状态）的恒定速率通入氩气，维持气压在 300~400mbar。在此环境下保温 20~30min，然后关闭炉子，在氩气下冷却至室温。

在氧化铝基板上定向生长的 ZnO 纳米线的典型形貌如图 15.13a 所示。该 SEM 图是在 30°的倾斜方向拍摄的。所有的纳米线都与基板表面垂直，每根纳米线顶部的暗点是金催化剂。在此过程中，催化剂的存在可以表征生长点。如果所用的催化剂只是一薄层金，纳米线就会随机分布（见图 15.13a）。这是因为在薄层金催化定向生长 ZnO 纳米线以前，它会随机融入分散的纳米颗粒中。一旦催化剂以特定的形状预先形成图案，如形成六方网络结构（见图 15.13b），定向生长的纳米线就会呈现出相同的蜂窝状分布（见图 15.13c）[136]。所有 ZnO 纳米线具有大致相同的高度，大约 1.5μm，直径范围为 50~150nm。通过改变生长时间，ZnO 纳米线高度可

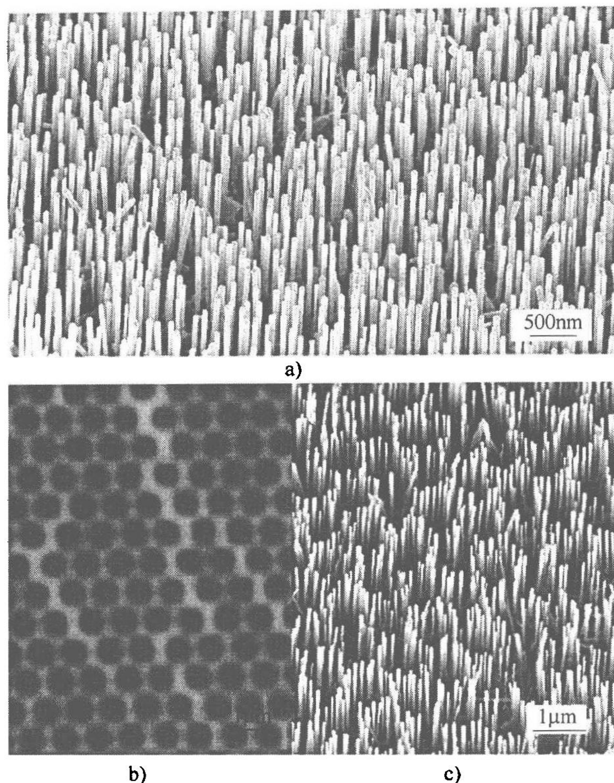



图 15.13　金催化生成 ZnO 纳米线

a）以薄层金作为催化剂在氧化铝基板上生长的定向 ZnO 纳米线 SEM 图　b）以图形衬底作为掩模板的金催化剂图形 SEM 图　c）在蜂窝状图案上生长的对准 ZnO 纳米线 SEM 图片

从几百纳米提高到几个微米。

ZnO 纳米线的定向生长可在氧化铝基板上很好地实现。但是，该技术存在的两个本质问题限制了其在纳米发电机上的应用。由于 $Al_2O_3$ 是一个非导电材料，要利用它实现所有定向生长 ZnO 纳米线的电连接是非常困难的。此外，在生长初期，靠近基板表面旁枝处的侧面生长也是不可避免的。在纳米发电机应用中，需要将 ZnO 纳米线定向生长在导电或半导体基板上，形成纳米电子器件的组装部件。因此，半导体氮化物如 GaN、AlGaN 和 AlN 都可作为生长支撑基板[129,137]。ZnO 纳米线也可以用等量（重量）的 ZnO 与石墨粉混合，然后置于氧化铝坩埚中，再将坩埚置于氧化铝管中央，通过 VLS 法得到。为了加快该反应，将 2%（$1cm^2/min$）（标准状态）氧气与流量为 $49cm^2/min$（标准状态）的载气氩气混合，然后将生长基板置于下游温度约 850℃ 的区域。用水平管式炉以 50℃/min 的升温速度加热原材料至 950℃，压力控制在 30mbar，在此温度下保温 30min，最好系统在氩气流下缓慢冷却至室温。

通过常用的低倍扫描电镜观察在 GaN 基板上生长的 ZnO 纳米线，如图 15.14a 所示。所有 ZnO 纳米线都是直的并垂直于基板，并在整个基板上高度均匀，表明该技术可用于大批量生产。图 15.14b 所示为高倍扫描电镜图，ZnO 纳米线具有均匀的直径。图 15.14c 所示为定向生长 ZnO 纳米线的俯视图。从该图中只能看到顶部很亮的金催化剂，这也表明几乎每根纳米线都垂直于基板，没有分枝，而用氧化铝作为基板制备 ZnO 纳米线不可避免会存在分枝。

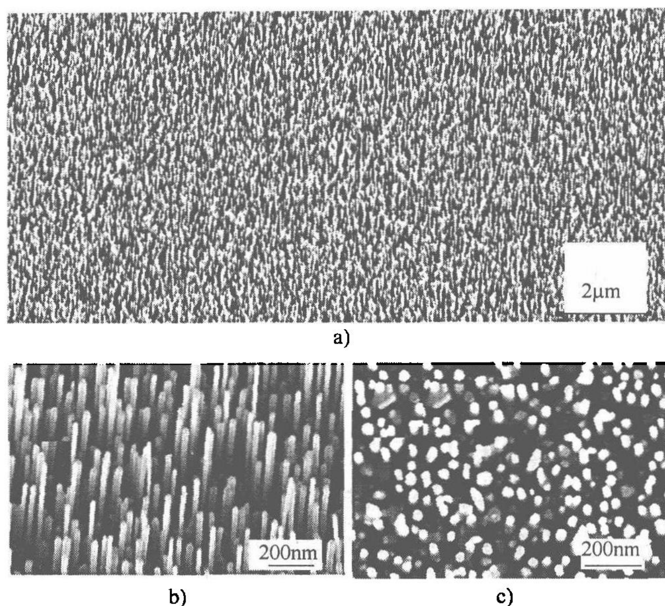



图 15.14　在 GaN 基板上生长的对准 ZnO 纳米棒的 SEM 图
a）30°侧向倾斜的低倍图　b）30°侧向倾斜的高倍图　c）纳米线头部的高倍放大图

#### 15.4.3.2　外延生长关系

在氧化铝与氮化物基板上的定向生长结果清楚地表明，基板晶体结构对 VLS 过程生长的纳米线取向起到了关键作用。基板表面与 ZnO 纳米线的外延生长关系决定了是否能够定向生长及定向的程度。硅基板上生长的纳米线经常是随机取向的，因为在相对较低的温度下，金催化剂倾向于与 Si 形成合金，因而破坏了硅片表面的单晶结构[138]。在氧化铝与氮化物基板上能够成功定向生长 ZnO，主要归功于基板与 ZnO 间的晶格失配度较小。

在氧化铝的例子中，经常使用（1120）平面取向的氧化铝基板。这是因为 $Al_2O_3$ 的 *c* 轴与 ZnO 的 a 轴间的晶格失配度最小。ZnO 纳米线与氧化铝基板 a 面间的取向外延生长关系如图 15.15a 所示。其中，（0001）ZnO ∥（1120）$Al_2O_3$，［1120］ZnO ∥［0001］$Al_2O_3$，4 个［0110］ZnO（$4\times3.249\text{nm}=1.2996\text{nm}$）与［0001］$Al_2O_3$（1.299nm）间的晶格失配度几乎为 0，从而限制了 ZnO 纳米线的生长方向。然而，

由于 $Al_2O_3$ 的（1120）面为矩形晶格，而 ZnO 的（0001）面为六方晶格。这种取向外延生长关系只能限制一个方向的生长。正如图 15.15a 所示，在［1100］方向上晶格失配度非常大，导致晶格变形，并在界面附近形成压力。结果，在氧化铝基板 a 平面上经常可以观察到 ZnO 的旁枝侧向生长，尤其是在生长区域的边缘处，这是因为在边缘上无法对侧向生长进行空间限制（见图 15.15b）。

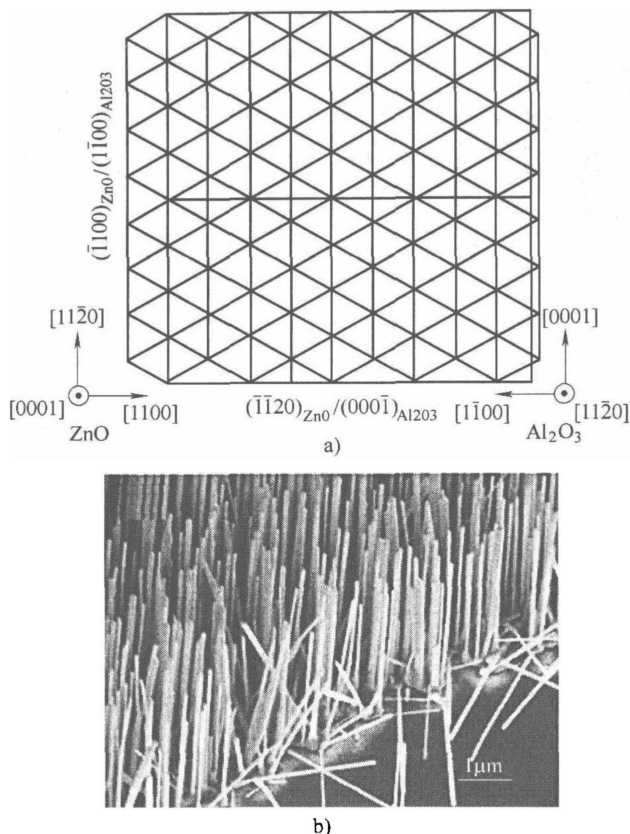
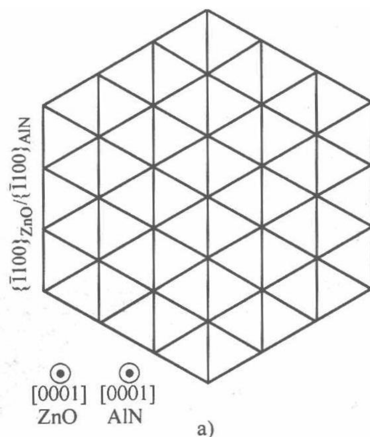


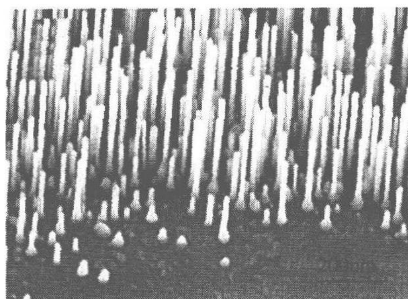

图 15.15　$Al_2O_3$ 与 ZnO 纳米线

a）ZnO 的 *c* 面与 $Al_2O_3$ 的 *a* 面间的外延关系示意图

b）$Al_2O_3$ 基板上定向生长的 ZnO 纳米线边缘图片

氮化物基板如 GaN、AlN 和 AlGaN，都具有和 ZnO 一样的纤锌矿结构。因此，六个等效的［0110］方向上的 ZnO 纳米线生长受到限制，只能沿着［0001］方向生长，与基板的晶体取向完全一致，如图 15.16a 所示。在此例子中，取向外延生长的限制平均分配在整个二维原子平面上。结果尽管晶格失配度从 GaN（1.8%）到 AlN（4.3%）变得越来越大，仍然可以获得很好的定向生长效果，而且 ZnO 纳米棒产生侧面生长的可能性也非常小（见图 15.16b）。因此，*c* 面取向的 $AlxGa_{1-X}N$ 基板是定向生长 ZnO 纳米线的理想选择。



b)

图 15.16　AlN 与 ZnO 纳米线

a) ZnO 的 c 面与 AlN 的 c 面间的外延关系示意图

b) AlN 基板上定向生长的 ZnO 纳米线边缘图片

#### 15.4.3.3　纳米线生长控制

通常采用生长区域附近的气相浓度来控制定向生长纳米线的质量。在 VLS 过程中，可以通过控制很多变量来影响 ZnO 气相浓度，包括炉温、炉内温度梯度、炉内压力、预抽气压力、氧气浓度、载气流速与基板位置等。在这些影响因素中，一些只是生长设备的物理参数，如温度梯度、预抽气压力与基板位置，在实验中可以很容易地设定为一个定值。但是，其他影响因素则具有相互交叉作用。

为了确定最优的生长条件，Song 等人进行了一个系统研究。从试验结果来看，氧气偏压与系统总压力在 ZnO 纳米线生长过程中起到了关键性作用[139]。不同的氧气体积百分比与不同的炉内压力，会严重影响 ZnO 纳米线的质量与生长习性。为了定量确定定向生长 ZnO 纳米线的氧气偏压与炉内压力的最佳组合，进行了不同生长条件下超过 100 次的生长实验。为了保持一致性，所有的样品数据都是在 880℃的温度区域收集。该区域位于离原料 10cm 处，氧气体积百分比从 1% 变化到 4%，系统压力则从 1.5mbar 变化到 300mbar。由于该生长系统开始时炉压被抽至 $2\times10^{-2}$mbar，然后再提高到生长压力，即 1.5～300mbar，来自于空气中的氧气只

占整个氧气容量0.28% ~0.0014%，远远小于气流中氧气的百分比。因此，氧气偏压被认为是混合气流中导入的氧气体积百分比。

图15.17所示为实验结果的概括。此“相图”所表示的是在ZnO纳米线的最佳生长工况下，氧气在炉压和系统压力中的体积分数。“相图”一词在这里实际上代表了受控合成纳米线的“等高线图”，此相图可用于控制VLS工艺。如图15.17所示，水平轴表示总炉压的对数，垂直轴为炉中氧气的体积分数及不同情况下生长的ZnO纳米线质量对比。纳米线质量由其均匀度、密度、长度和整齐程度来评价。相图中，亮三角形中心的暗区表示最佳生长条件，在此条件下可得到高密度，长度厚度均匀且高对准精度的ZnO纳米线。在暗区周围的明亮区域，纳米线可获得良好生长，但是密度较低，长度稍短；在边缘的灰色区域，生长质量很差，只能得到少量很短的纳米线；明亮三角形以外的区域生长不出纳米线。此相图为定向生长高质量ZnO纳米线提供了技术路线图。

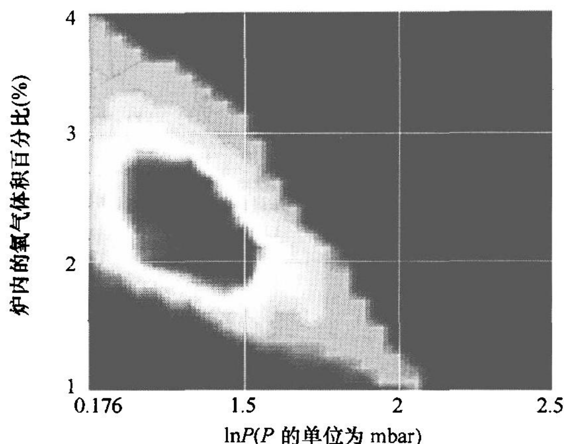



图15.17 相图显示了生长炉内的氧气体积百分比（如分压）与生长炉内的压力间的关系

## 15.4.4 纳米发动机组装与封装

### 15.4.4.1 ZnO纳米线器件的表面保护

纳米发电机的工作原理是将机械振动能转化为电能，使其可以在包括水下甚至是人体内的各种条件下工作。不过，这要求ZnO纳米线能保持稳定，能够在恶劣条件下工作。为了研究ZnO纳米线在液体和生物液体中的稳定性，Zhou等人系统研究了ZnO在温和的pH值下各种溶剂中的溶解情况，包括去离子水（DI，pH =4.5 ~5.0）、氨水（pH =7.0 ~7.1，8.7 ~9.0）、NaOH溶液（pH =7.0 ~7.1，8.7 ~9.0）及马血清[140]。

首先研究了去离子水（pH =4.5 ~5.0）会对单根ZnO纳米线造成何种影响。图15.18a所示为ZnO纳米线（约1μm厚）的SEM图，具有非常光滑的六角形截面。然后，在整个ZnO纳米线的顶部滴一滴去离子水，30min后ZnO纳米线产生剧烈腐蚀，从而形成一个非常粗糙而不规则的表面（见图15.18b）。另外，纳米线的厚度也变得只有200nm且不再是六角形，这表明纳米线发生了各向异性腐蚀。氨水与NaOH溶液具有非常类似的溶解腐蚀现象。

为了研究ZnO纳米线在生物液体中的兼容性，研究了纯马血清（pH =8.5）对ZnO纳米线的影响。图15.18c、d分别为ZnO纳米线在纯马血清中浸泡1h和6h后的SEM照片，其溶解速率远小于其在水溶液中的速率。1h后的ZnO表面仅仅是

变得略为粗糙，而六角形的形状仍然清晰可辨（见图 15.18c）。6h 后，2/3 的纳米线被溶解，其形状变得不规则（见图 15.18d）。

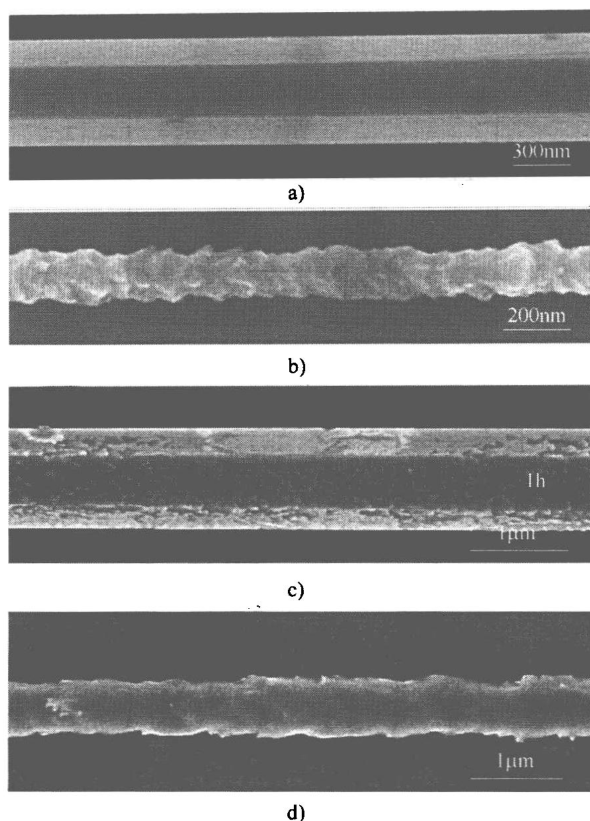



图 15.18　ZnO 在四种腐蚀下的 SEM 图

a)、b) 与去离子水作用前后的单根 ZnO 纳米线 SEM 图　c)、d) 置于马血清（pH = 8.5）中 1h 和 6h 后的 ZnO 纳米线 SEM 图

该研究表明，溶解成为离子前 ZnO 纳米线可以在液体中存在几个小时。这也说明如果要直接将纳米线应用于液体中，需要对其进行保护。作为纳米发电机，为了能够长时间工作，需要保持 ZnO 纳米线稳定。当需要在液体中或生物液体中工作时，其迅速的溶解特性将严重影响纳米发电机的性能与寿命。因此，对 ZnO 纳米线进行封装，使其在获得良好保护的同时又不牺牲其移动自由度，对纳米发电机能够工作在各种工作条件下的多功能性非常重要。

#### 15.4.4.2　生物流体中的纳米发电机

通过改进封装技术，Wang 等人设计了能够在生物相容性液体中由超声波驱动发电的纳米发电机[141]。该纳米发电机是对前文所述的传统设计，即垂直定向生长 ZnO 纳米线（上面有镀铂的锯齿电极），改进而来。为了保护纳米发电机避免液体渗透到其内部，纳米发电机的核心部分用高分子材料完全封装起

来，高分子材料很软，可以保证 ZnO 纳米线与顶部电极间的自由移动。如图 15.19a 所示，将纳米发电机置于充满与生物流体类似的 0.9% NaCl 溶液的容器内，基板与顶部电极采用防水的延长线路连接到容器外，并分别形成正、负极。

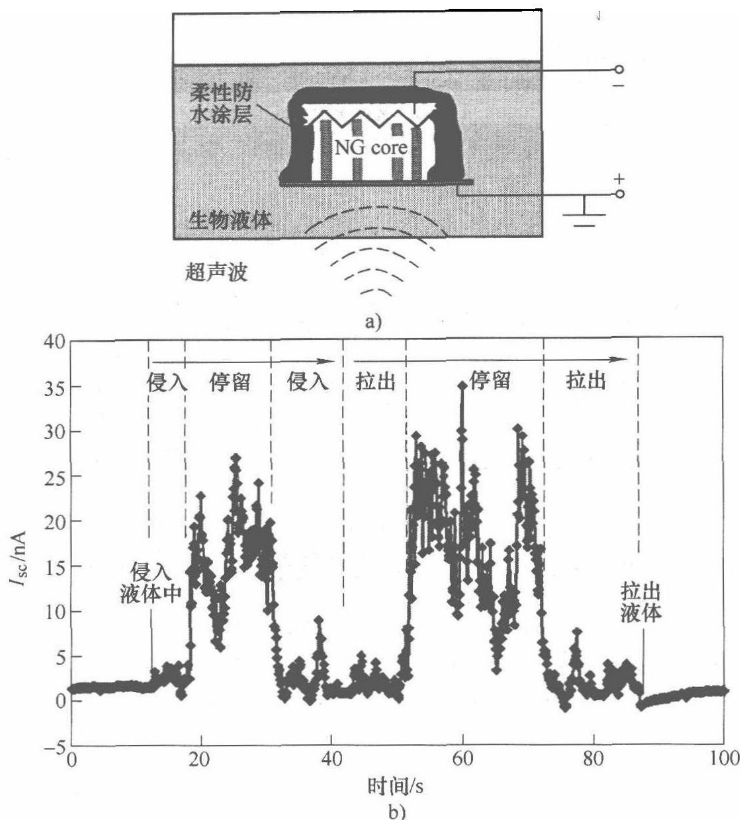



图 15.19　生物液体内工作的纳米发电机

a）生物液体内工作的纳米发电机示意图　b）当纳米发动机沿垂直方向移动（从水面到底部再到水面）时测量到的短路电流信号

实验中，生物流体装入一个直径为 11cm、高 9.5cm 的玻璃容器中，超声波源置于容器的正下方中心位置。当超声波在容器内传输时，会受到容器壁及水面反射，因此提高了液体内一些区域的波密度。防水的纳米发电机置于液体中，可在任意方向自由移动，同时连续监测输出电流。首先，将纳米发电机放在水面以上的中心区域并开启超声波，相应的电流信号如图 15.19b 所示。然后，纳米发电机缓慢地沿着液体 $Z$ 轴（深度方向）移动，当其接触到液面时能够立刻观测到一个大约 1nA 的电流跃变。当纳米发电机到达液面下约 3.3cm 深时，电流迅速上升到大约 20nA。将纳米发电机固定在这个深度时，输出电流可以长时间地保持在该水平上。经过 15s 稳定的高输出后，将纳米发电机进一步下沉到更深的位置，电流则回落到

1 ~ 2nA 的水平。当到达容器底部时，将纳米发电机拉出水面。当其再次到达 3.3cm 深的位置时，再次观测到 20 ~ 25nA 的电流，当纳米发电机离开水面后电流信号为 0。

相应的寿命测试表明，液体中的纳米发电机在超声波驱动下能够稳定工作 2h 以上。该模型成功地证明了纳米发电机可以工作在液体介质中，并且为自供电植入式无线器件与系统应用提供了坚实的基础。

#### 15.4.4.3　纳米发电机封装

水下工作的纳米发电机表明，封装可以增强其对于各种工作环境的适应性。除此以外，封装对获得高输出功率也特别重要。

研究纳米发电机的模型表明，输出电流低主要是因为用于发电的纳米线比例非常低。因此，为了提高输出电流，如何使大量纳米线同时连续地放电是一件非常重要的事情。从纳米发电机的工作原理可知，锯齿形电极的两齿中间是纳米线的最佳位置。虽然纳米线的定向排列已经能够精确控制，但如何保证纳米线位于理想的位置对纳米发电机而言仍然是一大挑战。这也是控制纳米发电机输出的关键因素之一。

首先，要精确控制锯齿电极顶部与底部基板间的距离。Wang 等人的纳米发电机模型中，该距离由一层较软的高分子控制，这层高分子不仅控制间距，使两个电极互相隔离，而且很柔，使顶部电极能够自由地做上下运动[134]。然而，在该装置中，绝大多数纳米线被阻隔在两齿间，实际上只有极少数（大约 1%）纳米线处于正确的位置用于发电，这是输出功率较低的主要原因之一。在顶电极与底电极间引入一个隔离片可以精确地控制距离。考虑到纳米线的长度大约为 2μm，顶电极的齿深为 800nm，隔离层厚度应该比纳米线厚度小 400nm。这样纳米线就可以处于齿中间的正确位置上。同时，这样的隔离层也需要进行防水处理并且要求很软，以保证纳米发电机正常动作的灵活性。采用 SU8 这种高分子作为隔离层应该是个不错的选择。

另一方面，除了控制间距，需要根据图形化的顶电极来选择性生长 ZnO 纳米线。由于顶电极并不平整，虽然在空间上可以很好地进行控制，但是顶电极表面到底电极的距离仍然各不相同。因此，由于随机分布，ZnO 纳米线很有可能在组装时被直接压短或者压弯。这使真正有效发电的 ZnO 纳米线数降低，器件电容升高，这两种作用的结果导致输出功率非常低。控制 ZnO 的图形化生长模式可以通过使用与顶电极图形相同的催化剂结构，对其进行预图形化生长。在最终的封装形式中，ZnO 纳米线阵列需要排列整齐并与顶电极相对应。考虑到两齿间的槽宽大约为 2μm，要实现如此高精度的排列需要使用显微镜操作。

当上述两种封装方法得以实现时，将有 80% 以上的纳米线参与发电过程中，使输出功率大约为 $10mW/cm^2$。

### 15.4.5 总结

压电纳米发电机建立在垂直定向生长 ZnO 纳米线的基础上，其工作原理是基于弯曲的 ZnO 纳米线上所产生的压电电压。金属电极与 ZnO 晶体间肖特基结的矫正作用可以选择性地积累和释放电荷，产生一个连续的机械能-电能转换。纳米发电机能够在不同条件下，如地下水甚至人体中，将小的机械振动能及压力转换为电能。纳米发电机应用及其能量转换效率，取决于其加工与封装技术。一般来说，大多数纳米线（最好 100%）应当参与到发电过程中，所有纳米线都应该在保证灵活可动性的同时与腐蚀性环境隔离。这要求纳米线具有空间均匀性及完美的定位，并且纳米线阵列要与顶电极对齐。当这些关键性的问题得到解决后，纳米发电机将有可能成为全寿命无人值守传感器系统、无电源电子器件甚至在线、实时、可植入式生物器件的新型自供电技术。

## 参考文献


1. J.E. Morris (editor), "Nanopackaging: Nanotechnologies and Electronics Packaging," Springer, 2008
2. Y. Hayashi, H. Takizawa, M. Inoue, K. Niihara, and K. Suganuma, "Ecodesigns and Applications for Noble Metal Nanoparticles by Ultrasound Process", IEEE Transactions on Electronic Packaging Manufacturing, 28(4), 338–343, 2005
3. H. Jiang, K. Moon, and C.-P. Wong, "Synthesis of Ag-Cu Alloy Nanoparticles for Lead-Free Interconnect Materials", Proc. 10th IEEE/CPMT International Symposium on Advanced Packaging Materials, Irvine, CA, USA, 173–177, 2005
4. S. Pothukuchi, Y. Li, and C.-P. Wong, "Shape Controlled Synthesis of Nanoparticles and Their Incorporation into Polymers", Proc. 54th IEEE Electronic Component & Technol. Conf., Las Vegas, NV, USA, 1965–1967, 2004
5. M. Ohring, "Materials Science of Thin Films: Deposition & Structure (Second edition)," Academic Press, 395–397, 2002
6. F. Wu and J.E. Morris, "Characterizations of (SiOxCr1-x)N1-y Thin Film Resistors for Integrated Passive Applications", 53rd Electronic Components & Technol. Conf., New Orleans, LA, USA, 161–166, 2003
7. J.E. Morris, "Recent Progress in Discontinuous Thin Metal Film Devices," Vacuum, 50(1–2), 107–113, 1998
8. J.E. Morris, F. Wu, C. Radehaus, M. Hietschold, A. Henning, K. Hofmann, and A. Kiesow, "Single Electron Transistors: Modeling and Fabrication" Proc. 7th Int. Conf. Solid State & Integrated Circuit Technology (ICSICT), Beijing, China, 634–639, 2004
9. H. Jiang, K. Moon, H. Dong, and F. Hua, "Thermal Properties of Oxide Free Nano Non Noble Metal for Low Temperature Interconnect Technology", Proc. 56th IEEE Electronic Component & Technol. Conf., San Diego, CA, USA, 1969–1973, 2006
10. J.R. Sambles, "An Electron Microscope Study of Evaporating Gold Particles: The Kelvin Equation for Liquid Gold and the Lowering of the Melting Point of Solid Gold Particles," Proc. Roy. Soc. Lond. A, 324, 339–351, 1971
11. J.E. Morris, "Single-Electron Transistors," in "The Electrical Engineering Handbook Third edition): Electronics, Power Electronics, Optoelectronics, Microwaves, Electromagnetics, and Radar," Richard C. Dorf (editor), CRC/Taylor & Francis, 3.53–3.64, 2006

12. R.A. Flinn and P.K. Trojan, "Engineering Materials & their Applications (Second edition)," Houghton-Mifflin, 75–77, 1981
13. T. Yamaguchi, M. Sakai, and N. Saito, "Optical Properties of Well-Defined Granular Metal Systems," Phys. Rev. B, 32(4), 2126–2130, 1985
14. R. Das, M. Poliks, J. Lauffer, and V. Markovich; "High Capacitance, Large Area, Thin Film, Nanocomposite Based Embedded Capacitors", Proc. 56th IEEE Electronic Component & Technol. Conf., San Diego, CA, USA, 1510–1515, 2006
15. J. Xu and C.-P. Wong, "High-K Nanocomposites with Core-Shell Structured Nanoparticles for Decoupling Applications", Proc. 55th IEEE Electronic Component & Technol. Conf., Orlando, FL, USA, 1234–1240, 2005
16. J. Xu and C.-P. Wong, "Effects of the Low Loss Polymers on the Dielectric Behavior of Novel Aluminum-filled High-k Nano-composites," Proc. 54th IEEE Electronic Component & Technol. Conf., Las Vegas, NV, USA, 496–506, 2004
17. J. Lu, K. Moon, and C.-P. Wong, "Development of Novel Silver Nanoparticles/Polymer Composites as High K Polymer Matrix by In-situ Photochemical Method", Proc. 56th IEEE Electronic Component & Technol. Conf., San Diego, CA, USA, 1841–1846, 2006
18. L. Ekstrand, H. Kristiansen, and J. Liu, "Characterization of Thermally Conductive Epoxy Nano Composites," Proc 28th Int. Spring Seminar on Electronics Technology (ISSE'05), Vienna, Austria, 19–23, 2005
19. L. Fan, B. Su, J. Qu, and C.-P. Wong; "Electrical and Thermal Conductivities of Polymer Composites Containing Nano-Sized Particles", Proc. 54th IEEE Electronic Component & Technol. Confer., Las Vegas, NV, USA, 148–154, 2004
20. H. Jiang, K. Moon, L. Zhu, J. Lu, and C.P. Wong, "The Role of Self-Assembled Monolayer (SAM) on Ag Nanoparticles for Conductive Nanocomposite", Proc. 10th IEEE/CPMT International Symposium on Advanced Packaging Materials, Irvine, CA, USA, 266–271, 2005
21. R. Das, J. Lauffer, and F. Egitto, "Electrical Conductivity and Reliability of Nano- and Micro-Filled Conducting Adhesives for *Z*-axis interconnections," Proc. 56th IEEE Electronic Component & Technol. Conf., San Diego, CA, USA, 112–118, 2006
22. K. Moon, S. Pothukuchi, Y. Li, and C.-P. Wong, "Nano Metal Particles for Low Temperature Interconnect Technology", Proc. 54th IEEE Electronic Component & Technol. Conf., Las Vegas, NV, USA, 1983–1988, 2004
23. Y. Li, K. Moon, and C.-P. Wong, "Improvement of Electrical Performance of Anisotropically Conductive Adhesives", Proc. 10th IEEE/CPMT International Symposium on Advanced Packaging Materials, Irvine, CA, USA, 221–226, 2005
24. Y. Li, K. Moon, and C.-P. Wong, "Electrical Property of Anisotropically Conductive Adhesive Joints Modified by Self-Assembled Monolayer (SAM)", Proc. 54th IEEE Electronic Component & Technol. Conf., Las Vegas, NV, USA, 1968–1974, 2004
25. S. Joo and D.F. Baldwin, "Demonstration for Rapid Prototyping of Micro-Systems Packaging by Data-Driven Chip-First Process Using Nano-Particles Metal Colloids," Proc. 55th IEEE Electronic Component & Technol. Confer., Orlando, FL, USA, 1859–1863, 2005
26. A. Moscicki, J. Felba, T. Sobierajski, J. Kudzia, A. Arp, and W. Meyer; "Electrically Conductive Formulations Filled Nano Size Silver Filler for Ink-Jet Technology", Proc. 5th International Conference on Polymers and Adhesives in Microelectronics and Photonics, Wroclaw, Poland, 40–44, 2005
27. J. Kolbe, A. Arp. F. Calderone, E.M. Meyer, W. Meyer, H. Schaefer, and M. Stuve, "Inkjettable Conductive Adhesive for Use in Microelectronics and Microsystems Technology," Proc. 5th International Conference on Polymers and Adhesives in Microelectronics and Photonics, Wroclaw, Poland, 160–163, 2005
28. J.G. Bai, K.D. Creehan, and H.A. Kuhn, "Inkjet Printable Nanosilver Suspensions for Enhanced Sintering Quality in Rapid Manufacturing," Nanotechnology, 18 1–5, 2005

29. W. Peng, V. Hurskainen, K. Hashizume, S. Dunford, S. Quander, and R. Vatanparast, "Flexible Circuit Creation with Nano Metal Particles", Proc. 55th IEEE Electronic Component & Technol. Conf., Orlando, FL, USA, 77–82, 2005
30. J.G. Bai, Z.Z. Zhang, J.N. Calata, and G.-Q. Lu, "Low-Temperature Sintered Nanoscale Silver as a Novel Semiconductor Device-Metallized Substrate Interconnect Material," IEEE Trans. Components & Packaging Technol., 29(3), 589–593, 2006
31. M. Nakamoto, M. Yamamoto, Y. Kashiwagi, H. Kakiuchi, T. Tsujimoto, and Y. Yoshida, "A Variety of Silver Nanoparticle Pastes for Fine Electronic Circuit Patter Formation," Proc. 6th International Conference on Polymers and Adhesives in Microelectronics and Photonics, Tokyo, 105–109, 2007
32. D. Wakuda, M. Hatamura, and K. Suganuma, "Novel Room Temperature Wiring Process of Ag Nanoparticle Paste," Proc. 6th International Conference on Polymers and Adhesives in Microelectronics and Photonics, Tokyo, 110–113, 2007
33. A. Moscicki, J. Felba, P. Gwiazdzinski, and M. Puchalski, "Conductivity Improvement of Microstructures made by Nano-Size-Silver Filled Formulations," Proc. 6th International Conference on Polymers and Adhesives in Microelectronics and Photonics, Tokyo, 305–310, 2007
34. J.G. Bai, Z.Z. Zhang, J.N. Calata, and G.-Q. Lu, "Characterization of Low-Temperature Sintered Nanoscale Silver Paste for Attaching Semiconductor Devices," Proc. 7th IEEE CPMT Conference on High Density Microsystem Design and Packaging and Component Failure Analysis (HDP'05), Shanghai, China, 272–276, 2005
35. P. Lall, S. Islam, J. Suhling, and G. Tian, "Nano-Underfills for High-Reliability Applications in Extreme Environments", Proc. 55th IEEE Electronic Component & Technol. Conf., Orlando, FL, USA, 212–222, 2005
36. Y. Sun, Z. Zhang, and C.-P. Wong, "Photo-Definable Nanocomposite for Wafer Level Packaging", Proc. 55th IEEE Electronic Component & Technol. Conf., Orlando, FL, USA, 179–184, 2005
37. Y. Sun and C.-P. Wong, "Study and Characterization on the Nanocomposite Underfill for Flip Chip Applications", Proc. 54th IEEE Electronic Component & Technol. Confer., Las Vegas, NV, USA, 477–483, 2004
38. Y. Sun, Z. Zhang, and C.-P. Wong, "Fundamental Research on Surface Modification of Nano-size Silica for Underfill Applications", Proc. 54th IEEE Electronic Component & Technol. Conf., Las Vegas, NV, USA, 754–760, 2004
39. T. Ramanathan et al., "Functionalized SWNT/Polymer Nanocomposites for Dramatic Property Improvement," www.interscience.wiley.com
40. M. Roy et al., "Polymer Nanocomposite Dielectrics – The Role of the Interface," IEEE Transactions on Dielectrics and Electrical Insulation, 12(6), 1273–1273, 2005
41. W. Guan, S.C. Verma, Y. Gao, C. Andersson, Q. Zhai, and J. Liu, "Characterization of Nanoparticles of Lead Free Solder Alloys," Proc. 1st IEEE Electronics Systemintegration Technol. Conf., Dresden, Germany, 7–12, 2006
42. K.M. Kumar, V. Kripesh, and A.A.O. Tay, "Sn-Ag-Cu Lead-free Composite Solders for Ultra-Fine-Pitch Wafer-Level Packaging," Proc. 56th IEEE Electronic Component & Technol. Conf., San Diego, CA, USA, 237–243, 2006
43. M. Amagai, "A Study of Nano Particles in SnAg-Based Lead Free Solders for Intermetallic Compounds and Drop Test Performance", Proc. 56th IEEE Electronic Component & Technol. Confer., San Diego, CA, USA, 1170–1190, 2006
44. V. Kripesh, K. Mohankumar, and A. Tay, "Properties of Solders Reinforced with Nanotubes and Nanoparticles", Proc. 56th IEEE Electronic Component & Technol. Conf., San Diego, CA, USA, 2006
45. K.M. Klein, J. Zheng, A. Gewirtz, D.S. Sarma, S. Rajalakshmi, and S.K. Sitaraman, "Array of Nano-Cantilevers as a Bio-Assay for Cancer Diagnosis", Proc. 55th IEEE Electronic Component & Technol. Conf., Orlando, FL, USA, 583–587, 2005

46. B. Lee, R. Pamidigantham, and C.S. Premachandran, "Development of Polymer Waveguide using Nano-Imprint Method for Chip to Chip Optical Communication and Study the Suitability on Organic Substrates", Proc. 56th IEEE Electronic Component & Technol. Conf., San Diego, CA, USA, 2006
47. R.-J. Lin, Y.-Y. Hsu, Y.-C. Chen, S.-Y. Cheng, and R.-H. Uang, "Fabrication of Nanowire Anisotropic Conductive Film for Ultra-fine Pitch Flip Chip Interconnection" Proc. 55th IEEE Electronic Component & Technol. Confer., Orlando, FL, USA, 66–70, 2005
48. S. Fiedler, M. Zwanzig, R. Schmidt, E. Auerswald, M. Klein, W. Scheel, and H. Reichl, "Evaluation of Metallic Nano-Lawn Structures for Application in Microelectronics Packaging," Proc. 1st IEEE Electronics Systemintegration Technol. Conf., Dresden, Germany, 886–891, 2006
49. H.P. Wu, J.F. Liu, X.J. Wu, M.Y. Ge, Y.W. Wang, G.Q. Zhang, and J.Z. Jiang, "High Conductivity of Isotropic Conductive Adhesives Filled with Silver Nanowires," Int. J. Adhesion & Adhesives, 26, 617–621, 2006
50. H. Wu, X. Wu, J. Liu, G. Zhang, Y. Wang, Y. Zeng, and J. Jing, "Development of a Novel Isotropic Conductive Adhesive Filled with Silver Nanowires," J. Composite Mater., 40(21), 1961–1969, 2006
51. C.K.Y. Wong, H. Gu, B. Xu, and M.M. Fyuen, "A New Approach in Measuring Cu-EMC Adhesion Strength by AFM", Proc. 54th IEEE Electronic Component & Technol. Confer., Las Vegas NV, USA, 491–495, 2004
52. M. Luniak, H. Hoeltge, R. Brodmann, and K.-J. Wolter, "Optical Characterization of Electronic Packages with Confocal Microscopy," Proc. 1st IEEE Electronics Systemintegration Technol. Conf., Dresden, Germany, 1318–1322, 2006
53. B. Koehler, B. Bendjus, and A. Striegler, "Determination of Deformation Fields and Visualization of Buried Structures by Atomic Force Acoustic Microscopy," Proc. 1st IEEE Electronics Systemintegration Technol. Confer., Dresden, Germany, 1330–1335, 2006
54. B. Michel, R. Dudek, and H. Walter, "Reliability testing of Polytronics Components in the Micro-Nano Region", Proc. 5th International Conference on Polymers and Adhesives in Microelectronics and Photonics, Wroclaw, Poland, 13–15, 2005
55. S. Koh, R. Rajoo, R. Tummala, A. Saxena, and K.T. Tsai, "Material Characterization for Nano Wafer Level Packaging Application", Proc. 55th IEEE Electronic Component & Technol. Confer., Orlando, FL, USA, 1670–1676, 2005
56. E.D. Dermitzaki, J. Bauer, B. Wunderle, and B. Michel, "Diffusion of Water in Amorphous Polymers at Different Temperatures Using Molecular Dynamics Simulation," Proc. 1st IEEE Electronics Systemintegration Technol. Confer., Dresden, Germany, 762–772, 2006
57. L. Allen, R.A. Bayles, W.W. Gile, and W.A. Jesser, "Small Particle Melting of Pure Metals", Thin Solid Film, 144, 297–308, 1986
58. R. Birringer, H. Gleiter, H. P. Klein, and P. Marquart, "Nanocrystalline Materials an Approach to a Novel Solid Structure with Gas-like Disorder?", Phys. Lett. 102A, 365–369, 1984
59. B.I. Lee and E.J.A. Pope, "Chemical Processing of Ceramics", Marcel Dekker, 1994
60. O.G. Raabe, in "Fine Particles", ed. by B.Y.H. Liu, Academic Press, Inc., 60, 1975
61. J. Thomas, "Preparation and Magnetic Properties of Colloidal Cobalt Particles", J. Appl. Phys. 37, 2914–2915, 1966
62. G.L. Rochfort and R.D. Rieke, "Preparation, Characterization, and Chemistry of Activated Cobalt", Inorg. Chem., 25, 348–355, 1986
63. K. Klabunde, Y. Li, and B. Tan, "Solvated Metal Atom Dispersed Catalysts", Chem. Mater., 3, 30–39, 1991
64. F. Mafune, J.Y. Kohno, Y. Takeda, and T. Kondow, "Dissociation and Aggregation of Gold Nanoparticles under Laser Irradiation", J. Phys. Chem. B, 105, 9050–9056, 2001

65. Y.B. Zhao, Z.J. Zhang, and H.X. Dang, "Preparation of Tin Nanoparticles by Solution Dispersion", Mater. Sci. Eng. A359, 405–407, 2003
66. Y.B. Zhao, Z.J. Zhang, and H.X. Dang, "Synthesis of In-Sn Alloy Nanoparticles by a Solution Dispersion Method", J. Mater. Chem. 14, 299–302, 2004
67. H.J. Jiang, K. Moon, F. Hua, and C.P. Wong, "Synthesis and Thermal and Wetting Properties of Tin/Silver Alloy Nanoparticles for Low-Melting Point Lead-Free Solders", Chem. Mater. 19, 4482–4485, 2007
68. R. Garrigos, P. Cheyssac, and R. Kofman, "Melting for Lead Particles of Very Small Sizes-Influence of Surface Phenomena", Z. Phys. D, 12, 497–500, 1989
69. W.Y. Hu, S.G. Xiao, J.Y. Yang, and Z. Zhang, "Melting Evolution and Diffusion Behavior of Vanadium Nanoparticles", Eur. Phys. J. B, 45, 547–554, 2005
70. G.E. Moore, "Progress in Digital Integrated Electronics," International Electron Devices Meetings, Washington, DC, USA, 11–13, 1975
71. R.S. Prasher et al., "Nano and Micro Technology Based Next Generation Package-Level Cooling Solutions," Intel. Technol. J., 9(4), 285–292, 2005
72. F. Kreupl et al., "Carbon Nanotubes in Interconnect Applications," Microelectron. Eng., 64(1–4), 399–408, 2002
73. A.P. Graham et al., "How do Carbon Nanotubes Fit into the Semiconductor Roadmap?" Appl. Phys. A-Mater. Sci. & Process., 80(6), 1141–1151, 2005
74. S. Frank et al., "Carbon Nanotube Quantum Resistors," Science, 280(5370), 1744–1746, 1998
75. T.W. Wu and E.C. Chen, "Crystallization Behavior of Poly(Epsilon-Caprolactone)/Multiwalled Carbon Nanotube Composites," J. Polymer Sci. Part B-Polymer Phys., 44(3), 598–606, 2006
76. S. Mizuno et al., "Dielectric Constant and Stability of Fluorine Doped PECVD Silicon Oxide Thin Films," Thin Solid Films, 283(1), 30–36, 2006
77. B.Q. Wei, R. Vajtai, and P.M. Ajayan, "Reliability and Current Carrying Capacity of Carbon Nanotubes," Appl. Phys. Lett., 79(8), 1172–1174, 2001
78. A.P. Graham et al., "Carbon Nanotubes for Microelectronics?" Small, 1(4), 382–390, 2005
79. M. Nihei, "Electrical Properties of Carbon Nanotube Bundles for Future Via Interconnects," Japanese J. Appl. Phys. Part 1-Regular Papers Short Notes & Review Papers, 44(4A), 1626–1628, 2005
80. W. Hoenlein et al., "Carbon Nanotubes for Microelectronics: Status and Future Prospects," Mater. Sci. Eng. C-Biomimetic and Supramolecular Syst, 23(6), 663–669, 2003
81. Y. Awano, "Carbon Nanotube Technologies for LSI via Interconnects," IEICE Transactions on Electronics, E89-C(11), 1499–1503, 2006
82. L. Zhu, Y. Xiu, D. Hess, and C.-P. Wong, "In-situ Opening Aligned Carbon Nanotube Films/Arrays for Multichannel Ballistic Transport in Electrical Interconnect", Proc. 56th IEEE Electronic Component & Technol. Confer., San Diego, CA, USA, 171–176, 2006
83. A. Naeemi, G. Huang, and J. Meindl, "Performance Modeling for Carbon Nanotube Interconnects in On-chip Power Distribution," Proc. 57th IEEE Electronic Component & Technol. Conf., Reno, NV, USA, 420–428, 2007
84. Y. Chai, J. Gong, K. Zhang, P.C.H. Chan, and M.M.F. Yuen, "Low Temperature Transfer of Aligned Carbon Nanotube Films Using Liftoff Technique," Proc. 57th IEEE Electronic Component & Technol. Conf., Reno, NV, USA, 429–434, 2007
85. C.-J. Wu, C.-Y. Chou, C.-N. Han, and K.-N. Chiang, "Simulation and Validation of CNT Mechanical Properties – The Future Interconnection Method," Proc. 57th IEEE Electronic Component & Technol. Confer., Reno, NV, USA, 447–452, 2007
86. A. Ruiz, E. Vega, R. Katiyar, and R. Valentin, "Novel enabling wire bonding technology," Proc. 57th IEEE Electronic Component & Technol. Confer., Reno, NV, USA, 458–462, 2007
87. G.A. Riley, "Nanobump Flip Chips," Adv. Packaging, 18–20, 2007

88. R.T. Pike, R. Dellmo, J. Wade, S. Newland, G. Hyland, and C.M. Newton, "Metallic Fullerene and MWCNT Composite Solutions for Microelectronics Subsystem Electrical Interconnection Enhancement", Proc. 54th IEEE Electronic Component & Technol. Conf., Las Vegas, NV, USA, 461–465, 2004
89. J. Ding, S. Rea, D. Linton, E. Orr, and J. MacConnell, "Mixture Properties of Carbon Fibre Composite Materials for Electronics Shielding in Systems Packaging," Proc. 1st IEEE Electronics Systemintegration Technol. Conf., Dresden, Germany, 19–25, 2006
90. J.-C. Chiu, C.-M. Chang, W.-H. Cheng, and W.-S. Jou, "High-Performance Electromagnetic Susceptibility for a 2.5 Gb/s Plastic Transceiver Module Using Mutli-Wall Carbon Nanotubes", Proc. 56th IEEE Electronic Component & Technol. Confer., San Diego, CA, USA, 183–186, 2006
91. C.-M. Chang, J.-C. Chiu, C.-Y. Yeh, W.-S. Jou, Y.-F. Lan, Y.-W. Fang, J.-J. Lin, and W.-H. Cheng, "Electromagnetic Shielding Performance for a 2.5 Gb/s Plastic Transceiver Module Using Dispersive Multiwall Carbon Nanotubes," Proc.57th IEEE Electronic Component & Technol. Conf., Reno, NV, USA, 442–446, 2007
92. J. Li and J.K. Lumpp, "Electrical and Mechanical Characterization of Carbon Nanotube Filled Conductive Adhesive," Proc. IEEEAC, 2006, paper #1519
93. L. Xuechun and L. Feng, "The Improvement on the Properties of Silver-Containing Conductive Adhesives by the Addition of Carbon Nanotube," Proc. 6th IEEE CPMT Conference on High Density Microsystem Design and Packaging and Component Failure Analysis (HDP'04), Shanghai, China, 382–384, 2004
94. A.M. Bondar, A. Bara, D. Patroi, and P.M. Svasta, "Carbon Mesophase/Carbon Nanotubes Nanocomposite – Functional Filler for Conductive Pastes," Proc. 5th International Conference on Polymers and Adhesives in Microelectronics and Photonics, Wroclaw, Poland, 215–218, 2005
95. A. Bara, A.M. Bondar, and P.M. Svasta, "Polymer/CNTs Composites for Electronics Packaging," Proc. 1st IEEE Electronics Systemintegration Technol. Conf., Dresden, Germany, 334–336, 2006
96. S. Berber, Y.K. Kwon, and D. Tomanek, "Unusually High Thermal Conductivity of Carbon Nanotubes," Phys. Rev. Lett., 84(20), 4613–4616, 2000
97. E. Pop et al., "Thermal Conductance of an Individual Single-Wall Carbon Nanotube above Room Temperature," Nano Lett., 6(1), 96–100, 2006
98. P. Kim et al., "Thermal Transport Measurements of Individual Multiwalled Nanotubes," Phys. Rev. Lett., 87(21), 215502-1–215502-4, 2001
99. J. Hone et al., "Electrical and Thermal Transport Properties of Magnetically Aligned Single wall Carbon Nanotube Films," Appl. Phys. Lett., 77(5), 666–668, 2000
100. W. Yi et al., "Linear Specific Heat of Carbon Nanotubes," Phys. Rev. B, 59(14), R9015–R9018, 1999
101. D.J. Yang et al., "Thermal Conductivity of Multiwalled Carbon Nanotubes," Phys. Rev. B, 66(16), 165440.1–165440.6, 2000
102. J. Xu and T.S. Fisher, "Enhancement of Thermal Interface Materials with Carbon Nanotube Arrays," Int. J. Heat and Mass Transfer, 49, 1658–1666, 2006
103. Y. Xu et al., "Thermal Properties of Carbon Nanotube Array Used for Integrated Circuit Cooling," J. Appl. Phys., 100(7), 074302, 2006
104. T. Wang, M. Jonsson, E. Nystrom, Z. Mo, E.E.B. Campbell, and J. Liu, "Development and Characterization of Microcoolers using Carbon Nanotubes," Proc. 1st IEEE Electronics Systemintegration Technol. Conf., Dresden, Germany, 881–885, 2006
105. J. Xu and T.S. Fisher, "Enhanced Thermal Contact Conductance Using Carbo Nanotube Array Interfaces," IEEE Trans. Components & Packaging Technol., 29(2), 261–267, 2006
106. L. Zhu, Y. Sun, J. Xu, Z. Zhang, D.W. Hess, and C.-P. Wong, "Aligned Carbon Nanotubes for Electrical Interconnect and Thermal Management", Proc. 55th IEEE Electronic Component & Technol. Conf., Orlando, FL, USA, 44–50, 2005

107. H.A. Zhong, S. Rubinsztajn, A. Gowda, D. Esler, D. Gibson, D. Bucklet, J. Osaheni, and S. Tonapi, "Utilization of Carbon Fibers in Thermal Management of Microelectronics", Proc. 10th IEEE/CPMT International Symposium on Advanced Packaging Materials, Irvine, CA, USA, 259–265, 2005
108. K. Zhang, G.-W. Xiao, C.K.Y. Wong, H.-W. Gu, M.M.F. Yuen, P.C.H. Chan, and B. Xu, "Study on Thermal Interface Material With Carbon Nanotubes and Carbon Black in High-Brightness LED Packaging with Flip-Chip Technology", Proc. 55th IEEE Electronic Component & Technol. Conf., Orlando, FL, USA, 60–65, 2005
109. T.-M. Lee, K.-C. Chiou, F.-P. Tseng, and C.-C. Huang, "High Thermal Efficiency Carbon Nanotube-Resin Matrix for Thermal Interface Materials", Proc. 55th IEEE Electronic Component & Technol. Conf., Orlando, FL, USA, 55–59, 2005
110. J. Liu, M.O. Olorunyomi, X. Lu, W.X. Wang, T. Aronsson, and D. Shangguan, "New Nano-Thermal Interface Material for Heat Removal in Electronics Packaging," Proc. 1st IEEE Electronics Systemintegration Technol. Conf., Dresden, Germany, 1–6, 2006
111. Z. Mo, R. Morjan, J. Anderson, E.E.B. Campbell, and J. Liu, "Integrated Nanotube Microcooler for Microelectronics Applications", Proc. 55th IEEE Electronic Component & Technol. Confer., Orlando, FL, USA, 51–54, 2005
112. L. Ekstrand, Z. Mo, Y. Zhang, and J. Liu, "Modelling of Carbon Nanotubes as Heat Sink Fins in Microchannels for Microelectronics Cooling", Proc. 5th International Conference on Polymers and Adhesives in Microelectronics and Photonics, Wroclaw, Poland, 185–187, 2005
113. L. Zhu et al., "Well-Aligned Open-Ended Carbon Nanotube Architectures: An Approach for Device Assembly," Nano Lett., 6(2), 243–247, 2006
114. J.A. Paradiso and T. Starner, "Energy Scavenging for Mobile and Wireless Electronics", Pervasive Computing 05, 18–27, 2005
115. E.K. Reilly, E. Carleton, and P.K. Wright, "Thin Film Piezoelectric Energy Scavenging Systems for Long Term Medical Monitoring", Proceedings of the International Workshop on Wearable and Implantable Body Sensor Networks, 38–41, 2006
116. X.D. Wang, J.H. Song, and Z.L. Wang, "Nanowire and Nanobelt Arrays of Zinc Oxide from Synthesis to Properties and to Novel Devices", J. Mater. Chem. 17, 711–720, 2007
117. Z.L. Wang, "Piezoelectric Nanostructures: From Growth Phenomena to Electric Nanogenerators", MRS Bulletin, 32, 109–116, 2007
118. Z.L. Wang, "The New Field of Nanopiezotronics", Materials Today, 10, 20–28, 2007
119. Z.L. Wang, Nanopiezotronics. Adv. Mater., 19, 889–892, 2007
120. Z.L. Wang, "Zinc Oxide Nanostructures: Growth, Properties and Applications", J. Phys. Condens. Matter., 16, R829–R858, 2004
121. Z.L. Wang, X.D. Wang, and J.H. Song, "Piezoelectric Nanogenerators for Self-Powered Nanodevices", IEEE Perv Comp, 7, 49–55, 2008
122. B. Buchine, W.L. Hughes, and F.L. Degertekin "Bulk Acoustic Resonator Based on Piezoelectric ZnO Belts", Nano Lett., 6, 1155–1159, 2006
123. X.D. Wang, J. Zhou, and J.H. Song, "Piezoelectric Field Effect Transistor and Nanoforce Sensor Based on a Single ZnO Nanowire", Nano Lett., 6, 2768–2772, 2006
124. C.S. Lao, Q. Kuang, and Z.L. Wang "Polymer Functionalized Piezoelectric-FET as Humidity/Chemical Nanosensors", Appl. Phys. Lett. 90, 262107 (2007)
125. J.H. He, C.L. Hsin, and J. Liu "Piezoelectric Gated Diode of a Single ZnO Nanowire", Adv. Mater., 19, 781–784, 2007
126. Z.L. Wang and J.H. Song, "Piezoelectric Nanogenerators Based on Zinc Oxide Nanowire Arrays", Science, 312, 242–246, 2006
127. M.H. Zhao, Z.L. Wang, and S.X. Mao, "Piezoelectric Characterization on Individual Zinc Oxide Nanobelt under Piezoresponse Force Microscope", Nano Lett., 4, 587–590, 2004

128. Y.F. Gao and Z.L. Wang, "Electrostatic Potential in a Bent Piezoelectric Nanowire. The Fundamental Theory of Nanogenerator and Nanopiezotronics", Nano Lett., 7, 2499–2505, 2007
129. X.D. Wang, J.H. Song, and P. Li, "Growth of Uniformly Aligned ZnO Nanowire Heterojunction Arrays on GaN, AlN, and Al0.5Ga0.5 N Substrates", J. Am. Chem. Soc., 127, 7920–7923, 2005
130. P.X. Gao, J.H. Song, and J. Liu, "Nanowire Nanogenerators on Plastic Substrates as Flexible Power Source", Adv. Mater., 19, 67–72, 2007
131. J.H. Song, J. Zhou, and Z.L. Wang, "Piezoelectric and Semiconducting Coupled Power Generating Process of a Single ZnO Belt/Wire. A Technology for Harvesting Electricity from the Environment", Nano Lett., 6, 1656–1662, 2006
132. X.D. Wang, J.H. Song, and J. Liu, "Direct Current Nanogenerator Driven by Ultrasonic Wave", Science, 316, 102–105, 2007
133. X.D. Wang, J.H. Song, and C.J. Summers, "Density-Controlled Growth of Aligned ZnO Nanowires Sharing a Common Contact: A Simple, Low-Cost, and Mask-Free Technique for Large-Scale Applications", J. Phys. Chem. B, 110, 7720–7724, 2006
134. J. Frühauf and S. Krönert, "Wet Etching of Silicon Gratings with Triangular Profiles", Microsyst. Technol., 11, 1287–1291, 2005
135. M.H. Huang, S. Mao, and Y. Feick, "Room-Temperature Ultraviolet Nanowire Nanolasers", Science, 292, 1897–1820, 2001
136. X.D. Wang, C.J. Summers, and Z.L. Wang, "Large-Scale Hexagonal-Patterned Growth of Aligned ZnO Nanorods for Nano-Optoelectronics and Nanosensor Arrays", Nano Lett., 4, 423–426, 2004
137. H.J. Fan, F. Fleischer, and W. Lee, "Patterned Growth of Aligned ZnO Nanowire Arrays on Sapphire and GaN Layers", Superlattices Microstruct, 36, 95–105, 2004
138. M.H. Huang, Y. Wu, and H. Feick, "Catalytic Growth of Zinc Oxide Nanowires by Vapor Transport", Adv. Mater., 13, 113–116, 2001
139. J.H. Song, X.D. Wang, and E. Riedo, "Systematic Study on Experimental Conditions for Large-Scale Growth of Aligned ZnO Nanowires on Nitrides", J. Phys. Chem. B, 109, 9869–9872, 2005
140. J. Zhou, N.X. Xu, and Z.L. Wang, "Dissolving Behavior and Stability of ZnOWires in Biofluids: A Study on Biodegradability and Biocompatibility of ZnO Nanostructures", Adv. Mater., 18, 2432–2435, 2006
141. X.D. Wang, J. Liu, and J.H. Song, "Integrated Nanogenerators in Biofluid", Nano Lett., 7, 2475–2479, 2007

# 第 16 章　圆片级芯片尺寸封装

Michael Töpper

**摘要：**基于再分配的圆片级封装（WPL）是一项关键技术。该技术通过使用穿孔硅（TSV）的 3D 封装，逐步发展到系统封装（SiP）与异质集成（Heterogeneous Integration，HI）。材料和工艺技术对 WLP 可靠性非常重要。这不仅涉及选择合适的聚合物或金属材料，而且像凸点下合金化及聚合物粘接等界面问题更加关键。本章重点介绍了 WLP 材料与工艺，这是所有新型 3D 集成技术的基础。

**关键词：**圆片级封装（WPL），圆片级芯片尺寸封装（WL-CSP），再分配，凸点，薄膜，聚合物，光刻胶，粘接，BCB，PI，UBM。

## 16.1　简介

电子封装与组装是连接小尺寸 IC 与互连衬底的基础技术，这些互连衬底通常为印制电路板（PCB），或者是多层陶瓷（MLC）如低温共烧陶瓷（Low Temperature Co-Fired Ceramic，LTCC）[1,2]。这些衬底通过集成大量 IC 与无源器件，构建能满足用户要求的最终微电子系统[3]。具有性能和功能扩展的新应用与新器件技术的结合正推动着电子封装的需求和创新。发展进程的里程碑包括表面组装技术（SMT）、倒装芯片封装（FCIP）、板上倒装芯片（FCOB）与圆片级封装（WLP），而圆片级封装正通过使用硅穿孔（TSV）的 3D 封装技术朝着系统封装（SiP）与异质集成发展[4]。因此，半导体前道工艺、封装与系统集成之间的技术分界线正变得模糊。异质集成可将纳电子与其衍生应用技术，如纳电子学、微系统技术、生物电子和光子器件技术，连接起来。本章重点介绍 WLP 材料，这是在不久的将来会出现的所有新型 3D 集成技术的基础。

## 16.2　圆片级芯片尺寸封装定义

单芯片封装（SCP）的演变从小金属壳开始，其发展先后经历了用于通孔组装的双列直插封装（DIP）、表面组装技术（SMT）封装如塑料四列平面封装（PQFP）和球栅阵列（BGA）[5]。BGA 封装使用刚性或柔性插入结构实现从外围焊点到面阵列的再分配。封装尺寸进一步缩小到其最大值为芯片尺寸的 1.2 倍时，提

出了芯片尺寸封装（CSP）的概念[6]。CSP 的典型面阵列间距目前是 0.5mm，但正朝着 0.4mm 发展，这给 PCB 带来了额外的技术压力。DIP 和 PQFP 代表具有外围 I/O 的封装，而 BGA 与 CSP 是以倒装芯片（FC）方式组装的面阵列封装。FC 是一种面朝下的组装技术，起源于美国 IBM 公司开发的 C4（可控塌陷芯片连接）技术。其性能优良，是具有高 I/O 数的芯片如微处理器封装的必备技术。

倒装芯片互联的主要要求是改进 IC 上的焊盘。所谓的凸点下金属化（UBM）或焊球受限冶金化（BLM），是芯片与衬底间低电阻值电接触和机械接触的基础。组装时的自对准功能是使用焊料进行倒装芯片封装的主要优点之一。芯片可以偏离焊盘中心高达 50% 距离，但熔化焊料的表面张力可将芯片焊盘对准到衬底上的金属层。倒装芯片组装 IC 的缺点是凸点为芯片与衬底间的惟一机械连接，结果由于半导体芯片与衬底间热膨胀系数（CTE）不匹配产生的应力只能作用在凸点互连上。因此，只好在倒装芯片与衬底间填充底部填充料（含有填充颗粒的环氧树脂），从而增加了额外的组装成本。

电子器件单位硅面积的引脚数是封装选择的一个关键参数，其值可以从低于 100（如 RF MEMS、分立元器件、功率 IC、模拟 IC、无源器件、MEMS（惯性 MEMS、压力传感器）、图像传感器）到大于 1000（如 ASIC），甚至大于 4000（如微处理器）。如果封装尺寸很小，四周引脚封装可以满足较小引脚数器件的封装要求，而大 I/O 数器件必须采用面阵列封装。对于相同数量的 I/O，使用面阵列互连可以获得更大的互连间距。如果 $x$ 和 $y$ 是芯片长度，$P_p$ 和 $P_a$ 是周长与面阵列焊盘间距，对于四周布线结构，I/O 最大数 $n=2(x/P_p-1)+2(y/P_p-1)$；对于面阵列布置，$n=(x/P_a-1)(y/P_a-1)$。例如，对于一个 5mm × 5mm 的大芯片，在间距为 0.5mm 的面阵列设计中，I/O 最大数为 $9\times9=81$，可以使用标准 SMT 设备进行组装；而对于四周布线封装，间距必须是 0.23mm，很难采用标准的 SMT 与电路板技术，导致成本增加。

自从市场上提出了 CSP 的想法，开发了很多种 CSP[7,8]。这些使用标准芯片级封装技术的管壳大多采用引线框架，使用标准互连技术的柔性或刚性插入机构（引线键合、TAB 与倒装芯片）。

这些高度微型化的 CSP 的最大缺点是硅与 PCB 间的 CTE 失配。由于采用直径超过 350μm 的焊球，较大的封装结构可以承受多次温度循环后产生的 CTE 失配，温度循环中焊球的变形仍在焊料的弹性区域内。再分配能力为 FE（前道工艺）尺寸与 PCB 间连接提供了可能。

低成本、微型化及功能强化正促进封装工业朝着圆片级封装（WLP）发展[9]。WLP 的思想是在圆片上完成尽可能多的封装过程，WLP 可定义为真正的芯片级尺寸封装，只有有用的芯片面积用于再分配。芯片尺寸的逐步减小及四周焊盘间距的降低使面阵列间距达到了 0.5mm 的界限。圆片级工艺与芯片数及单位芯片或圆片上的焊点数无关。采用 WLP，后道工艺将受益于前道工艺由于圆片直径增大与芯

片尺寸降低导致的生产能力提高[10]。所有其他类型的 CSP 与 WLP 不同，其每个芯片必须单独贴装在一个载体或一个插入结构上[11]。

典型芯片采用四周焊盘布线，因此再分配过程必须将周边焊盘重新连接到可焊接的面阵列焊盘上，微处理器例子如图 16.1 所示。

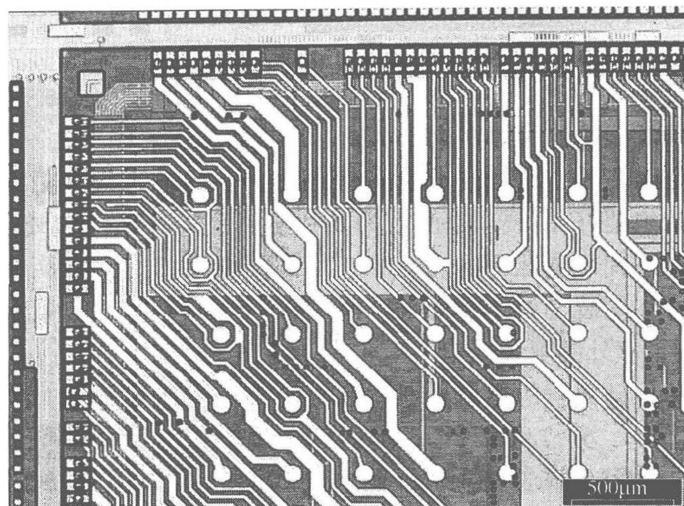
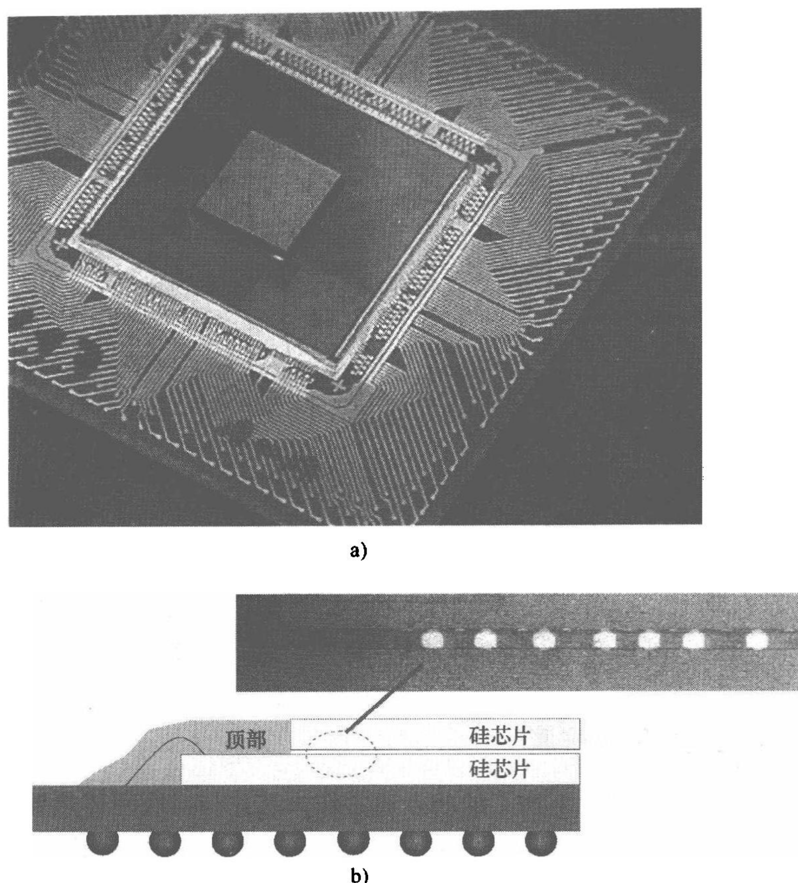



图 16.1 圆片级芯片尺寸封装，周边焊盘通过 Cu/BCB 技术再分配到面阵列，焊球贴装在重新分布的焊盘上

再分配层是聚合物与金属层的混合结构，聚酰亚胺（PI）、聚苯并恶唑（Pdybenzoxazole、PBO）或苯并环丁烯（Benzocyclobutence，BCB）作为电介质绝缘材料。如果再分配过程是在前道工艺完成后实施的，也可采用氮化硅等无机中间层。铝或铜是用于重新布线金属化的首选金属材料。

第一种再分配技术由美国 Sandia 国家实验室发表于 1994 年。为了探索该技术的不同应用，1995 年德国弗劳恩霍夫 IZM 学院与德国柏林技术大学启动了几个德国和欧洲项目。近年来，越来越多的公司开始提供大批量的 WLP 服务。位于美国亚利桑那州凤凰城的美国倒装芯片国际公司（FCI，前身为倒装芯片技术公司）和位于美国北卡罗来纳州研发三角园的美国 Amork 公司（1999 年在中国台湾）（起源于 WCNC 的预研项目）建立了商标名为 UltraCSP（FCI）和 Xtreme 的再分配技术标准，每周 WLP 的出货量达到数百万片。

用于 WL-CSP 的再分配技术可扩展到更高集成水平的 3D 集成。圆片级的基础芯片可作为第二个芯片倒装键合的活性衬底，电学与机械互连依靠电镀沉积共晶焊料球来完成。基础芯片被重新分配到 UBM 的面阵列上，电镀铜可以降低再分配电阻，绝缘层采用低介电常数的光敏 BCB。3D WL-CSP 例子如图 16.2 所示。图中，在具有再分配 IC 焊盘的硅芯片上，堆叠倒装芯片 BGA 与倒装芯片组装的微控制器，使用引线键合实现插入机构与电路板间的互连。




a)

b)

图 16.2　使用倒装芯片键合的芯片上芯片集成

a）芯片上芯片封装的光学图片与　b）横截面（授权源自 Fraunhofer IZM 和 Infincon）

再分配技术为将无源器件如电阻、电容与电感集成到圆片级薄膜线路上提供了可能。如果与电子学中从单晶体管到集成电路的革命性变革相比，集成无源器件的潜力十分明显，摩尔定律是圆片技术持续发展的结果。主要差别是，由于物理限制，无源器件不能成比例下降到亚微米尺寸，另外集成无源器件的尺寸降低也是有限的。例如，分立陶瓷 SMT 电容器采用不能集成有源器件的多层结构（10 ~ 20 层）。因此，在给定的电路板空间，SMT 电容器可以获得较高的电容值。

很多圆片级工艺与前道工艺相似，但工艺要求大不相同。因此，对于圆片级凸点制作或圆片级封装而言，标准的前道工艺设备常常并不适用，从而导致过度投资与过度工程化，这是建立圆片级封装生产线时必须记住的。

## 16.3　用于凸点与再分配技术的材料与工艺

WLP 材料有不同的分类方法，一个主要差别就是它们是被用作永久材料还是

辅助材料。从可靠性观点而言，材料与工艺设备间的关系非常重要（见图 16.3）。

接下来，重点介绍用于圆片凸点制作与再分配的金属、光刻胶和聚合物材料。

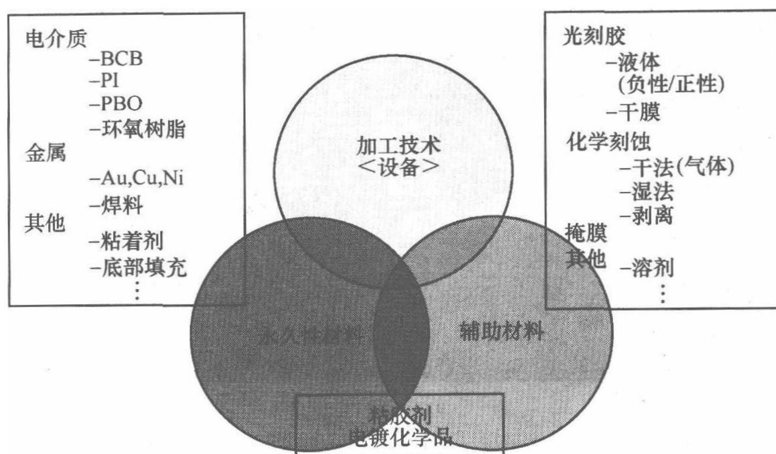



图 16.3 圆片级封装材料与设备间的相互关系[12]

## 16.3.1 圆片凸点制作金属

在大多数情况下，圆片上加工的凸点通常作为芯片与衬底间传热导电的三维互连结构[13]。芯片与衬底间的互连可采用钎焊、热压键合与粘胶键合工艺[14]。根据应用情况，可使用不同的凸点金属材料，从纯金属 Au、Cu、Sn 或 In 到各种合金，如共晶合金或高熔点合金 PbSn、AuSn、AgSn、SnCu 和 AgSnCu。欧盟和其他一些国家立法要求。除了用于微处理器的高铅焊料，到 2006 年在电子产品中禁止使用铅。这个在电子产品中禁止使用铅的 RoHS（在电学和电子设备中限制使用某些有害物质）规定极大地改变了材料选择。

### 16.3.1.1 凸点下金属层

凸点下金属层（UBM）必须能满足芯片焊盘与焊料间的低电阻接触，芯片金属化层与钝化层间的良好粘接，以及 UBM 与 IC 焊盘间的气密封接[15]。并且 UBM 必须作为 IC 焊盘与凸点间可靠的扩散阻挡层，具有低薄膜应力，能够承受芯片组装时热失配产生的应力。对于采用 PbSn 作为凸点的情况，通常的 UBM 堆叠结构为 Cr-Cr：Cu-Cu-Au（来源于美国 IBM 公司 C4 技术）；Ti-Cu；Ti：W-Cu；Ti-Ni：V；Cr-Cr：Cu-Cu；Al-Ni：V-Cu；Ti：W（N）-Au。通常，这些 UBM 多层材料采用溅射或蒸发工艺依次沉积。溅射优于蒸发的好处是沉积原子具有更高的动能（蒸发为 0.1 ~ 0.5eV，溅射为 1 ~ 100eV），从而保证溅射工艺具有高得多的粘附力。对于直径为 200mm 和 300mm 硅圆片，目前的蒸发距离已经到了极限，由于沉积效率与距离平方成正比，进一步减小距离将降低沉积效率。

UBM 刻蚀工艺用于去除凸点间的 UBM 金属层，由于成本与技术原因，通常采用湿法化学腐蚀工艺。对于由不同金属层构成的 UBM 多层结构，要求每一层采用不同的腐蚀化学材料。对于腐蚀工艺的要求是能获得均匀的腐蚀效果和最小的凸点根切，并且能监测剩余金属层的厚度以便停止腐蚀工艺，或者在 UBM 层完全去除的情况下更换化学材料。如此设计腐蚀过程非常重要，可以避免凸点表面氧化或者变化成其他方式。此外，为了获得可靠和良好的工艺效果，设计 UBM 多层结构时必须考虑到 UBM 腐蚀工艺。

图 16.4 给出了 PbSn 凸点下 Ti：W-Cu 金属化的示意图。对于锡凸点沉积到铜基 UBM 的情况，回流过程中在 Sn 与 Cu 间形成的金属间化合物（IMC）提供了凸点与芯片焊盘间的粘着。与固溶体 PbSn 不同，IMC 是一种有序的晶体结构，本身很脆。最常用于封装的金属材料（Cu、Ni、Au 与 Pd）容易与 Hume Rothery 型锡基焊料形成二元金属间化合物[17]。这些化合物采用价电子键合，晶体结构由键合中的电子数来控制，每个相组成可通过计算价电子浓度获得。例如，$Cu_3Sn$ 与 $Cu_6Sn_5$ 相存在于 Cu 和 Sn 间，而 $Ni_3Sn_4$ 与 $Ni_3Sn$ 相形成于 Ni 和 Sn 间。IMC 生长速率取决于温度、形成化合物的不同活化能及扩散过程。总的来说，与 Ni 相比，Cu 的金属间化合物的生长速率要高得多。此外，由于 Sn 含量提高，IMC 对于无铅焊料变得更加重要。

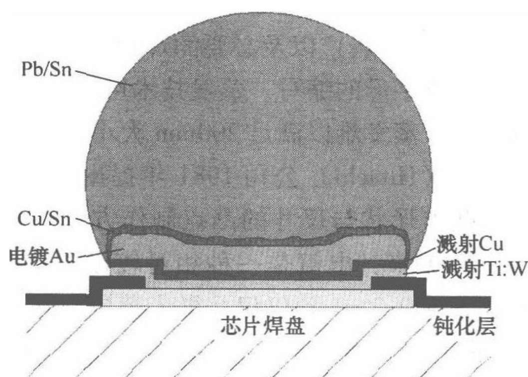



图16.4 用于 PbSn 凸点的 UBM 多层结构（Ti：W-Cu）实例[16]

#### 16.3.1.2 凸点技术

主要的凸点制作工艺包括电镀、丝网印制、蒸发、放置预制焊球和 C4NP。UBM 和凸点金属的选择主要取决于焊料熔点、UBM 与凸点间界面的热和机械可靠性、毗邻焊盘金属层的完整性、凸点工艺能力、组装工作条件及整体的封装可靠性要求。主要工艺步骤总结如图 16.5 所示。

所有凸点沉积技术的一个主要要求是控制圆片上凸点的体积和焊料成分，以便获得均匀的凸点高度分布，避免回流过程不完全。最大回流温度通常比焊料熔点稍高 10℃，重要的是在回流工艺过程中保持最佳的温度曲线。对于倒装芯片组装工

UBM工艺开始
处理圆片钝化
C4：掩膜应用
ICP软刻蚀
RF溅射刻蚀
离子刻蚀/磨铣
蒸发 掩膜/未掩膜
溅射
保护背面涂覆
化学刻蚀 Al/锌酸盐
化学镀Ni
UBM工艺结束
UBM材料
Cr-Cr:Cu-Cu-(Au)
Ti-(Ti:W)-Cu
Ti-Ni
Al-Ni:V-Cu
化学镀铜
圆片回流
掩膜去除
光刻胶剥离 刻蚀背UBM
蒸发
焊料电镀
光刻胶图形
助焊剂清洗
丝网/模板印制
焊料球放置
C4NP凸起
光刻胶图形 刻蚀背面UBM
背面涂覆层剥离
凸点合金：
Pb/Sn 95/5
Pb/Sn 37/63
Au/Sn
Sn/Ag
其他无铅焊料
凸点工艺开始
凸点工艺结束

图 16.5 凸点技术总览[18]

艺，要求一个芯片的所有互连线能同时连接。如果某个焊点（针对信号线的情况）失效，芯片将存在无法工作的危险。

**蒸发** 最初是由美国 IBM 公司为 FC 键合开发的一种沉积方法，在 C4 技术中应用较多。C4 代表包括钎焊（塌陷）以及必要的焊料掩膜（受控）等主要步骤的可控塌陷芯片连接技术英文首字母的缩写。蒸发技术可沉积多种具有良好性能的焊料，但由于产量与成本原因，蒸发难以满足 200mm 大小圆片的沉积要求。

**金属电镀** 由日本日立（Hitachi）公司 1981 年提出，通过光刻定义电镀掩膜形状，是一种可制作特定凸点形状与尺寸的凸点制作方法[19]，也就是所说的电化学沉积（ECD）技术。一般说来，电镀是一种相对较慢的沉积技术，电镀速度取决于沉积材料，通常从每分钟 0.2μm 到仅仅几微米范围变化[20]。电镀技术可以使用恒压（恒定电动势）、恒流（恒定电流）或脉冲电镀。脉冲电镀是细间距电镀的首选方法，可以获得更加均匀、更加光滑、气孔更少的沉积层。在所有影响镀层高度均匀性与焊料成分及凸点形态的参数中，最重要的是垂直圆片的电场分布。因为它决定了电镀电流，因此电压必须施加在沿着圆片边界的多个点上。在这种情况下，沿着圆片边缘的光刻胶被完全去除（去胶边），环状电极粘贴在圆片外周上，在光刻胶表面上放置密封环可以防止电极被电镀液污染。电流分布基本上是旋转对称的，但也显示出放射状变化。在这种情况下，阳极可设计成喷泉状，通过补偿放射状变化来控制电镀电流的均匀性。另外，过流面积（即总电镀面积）与整个圆片面积的比值也影响电镀电流的均匀性。圆片表面有时需要在一些不贴装芯片区域（假凸点）沉积凸点，因此在整个圆片表面均匀分布凸点非常重要。采用适当的工具设计可保证电流密度均匀，整个圆片上溶液的平衡搅动可使直径为 300mm 圆片

上凸点的高度均匀性低于 ±5%。

对于 PbSn 电镀，锡盐和铅盐溶解在电镀液中，它们的阴离子和阳离子分离。添加硫酸是为了增加电镀液的导电性，掺加添加剂是为了细化沉积的焊料。由于电镀槽内的电压作用，带正电荷的 $Sn^{2+}$ 与 $Pb^{2+}$ 阳离子迁移到阴极（圆片），依靠放电反应沉积在圆片表面。为了反应发生，阳离子需要通过接受阴极电子还原到金属状态。电镀工艺是一个复杂的过程，金属沉积由几个步骤组成，水合金属离子必须扩散到被亥姆霍兹双电层覆盖的圆片表面，另外金属离子可用化学方法附着在络合分子上。添加剂可控制金属生长获得细晶粒焊料。很明显，通过增加电镀电流密度可以降低电镀时间。然而，最大电流密度是有限的，因为提高电镀速度会给电镀槽维护带来更大的挑战。

虽然电镀结构尺寸不如 65nm 节点的先进前道工艺一样关键，但该尺寸也是很小的，只能采用光刻技术进行很好的定义。与减法腐蚀或剥离技术相反，ECD 凸点成型可精确复制水平方向的光刻胶图形。ECD 凸点制备技术可适用多种圆片类型、钝化材料与图案结构。各种半导体材料如硅、SiGe、GaAs 和 InP 及陶瓷与石英衬底上都可以电镀。此外，对钝化类型也没有限制，如二氧化硅、氧氮化物、氮化硅，以及如 PI（聚酰亚胺）或 BCB（苯并环丙烯）之类的聚合物上也可电镀。对于标准的 I/C 圆片，凸点依次被直接制作在 I/O 焊盘上。如果最初 I/O 布置已经被重新分配，凸点将依次制作在绝缘的焊料掩膜覆盖的规定路线金属层上。在聚合物层的顶部布置焊料凸点可以降低固有电容，这对 RF 应用是可取的。因为 ECD 凸点制作可以集成到薄膜工艺中，工序可以划分为几个基础工艺步骤，包括溅射 UBM、光刻印制、凸点电镀、光刻胶去除及电镀基板的选择性腐蚀等，如图 16.6 所示。

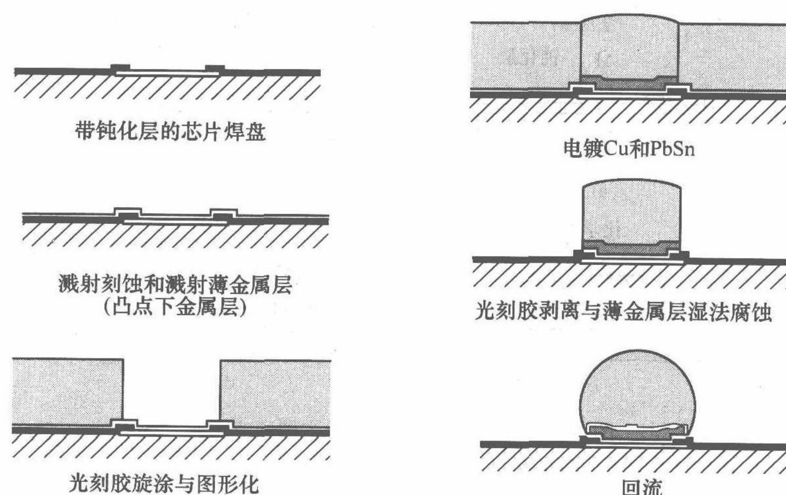



图 16.6　焊料凸起制备（电镀）工艺流程[16]

在电镀过程中，作为粘附层与扩散阻挡层及可浸湿表面的 UBM 通过溅射沉积，圆片上涂覆了一层很厚的液态或干膜型光刻胶，光刻胶随后被曝光和显影。电镀可以在光刻胶层顶部沉积焊料形成蘑菇状结构，然后剥离光刻胶，在凸点间刻蚀 UBM。回流工艺可使焊料变成近乎球形，并在 UBM/焊料界面形成金属间化合物。UBM/焊料界面对于凸点到 UBM 的可靠粘附非常重要。蘑菇形电镀的优点是光刻胶层厚度可以明显小于最终的焊球高度，并且在光刻胶边缘电镀时，由于焊料表面生长，焊料沉积速度很快；缺点是随着蘑菇状凸点形成，电镀控制变得更加困难。在通常的蘑菇形电镀中，光刻胶厚度为 25 ~ 60μm，因此蘑菇形电镀不能用于制备细间距凸点。如果采用厚光刻胶（约 100μm）制作细间距凸点，则焊料将被完全电镀到凸点掩模中。

如果圆片上存在微机械元件，在薄膜工艺中必须小心以避免可能的损坏[20]，腔体表面的污染物将来也可能损害 MEMS 性能。在某些情况下，在溅射步骤前必须通过涂覆光刻胶，或者在电镀工艺前通过局部腐蚀电镀基底来保护 MEMS 区域。一些含有如空气桥腔体或加速度传感器的三维结构要求采用多次光刻。在这种情况下，最初涂覆和图形化的光刻胶层必须填充这个复杂系统的中空区间，从而作为后续 UBM 沉积的一个光滑底面。

对于焊料印制，要么采用金属孔板，要么采用光刻胶模板（适用于更小节距）。UBM 沉积必须在焊料印制前完成，采用溅射（有时与电镀结合）的薄膜工艺可用于沉积 UBM。一种低成本方法是在 Al 焊盘上化学镀沉积 Ni 和浸没沉积金（ENIG），ENIG 工艺根据在 Al 焊盘上选择性化学分解金属，依次在化学溶液中处理圆片，每步处理完成后，必须采用去离子水（DI）仔细清洗圆片。工艺原理如图 16.7 所示[21]。

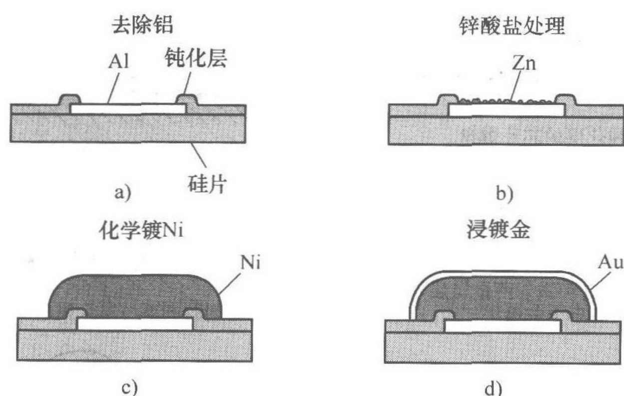



图 16.7　化学镀 Ni 凸点的主要工艺[21]

a）初始状态的键合焊盘　b）镀锌后　c）化学镀 Ni 后　d）电镀薄 Au 层后

首先，通过将圆片浸入两种 Al 清洗液中清洗 Al 键合焊盘的表面。钝化清洗剂可去掉可能的残留物，而第二种（Al 清洗剂）用于去除厚的铝氧化物层，粗化表

面。在锌酸盐镀液中，通过置换反应在 Al 上沉积了一层薄锌，目的是活化表面便于随后电镀 Ni。化学镀 Ni 液主要包含 Ni 离子与次磷酸盐，第一层 Ni 通过 Zn 与 Ni 离子间的置换反应沉积在焊盘上。在第一层上，额外的 Ni 层通过连续的自动催化反应电镀制备，该反应对于化学镀多单分子层是必需的。电镀能量通过吸附的次磷酸盐的氧化作用在电镀槽内提供，释放的电子能还原 $Ni^{2+}$，从次磷酸盐中转变的磷沉积到 Ni 层上，从而改变 Ni 层的机械与电学性能。电镀速率一般为 25μm/h。在随后的浸 Au 过程中，通过置换反应在 Ni 层表面沉积一层薄 Au 层，金层厚度为 0.05 ~0.08μm，主要用于阻止 Ni 氧化。但是在 Ni 与焊料界面处形成的脆性 Au-Ni-Sn 金属间化合物相可能影响互连结构的长期可靠性，因此必须尽可能降低 Au 层厚度。

完整的工艺流程见表 16.1。除了上面提到的湿法化学处理外，为了防止 Ni 沉积在硅上，硅片背面必须加以保护，这可以通过在硅片背面旋涂保护性光刻胶来完成。凸点电镀完成后，去除光刻胶。该工艺使用的所有化学药品都是商用产品，它们是完全无氰的，并且不使用有机溶剂。

**表 16.1　化学镀 Ni 凸点的工艺步骤及其功能**（授权源自 Fraunhofer IZM）

| 工艺步骤 | 功能 |
|---|---|
| 保护性光刻胶涂覆 | 保护性光刻胶涂覆在硅片背面 |
| 钝化层清洗 | 去除 Al 焊盘上的钝化残留物 |
| Al 洗清 | 去除厚 Al 氧化物，获得金属沉积表面 |
| 锌酸盐化 | 为了沉积 Ni 而活化 Al |
| 化学镀 Ni | Ni 层沉积（通常厚度为 5μm） |
| 浸 Au | 在 Ni 层上沉积 Au（通常厚度为 0.08μm），防止 Ni 氧化 |
| 背面清洗 | 从背面去除保护性涂覆 |

对于所有的湿法化学处理，一个装载工具可以一次处理多达 25 片圆片。工艺要求具有几种不同的化学溶液槽和附加清洗槽。工艺时间相对较短，从 30s（镀锌）到 30min（浸金）变化。通过手工将硅片盒从一个电镀槽转移到另一个电镀槽，产量可达到 25 片/h，在全自动系统中，每小时处理 100 块硅片也是可能的。在直径为 200mm 的圆片上，Ni 层的高度均匀性优于 ±5%。在芯片中，高度变化相应地会更低，德国弗劳恩霍夫 IZM 学院 ENIG 工艺说明见表 16.2。

UBM 质量可通过监测剪切强度来控制，剪切强度必须在 150MPa 左右（最小 100MPa）。Al 刻蚀工艺必须限制在少于 0.5μm，以避免损坏硅器件。广泛测试的是 Ni UBM，即使经过 300℃下 10000h 时的热贮存，10000 次热循环 AATC（−55 ~125℃）和 10000 小时湿气贮存（85℃/85% kH），也没有发现失效[22]。

表 16.2 ENIG 工艺详细说明（授权源自 Fraunhofer IZM）

| 性能 | | 详细说明 |
|---|---|---|
| 圆片材料 | | Si |
| 键合焊盘材料 | | AlSi1%、AlSi1%、Cu0.5%、AlCu2% |
| 焊盘金属层厚度 | | ≥1μm |
| 钝化层 | | 无缺陷氮化物、氧化物、氧氮化物、聚酰亚胺、BCB |
| 键合焊盘上的残留物 | 非有机物 | <5nm |
| | 有机物 | 无 |
| 圆片尺寸 | | 100～300mm |
| 圆片厚度 | | >200μm（>150μm） |
| 键合焊盘形状 | | 任何形状（正方形、长方形、圆形、八角形） |
| 钝化层开孔 | | >40μm |
| 键合焊盘间距 | | >20μm |
| 钝化层重叠 | | 5μm |
| 圆片制造工艺 | | CMOS、BiCMOS、Bipolar |
| 墨点 | | 取决于墨水可接受的稳定性 |
| 探针标记 | | 可以 |
| 刻画线 | | 必须钝化（热氧化）使测试结构可接受 |
| 激光引信 | 铝引信 | 不可以 |
| | 多晶硅引信 | 可以（有限制） |

图 16.8 所示为通过印制工艺沉积焊料的流程图。

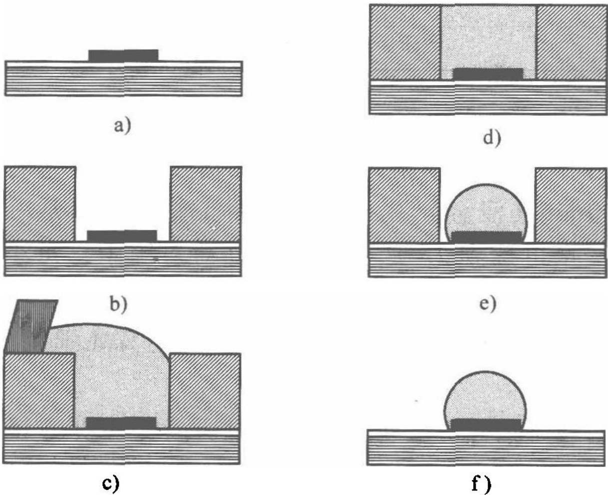


图 16.8 使用光刻胶的焊料印制[23]

a) UBM 成型 b) 丝网或光刻掩膜 c)、d) 印制 e) 回流 f) 去除掩膜

该工艺是从 PCB 行业转移到圆片技术的，焊膏被挤压进模板小孔中，焊膏由粘合剂、直径为 2 ~ 150μm 的焊料颗粒与助焊剂组成。它们可根据焊料颗粒尺寸进行分类（见表 16.3）。

**表 16.3　焊膏等级**

| 等　级 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|---|---|---|---|---|---|---|---|
| 焊球尺寸/μm | 75 ~ 150 | 45 ~ 75 | 20 ~ 45 | 20 ~ 38 | 15 ~ 25 | 5 ~ 15 | 2 ~ 11 |

焊膏的附加功能是可在回流前将放置在衬底上的器件预固定。对于丝网印制而言，焊膏粘度应该在 250 ~ 550Pa · s 间，对于模板印制，粘度为 400 ~ 800Pa · s。

丝网一般通过在金属片上激光打孔或电铸而制造。印制机将丝网与衬底或圆片对准，焊膏在几秒内通过丝网被挤压，一次可以制作成千上万个焊盘凸点。关键问题之一是要求所有焊膏必须从丝网转移到圆片上，丝网上的任何残留物将降低最终凸点的高度均匀性。金属模板必须采用溶剂清洗，生产中大部分使用水溶性焊膏。为了计算与焊盘大小和几何形状有关的回流凸点尺寸，将回流后的凸点看作球形，采用了下式：

$$V = (1/2)A\ H + (\pi/6)H^3$$

式中，$V$ 为焊球体积；$A$ 为焊盘面积；$H$ 为凸点高度。

为了在印制焊料掩模外形成凸点形状，必须采用回流工艺。由于焊膏中有助焊剂，在回流过程中有可能产生空洞。如果空洞保持在某个设计水平以下，则不存在可靠性问题。与电镀或蒸发相比，焊料印制是一种相当简单和低成本的工艺过程。丝网印制的一个重要优点是可以应用各种各样的焊膏，这对于选择无铅焊料来说特别重要，提供了工艺灵活性。甚至很难电镀的三组分焊料，如 SnAgCu（SAC），也可以采用丝网印制沉积。

对于低于 150μm 的细节距，采用厚度为 70μm 或稍厚的光刻胶掩膜印制工艺具有很多优点，但它比金属丝网成本更高。该工艺基于美国倒装芯片国际公司（美国 K&S 公司以前的倒装芯片部门）的前期工作，并以柔性帽层工艺（FOC）的技术授权给一些公司广泛应用[23]。因为 UBM 焊盘规定了最终凸点的基底，为了在掩模中刷进更多的焊膏获得更大的凸点高度，丝网印制工艺的掩模尺寸必须大于最终的凸点尺寸。在去除光刻胶前，必须加热焊膏使之转变成固体焊料，图 16.9 与 16.10 给出了该工艺的实例[23]。

**C4NP**　是美国 IBM 公司开发的一种新型焊料凸点制备技术，旨在通过使用各种无铅焊料合金实现低成本、细间距凸点制作，解决现有凸点技术的限制[24]。这是一种焊料转移技术，将熔化后的焊料注入到预制的可多次使用的玻璃模中，基本的工艺流程如图 16.11 所示。

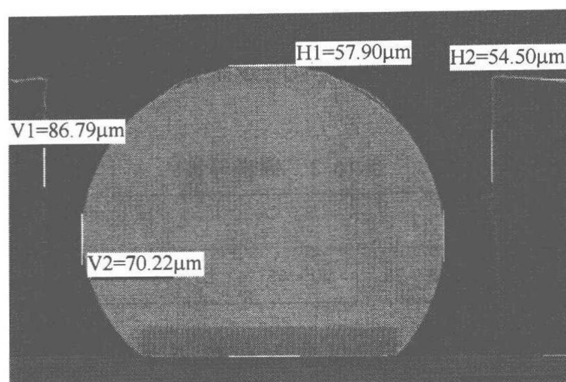



图 16.9 在干膜光刻胶中印制 SnAgCu 焊料[23]

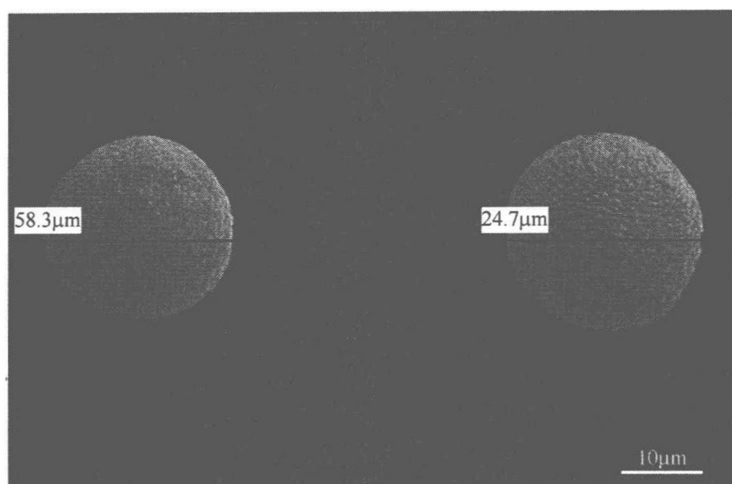



图 16.10 光刻胶去除后获得的 SnAgCu 印制凸点（直径 25μm，间距 60μm）[23]

玻璃模包含刻蚀腔，而刻蚀腔代表了圆片上的凸点图案。为了保证高产量，在焊料转移到圆片上前，必须对填充后的玻璃模进行检查。填充模与圆片在回流温度下紧密接触/软接触，通过一个不使用液体助焊剂的简单工艺步骤，就可将焊料凸点转移到尺寸为 300mm（或更小）的整个圆片上。美国 IBM 公司与美国 Suss Microtec 公司合作将 C4NP 工艺转移到生产中，为了降低成本提出了不同的成本模型，但制备玻璃模的基础设施还没有建立。

**其他凸点技术** 包括图钉凸点法、焊料喷射法和贴球法。

直接贴球法通常只适合直径在 300μm 或以上的大焊球。有些情况下，以真空头作为圆片上布置焊球的模板，从焊球库中取出预制焊球，焊球浸入助焊剂中，并置于圆片上进行回流。贴球法的优点是，它是一种制备大体积焊球的低成本方法，并且适用于各种不同焊料。粘球法经常被用于在面阵列焊盘间距大于或等于

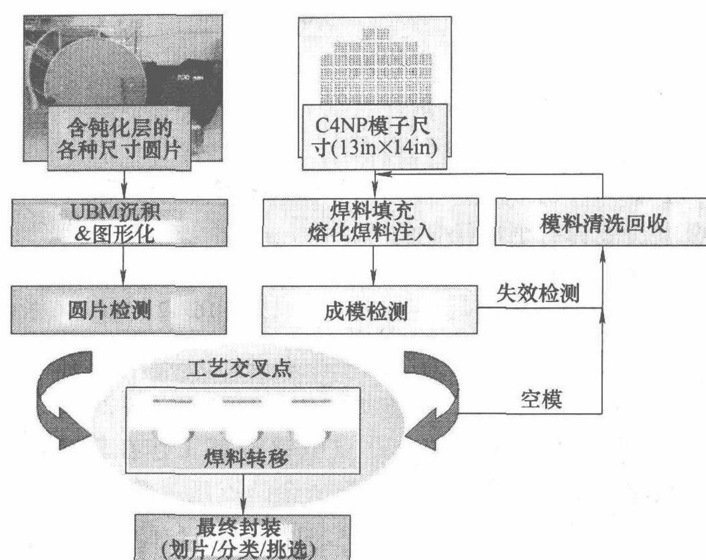



图 16.11 C4NP 凸点制备工艺流程

500μm 的再分配芯片上制作焊球，设备制造商们正尝试将其用于更小的间距图形。

图钉凸点法采用引线键合机，在引线刚键合到 IC 焊盘后切断引线而制备。凸点既可以在劈刀左边，也可以压模形成一个平坦表面，或者在键合后直接从头部剪掉。从凸点冶金的角度而言，该技术相当灵活，并可用于金凸点，甚至焊料凸点制作。因为图钉凸点的制备是一个连续过程，它对于大批量生产来说并不重要，但对于倒装芯片样品制备和小批量制造非常重要。图钉法主要用于在单一芯片上制作凸点。

焊料喷射法是一种连续的无掩膜焊料沉积技术，焊料液滴直接从打印头喷射到圆片上，喷射频率可以很高。但是，整个工艺控制很困难，工业界也一直没有应用焊料喷射法，在过去曾进行了一些尝试，但没有成功。

#### 16.3.1.3 凸点冶金学

**金与 AuSn 凸点** 金是一种不会氧化或腐蚀的贵重金属，具有极好的导电导热性能，由于熔点很高，金凸点无法回流。金互连主要通过热压键合（利用载带自动键合（TAB））或使用导电膜粘接键合到玻璃衬底上（利用玻璃上芯片（COG）），制作成柔性衬底或载带（利用载带运输封装（TCP））。金凸点主要用于 LCD 驱动器，金凸点沉积以 Ti 或 TiW 或其他过渡金属作为粘附/扩散层，在溅射的金层上电镀制备，结构如图 16.12 所示。

目前，大批量生产的 LCD 驱动器最小金凸点间距等于或小于 30μm，凸点间距为 10μm（COG 应用间距可比 TAB 更小），这是大批量生产的所有凸点工艺中间距

最小的。

电镀纯 Au 可使用硫酸盐与氰化物两种电镀液。硫酸盐型电镀液的好处是它与使用的光刻胶系统兼容性好，完全无毒及 Au 凸点在退火过程中容易软化。另一方面，由于氰化金电镀液具有更加稳定的 Au 络合物，很容易处理，即使在 Ni 和 Cu 基体金属上沉积也具有很强的粘附力。氰化物溶液适合于底部电镀，这可能成为细间距凸点制作的一个关键因素。大多数商用金电镀液的金属含量为 8 ~ 15g/L，可施加的电流密度为 5 ~ 20mA/cm$^2$，产生的沉积速率为 0.3 ~ 1.2μm/min。所有的金凸点电镀液都工作在较高温度下，一般在 50 ~ 70℃。在多数热压键合情况下，刚电镀的金凸点延展性不高，必须通过后续的退火工艺进行改善。在 200℃热老化过程中，几分钟内金凸点显微硬度就从开始的约为 130$HV_{0.025}$降低到 70 ~ 50$HV_{0.025}$。由于无法回流，金凸点形状完全由光刻胶（厚度范围为 30μm）控制，因此，必须仔细选择光刻胶与电镀液组合。图 16.13 所示为采用聚焦离子束（Focus Ion Beam，FIB）刻蚀具有很高结构的光刻胶，对厚度为 45.8μm 光刻胶垂直侧墙，开口偏差为 ±1μm。

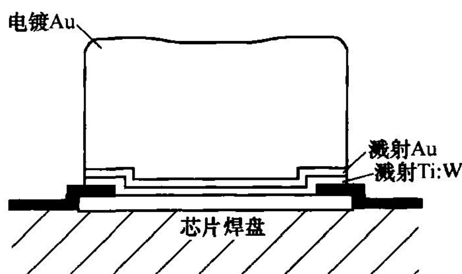



图 16.12　Au 凸点示意图[16]

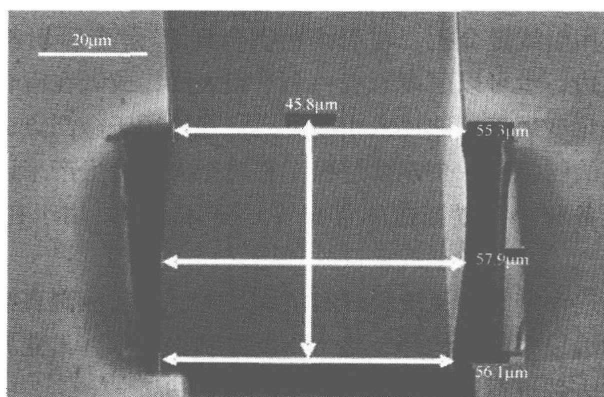



图 16.13　用于 Au 电镀的光刻胶 FIB 刻蚀

对于焊料凸点制备，通常最后一步工艺为回流，可以使锡合金成分均匀，形成球形凸点。每种焊料成分需要一个合适的温度-时间曲线。该曲线取决于焊料熔点、周围环境及焊料的除气行为，但金凸点制备不需要回流。

电镀工艺会在光刻胶中产生很大应力，导致最终的结构变形。图 16.14 所示为没有优化的电镀液与光刻胶组合（左）与优化组合（右）制备的 Au 凸点比较。如果选用了错误的电镀液/光刻胶组合，ECD 引起的光刻胶变形可以超过 20μm。

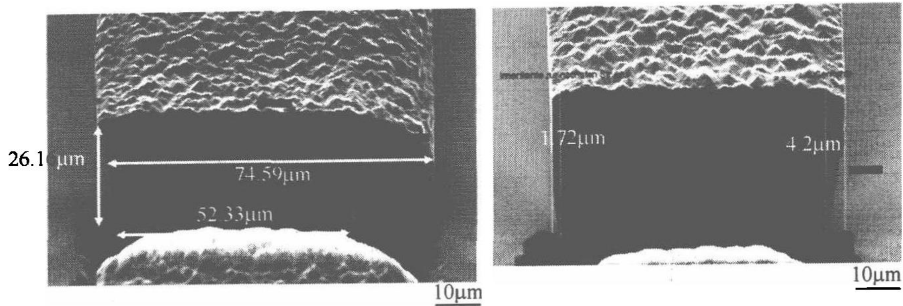



图 16.14　电镀 Au 没有优化的电镀液/光刻胶组合（左图）与优化的组合（右图）

**共晶 Au/Sn**　系统具有良好的抗腐蚀性，可实现无助焊剂的倒装芯片组装。因此，它是光学与光电子器件最合适的互连材料。AuSn 凸点基本结构如图 16.15 所示，制备 AuSn 共晶合金可以依次电镀 Au 和 Sn，也可以像三明治样一层层蒸发制备。

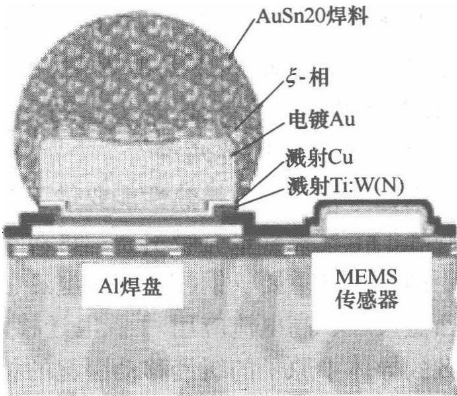



图 16.15　AuSn 凸点示意图[20]

**焊料凸点**　焊料互连是所有微电子系统最常用的技术[25]，其主要优点是可以连接不平坦和/或粗糙的表面，同时允许返修。其基本要求是两个互连面都可以润湿。为了避免焊料在整个表面流动，必须采用焊料掩膜，如果焊料弹性很大，可以提高产品寿命的可靠性。如果衬底与芯片间的 CTE 失配很大，焊料可能处于它的弹性状态以外，则必须采用底部填充料。底部填充料是填充密度很高的环氧聚合物，为了降低聚合物 CTE（其值远高于无机材料如硅和金属），必须掺加填料（如小颗粒 $SiO_2$）。表 16.4 列出了一些最常用的焊料材料。

**表 16.4　用于倒装芯片互连的焊料选择**

| 焊　料 | 熔　点 | 备　注 |
|---|---|---|
| 63Pb37Sn | 183℃ | 共晶 PbSn，熔点低，与有机 PCB 兼容，常用于 SMD，ROHS 中禁止使用 |
| 95Pb5Sn（或类似） | 315℃ | 铅含量高，电迁移性能良好，高可靠热机械连接，陶瓷衬底上倒装芯片；当芯片贴装到 PCB（共晶 PbSn 在 PCB 面）时高铅凸点不必回流，在 $H_2$ 气体下无助焊剂回流 |
| 96.5Sn3.5Ag（或类似） | 221℃ | 当前用于倒装芯片组装的最常用二元无铅焊料，通常与电镀结合使用 |
| 97Sn/3Cu | 227℃ | 电镀困难，电镀液寿命短 |

（续）

| 焊　料 | 熔　点 | 备　注 |
| --- | --- | --- |
| 95.5Sn3.9Ag0.6Cu | 218℃ | 常用的无铅焊膏，Cu 含量减少了 UBM 中的 Cu 消耗 |
| 80Au20Sn | 280℃ | 常用于在金表面无助焊剂组装光电器件，可控焊料高度 |
| In | 157℃ | 由于回流温度非常低，适合温度敏感电子器件封装 |
| Sn | 232℃ | 存在产生锡须的危险 |

焊料互连通过回流工艺形成，回流温度比焊料的理论熔化温度高 10℃。焊接过程中为了去除氧化物，必须使用助焊剂。另外，在回流与最后焊接过程完成前，助焊剂的粘性可使芯片固定在位置上。助焊剂可以是无机酸、有机酸、松香和免清洗树脂。J-STD 分类法描述了助焊剂活性与助焊剂残余活性，结果如下：L 表示低或无助焊剂活性/助焊剂残余活性；M 表示中等助焊剂活性/助焊剂残余活性；H 表示高助焊剂活性/助焊剂残余活性。该分类被进一步划分为活性和腐蚀性两种。

**铜柱**　铜的导电导热性能要优于 PbSn 焊料大约 10 倍，因此对于功率器件高电流互连的情况铜柱最有吸引力。这对于降低了凸点基部尺寸，增加了凸点电阻的细间距凸点尤其重要。铜柱具有抗电迁移特性，因此有望取代无铅焊料，特别是对于小凸点尺寸、高电流应用[26]。电迁移是由传导电子与扩散金属原子间的动量转移导致的导体中原子的缓慢移动引起的材料输送。电迁移作用对于高直流密度的应用非常重要，如高密度互连和高功率器件。随着电子器件如集成电路（IC）结构尺寸的减小，电迁移作用的实际影响增加，铜柱可以作为一种厚 UBM 结构以减轻凸点与芯片焊盘间界面的电流拥挤。

铜凸点与铜布线层通过电镀沉积，硫酸镀液中含有有机抑制剂和催化剂，可以获得明亮与细晶粒的铜结晶。该工艺是为半导体应用特别开发的，但主要用于制作大马士革结构。

铜柱不需要回流工艺，因此在制备细间距凸点的高深宽比结构时，不会降低凸点的直立高度。为了形成与衬底的互连，在铜柱顶部或电路板焊盘上布置焊料层，电镀铜柱及其典型结构如图 16.16 所示。与焊料电镀不同，铜柱电镀要求使用非常厚光刻胶的通孔镀，胶层厚度一般超过 70μm。

鉴于即将到来的 3D 集成趋势，沉积铜将受到更多的重视。TSV（硅穿孔）是集成技术的主要步骤。图 16.17 所示显示了铜的重要性。

众所周知，采用深反应离子刻蚀（Deep-RIE）工艺刻蚀硅是 MEMS 工业中常用的工艺（Bosch 工艺）。其主要问题包括硅钝化、硅通孔中沉积铜种子层及填铜工艺等。

**电镀 Ni**　电镀 Ni 使用的镀液化学成分为氨基磺酸，一般来源于需要采用厚膜与低应力层的电铸行业。虽然只有很少量的有机添加剂一起沉积除了，电镀 Ni 看

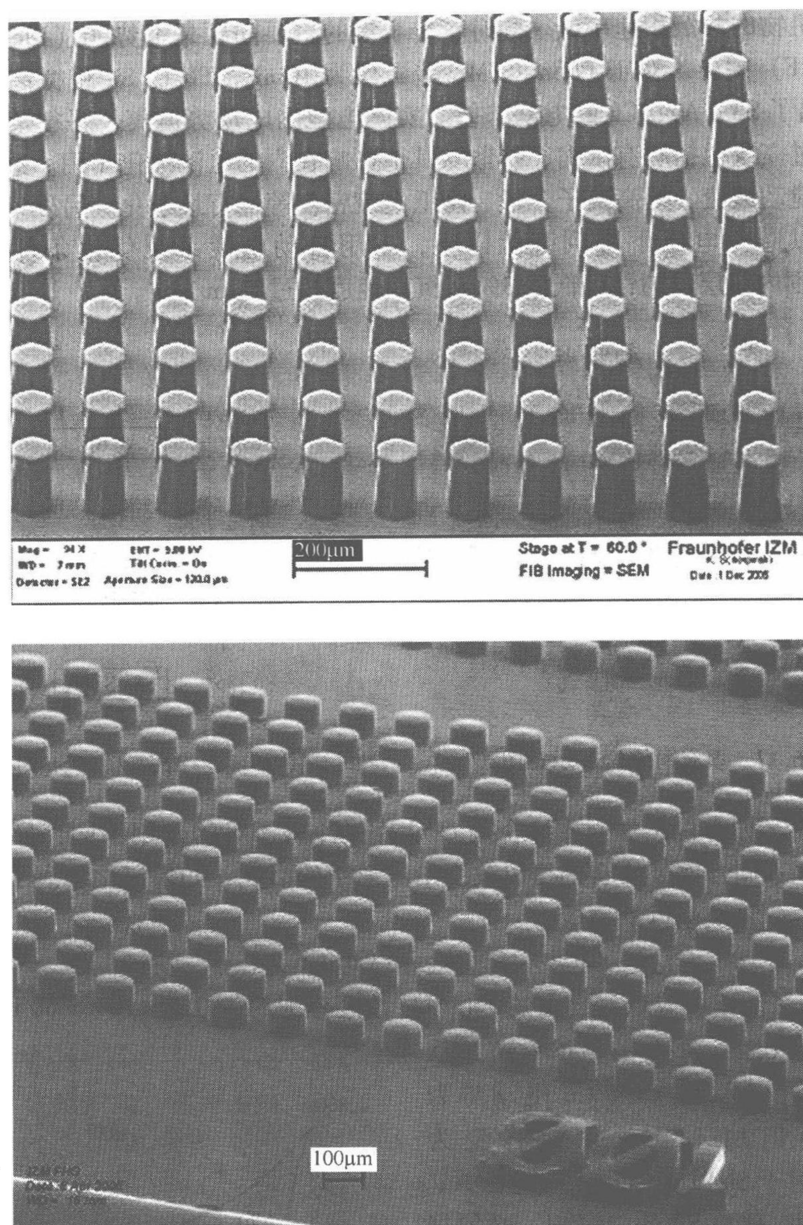



图 16.16　剥离光刻胶后的铜柱（上图为干膜内 80μm 厚电镀铜；下图为液态光刻胶中 60μm 厚电镀铜）

起来还是半光亮的。

#### 16.3.1.4　合金电镀

对于焊料凸点，需要使用不同种类的锡合金电镀液与纯锡镀液。这些镀液都是甲烷磺酸盐。为了防止凸点在最后的回流过程中内部产生气泡，合金镀要求晶体无

孔隙，有机物的共沉积速率低。同时，合金镀的主要问题是电势能（Electromotoric Force，EMF）差异。对于 PbSn，EMF 差异仅为 10mV，Pb 比 Sn 稍微高一点。图 16.18 给出了 Sn、Ag、Cu 的电动势差。实际电池的电动势偏离了平衡值，原因在于电动势过高或包括所有浓缩、扩散与其他影响在内的电池极化作用。这些不利影响可通过搅动镀液、提高离子含量、降低电流密度等进行最小化。另外，种子层必须足够厚以避免电压下降到毫伏以下，采用自动电镀系统优化条件，在超过 300mm 范围内镀层均匀性可低于 3%，沉积速度超过 4μm/min。

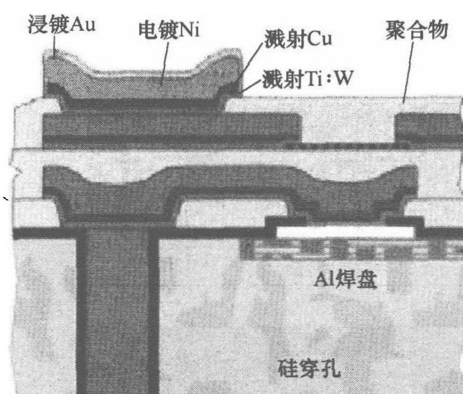



图 16.17 填充铜的 TSV 示意图[20]

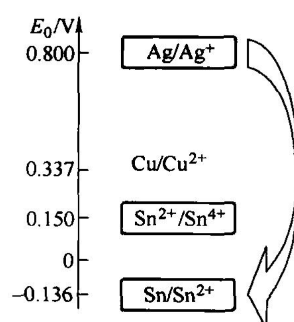



图 16.18 Ag，Cu 和 Sn 的 EMF

抑制剂（如有机添加剂或络合剂）对每一种离子对的作用不同，导致沉积电势的变化也不同，例如络合剂可以改变给定离子的活性。如果氰化物离子加入到铜离子溶液中，将发生以下反应：



$$Cu^+ + 3CN^- \rightleftharpoons [Cu(CN)_3]^{2-}$$

$Cu^+$离子浓度将降低，自由的 Cu（I）浓度范围约为 $0.5\times10^{-7}$mol/L，但它可以被浓度为 0.25mol/L 的 NaCN 或 KCN 降低到 $10^{-26}$mol/L。$Cu^+/Cu$ 电动势为 +0.35V，但加入氰化物盐将变为 −1.0V；对于 SnAg 电镀，为了降低 $Ag/Ag^+$电动势实现与 Sn 的共沉积，必须加入该氰化物络合剂。

与无铅替代焊料相比，处理 PbSn 焊料的一个优点是其熔化温度位于共晶点，如图 16.19 所示的相图[27]。

改变焊料成分，183℃的共晶熔化温度只有轻微变化，这与 SnAg 和 SnCu 完全不同，如图 16.20 和图 16.21 所示[28]。

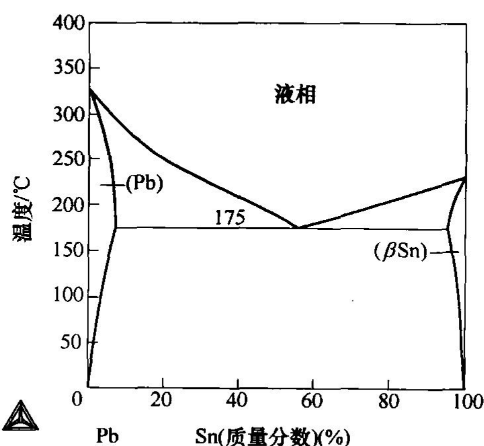



图 16.19 PbSn 相图[27]

SnAg3.5的共晶温度为221℃，但另外加入2.3% Ag，熔点将增加到285℃；与SnCu相似，含0.7% Cu的共晶SnCu熔点为227℃，但加入1.1% Cu后，熔点变为264℃，这意味着必须精确控制电镀工艺，避免组装过程不熔化而形成冷接头。SnAg凸点的最终结构如图16.22所示。

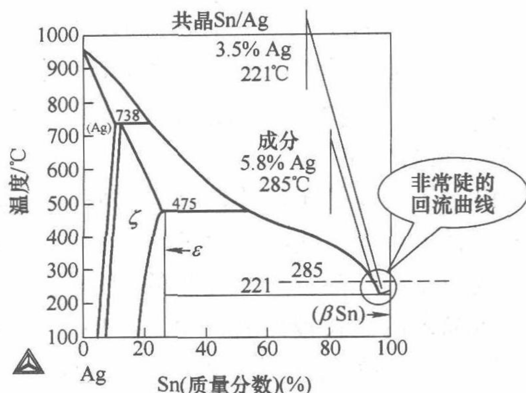



图16.20　SnAg相图[28]

在电镀过程中，溶液与阳极和阴极间发生了几种电化学反应[20]。镀液化学成分的持续变化要求单独监测每种相关的有机物和无机化合物，以确保电镀结果一致。金属离子、酸性物质和其他阴离子化合物含量，一般通过滴定分析或分光光度分析来确定。电镀过程中的有机添加剂损耗主要表现为共沉积、阳极沉积和带出损失。所有这些反应几乎都与电流流量成比例，因此可以预测。另外，还可以发现有机物性能随着时间而退化。在微电子电镀领域，循环电量脱模法（Cyclic Voltametric Stripping，CVS）是最常用的有机物分析方法。上文提到的各种成分的浓度必须靠周期性添加各种溶液到电镀液中来维持。目前，具有自定量给料功能的全自动控制单元已经商品化，并在大批量生产中得当应用。最后，镀液比重改变、光刻胶渗出和有机物分解产生的累积作用限制了电镀液寿命。

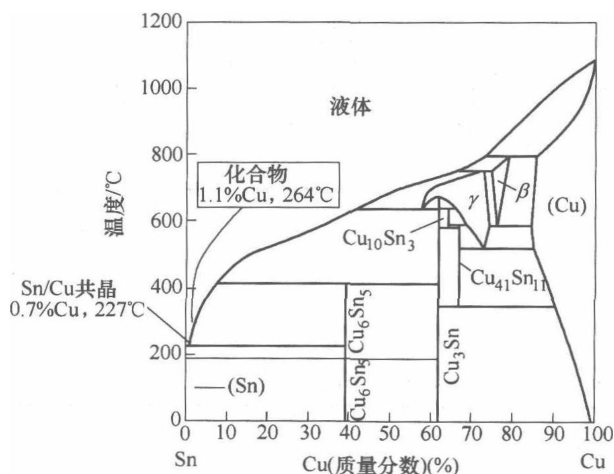



图16.21　SnCu相图[27]

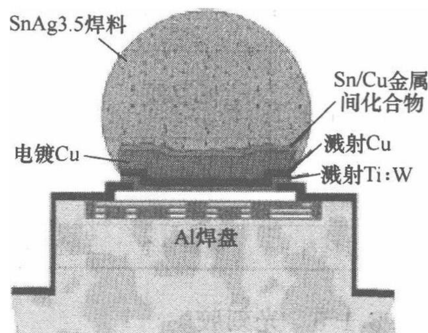



图16.22　SnAg凸点示意图

由于Ag与Cu的含量较低，监测无铅合金电镀液中的金属离子浓度极其重要。

浓度的微小变化将导致焊料成分的显著变化，从而影响回流方式。由于纯锡阳极主要用于制备无铅焊料凸点，Ag 和 Cu 不是连续可溶的但必须经常补充。电镀 Sn/Ag 和 Sn/Cu 合金的成分可以采用差分扫描量热仪（DSC）和能量色散 X 射线分析（EDX）进行确定。

锡含量较高的无铅替代焊料的另一个问题是晶须生长。晶须是一种很纤细的头发状针形单晶，这些单晶的直径约为 1μm，长度可以达到 mm 量级，导致存在互连线短路的危险。形成晶须的一个可能原因是来自衬底或金属间化合物层的应力。锡晶须的生长速度在 0.003 ~ 130mm/月范围内。锡原子扩散到最高温度约为 50℃ 的晶须底部。总的说来，由于限制了 Sn 原子迁移，合金可降低形成锡晶须的危险。

表 16.5 列出了常用的电镀液成分。电镀液可以备用状态运输，或者只运输浓缩液，在使用时现场混合与稀释。根据电镀液的不同，为了监控电镀液成分在电镀过程中必须进行各种分析。为了维持电镀液的长寿命，化学品供应商提出了各种不同应用的解决方案。

**表 16.5 常用电镀液概述**

| | 铜电镀液 | Ni 电镀液 | PbSn 电镀液 | Au 电镀液 | Sn 电镀液 |
|---|---|---|---|---|---|
| 内容 | $CuSO_4$，硫酸，盐酸，晶粒细化剂和匀染剂，润湿剂 | Ni $(NH_2SO_3)_2$，硼酸，晶粒细化剂和润湿剂（如果需要） | Sn $(CH_3SO_3)_2$，Pb $(CH_3SO_3)_2$，甲烷磺酸，晶粒细化剂，润湿剂 | $(NH_4)_3[Au(SO_3)_2]$，亚硫酸铵，氨水，有机晶粒细化剂和匀染剂，配位剂和稳定剂 | Sn $(CH_3SO_3)_2$，甲烷磺酸，晶粒细化剂，润湿剂，抗氧化剂 |
| 金属浓度 | 20g/L（Cu） | 45g/L（Ni） | 共 28g/L | 12g/L（Au） | 20g/L（Sn） |
| 温度/℃ | 25 | 50 | 25 | 55 | 25 |
| pH 值 | <1 | 4.0 | <1 | 7.0 | <1 |
| 电流密度/($mA/cm^3$) | 10 ~ 30 | 10 ~ 30 | 20 | 5 ~ 10 | 7 ~ 15 |
| 电流效率（%） | 接近 100 | >95 | 接近 100 | >95 | 接近 100 |
| 阳极材料 | 磷铜合金 | 含活性 S 的 Ni 球 | 合适的 Pb/Sn 合金 | 包覆有铂的钛 | 纯锡 |

### 16.3.1.5 光刻胶

光刻胶是一种临时涂覆在圆片上的光敏聚合物材料，主要用于电镀与刻蚀[29]。其主要性能概述见表 16.6[1]。

表 16.6 光刻胶及其特性[1]

| 分 类 | 树脂/化学显影剂 | 前烘 | 前水合 | 曝光光谱 | 曝光剂量 | 侧壁 | 分辨率 | 去胶 | 应 用 |
|---|---|---|---|---|---|---|---|---|---|
| 正性液态光刻胶 | 酚醛树脂/水溶液 | 是 | 是 | 宽带（化学增强） | 高 | 45°~85°（接近90°） | + | 容易 | 金凸点，蘑菇焊料凸点，UBM |
| 负性液态光刻胶 | 丙烯酸盐，环氧树脂/水溶液 | 是 | 否 | 宽带 | 中 | ~90° | + | 比较困难 | 金凸点，通孔中电镀焊料凸点 |
| 负性干膜光刻胶 | 丙烯酸盐，环氧树脂/水溶液 | 否 | 否 | 宽带 | 低 | ~90° | - | 比较困难 | 通孔中电镀焊料凸点，光丝网 |

通常正性光刻胶的基础树脂为酚醛树脂，而负性光刻胶则采用丙烯酸酯或环氧树脂。正性光刻胶含有光敏化合物，可使曝光区域溶解在稀释后的碱性溶液中，如氢氧化钠（NaOH）或不含金属离子的四甲基胺氢氧化物（TMAH）。而负性干膜光刻胶主要采用环保型水碳酸盐显影剂进行显影。

正性与负性光刻胶的重要区别是采用酚醛树脂的正性光刻胶在前烘后需要再次水合，允许水再次渗进光刻胶层。图 16.23 所示的化学反应突出了水扩散在形成酸性基团中的重要性，在显影过程中酸性基团与碱反应[30]。

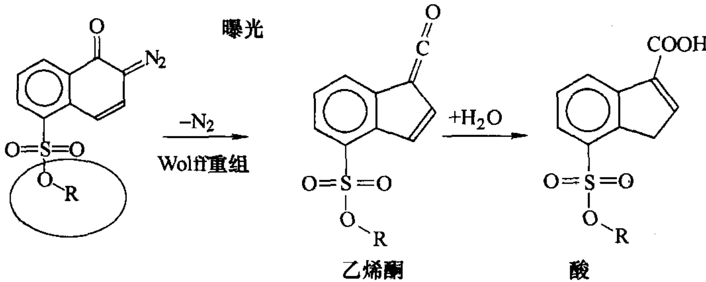



图 16.23 酚醛树脂在曝光和吸水过程中的化学反应

对于非常厚的光刻胶层，再次水合过程可能需要几个小时。图 16.24 给出了在厚度为 50μm 光刻胶中开孔的不同实例。

从应用角度而言，会发现如下趋势。由于使用方便，正性光刻胶仍然最受欢迎，它通常用于光刻胶层厚度小于 50μm，不要求接近 90°侧壁角的情况。通常正性光刻胶用于蘑菇状焊料凸点电镀、金凸点、再布线与 UBM 图形制作（针对丝网印制焊料情况）。然而，由于直侧壁在金凸点中很重要，负性光刻胶的使用越来越多。对于通孔焊料或铜柱电镀和曝光丝网印制，光刻胶层厚度必须大于 50μm，在

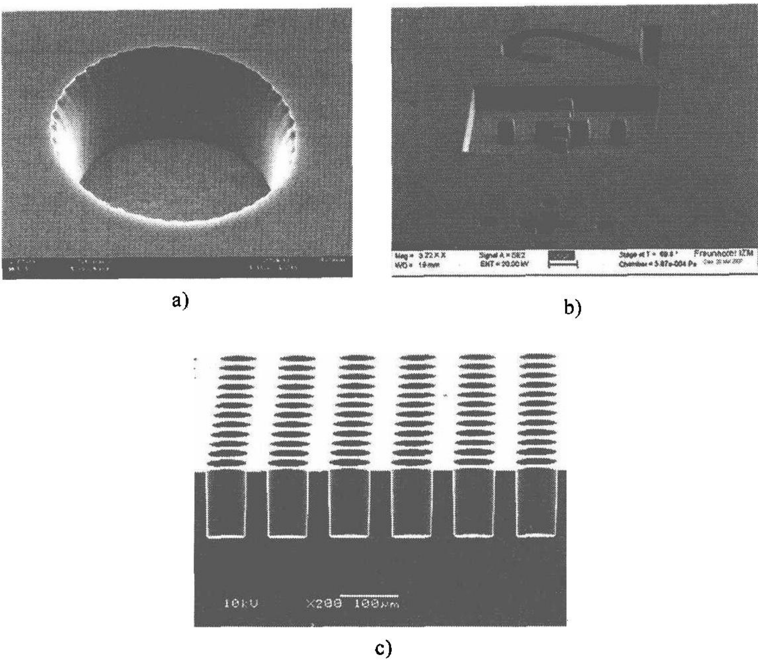


图 16.24 50μm 厚光刻胶实例

a）美国克莱恩公司环氧树脂光刻胶 AZ 4620 b）美国 RHEM 公司负性光刻胶

c）美国杜邦公司带有 75μm 开孔的干膜负性光刻胶 WBR 200

大多数情况下就必须使用负性光刻胶。相比于液态光刻胶，干膜光刻胶具有成本优势，将在较厚的光刻胶市场占据主导地位。干膜光刻胶的应用过程如图 16.25 所示，采用 Mylar 盖片覆盖的聚合物光刻胶薄膜通过热轧滚压工艺施加到圆片上。Mylar 是美国杜邦公司聚乙烯对苯二甲酸乙二醇酯（Biaxially Oriented Polyethylene Terephthalate，BOPET）产品的商标名。干膜光刻胶的分辨率有限，对于较细间距的焊料凸点制作，仍倾向于采用负性液态光刻胶，但最终产品进一步的成本压力有可能改变这种趋势。

由于器件复杂性提高，电子封装与 MEMS 加工技术越来越多地要求在圆片上制作高深宽比图形。特别是因为旋涂工艺容易在这些图形底部产生过厚的光刻胶，而顶部厚度不足。在处理更大尺寸的 3D 结构时，光刻胶旋涂有严格的限制。克服液态光刻胶旋涂限制的一种方法是电泳沉积光刻胶，它可避免在圆片表面产生过薄和过厚等极端图形[31]。

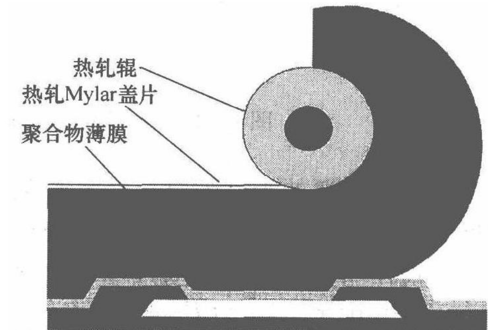
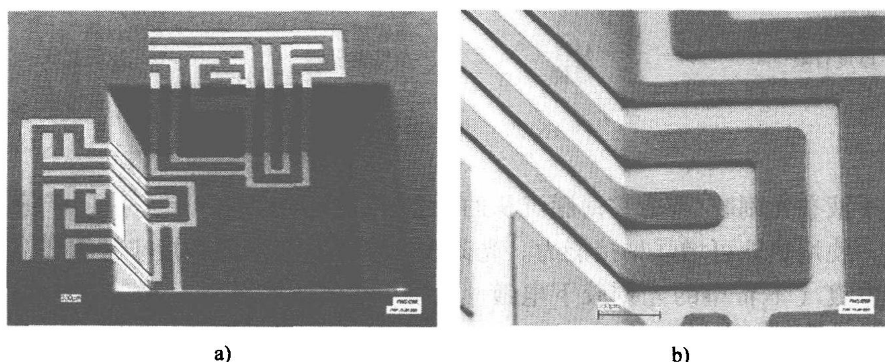



图 16.25 干膜光刻胶应用过程示意图（授权源自 Dupont）

电泳光刻胶涂覆工艺基于电沉积原理，将水溶液中的负性或正性光刻胶电镀在导电种子层上。在水溶光刻胶乳液中，离子化的聚合物形成包含溶剂、染料与光敏引发剂分子的带电微粒。当施加电场时，微粒通过电泳作用朝着相应的电极迁移，并在电极表面上形成一个自我限制的绝缘膜层。这个电极就是希望涂覆光刻胶的圆片。电泳沉积速度很快，通常 10s 即可完成。该涂覆过程可在高度自动化的光刻胶涂覆机上完成，如荷兰 Besi Plating 公司开发的涂覆机，可实现半自动单圆片操作。

电泳法形成的光刻胶层厚度主要受沉积过程中的电压与温度影响，取决于加载电压、镀液温度与使用的光刻胶类型，最后获得的光刻胶层厚度在 3 ~ 20μm 之间。有人研究了采用化学试剂控制胶层厚度对电泳沉积的影响，此外研究还显示了如何长时间控制和维护光刻胶电镀液的质量。

通过湿法化学腐蚀或干法等离子体刻蚀在硅圆片上制备的 440μm 深腔，可以采用美国 Rohm & Haas 电子材料（RHEM）公司的电泳光刻胶进行保形涂覆。即使在整个光刻工艺完成后，深腔的顶角也被光刻胶很好地覆盖，如图 16.26 所示。



a)　　b)

图 16.26　美国 RHEM 公司负性光刻胶 EDPr

a）硅腔轮廓　b）400μm 深腔的底部细节

使用美国 RHEM 公司的 InterVia 3-D-N 型负性光刻胶，可以获得 2 倍的高宽比。通过腐蚀底部未覆盖光刻胶的金属，可将光刻胶电镀中获得的图形结构转移到下面的电镀基底上。此外，电泳光刻胶已被成功用于制作 Cu、Au 和 Ni 的电镀掩膜。

#### 16.3.1.6　光刻胶与光敏聚合物加工

任何聚合物薄膜和光刻胶的应用都包括以下工艺步骤：涂覆（包括光刻胶前烘）、紫外曝光、显影与后烘或固化[32]。可能还存在一些额外的固化工艺，如后烘（Post-Exposure Bake，PEB）可增强光加工过程。显影后烘片可以停止显影过程，降低 PI 清洗过程的高边效应（Crowning effect）。所有涂覆技术的关键是获得清洁、无孔隙的表面。与前道工艺（FE）相比，这一点非常重要，因为封装工艺通常由次级承包商在 FAB 外完成。在这种情况下，圆片在密封盒里被运送到无法保证无

尘的环境中。此外，可能还要进行电测试，以便合格后进行后续的引线键合互连。与全球范围内大量应用的引线键合封装相比，圆片级芯片尺寸封装（WL-CSP）市场仍然很小。

图 16.27 所示为用于光刻胶沉积的主要技术，包括旋涂、层压、喷涂与电镀/电泳沉积[33]。

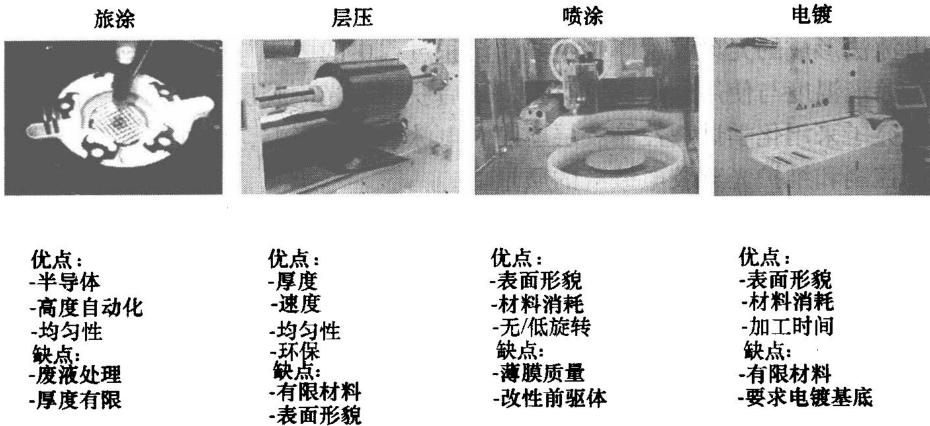



图 16.27 光刻胶沉积技术

用于液态光刻胶/聚合物薄膜沉积的设备主要是旋涂机。层压法用于涂覆干膜光刻胶，使用热轧可增强粘接能力。光刻胶在电镀基底上的粘接非常重要，可以避免胶下电镀（不希望的光刻胶下电镀）。为了可靠地实施下一步工艺，如圆片电镀，仔细清洗圆片的边缘非常重要。对于使用液态薄膜光刻胶的情况，通过去胶边工艺完成。对于干膜光刻胶，则通过切割边缘层压膜来实现。旋涂工艺的第一步是将液态光刻胶分配到圆片上，分配模式可能对最终薄膜均匀性，特别是光刻胶材料消耗非常重要。在多数情况下，从边缘到中心的螺旋式分配是一种最优方法。旋涂机以每分钟几百到上千转的速度旋转圆片，将光刻胶材料均匀分散在整个圆片表面，旋转速度及由此产生的离心力是决定薄膜最终厚度的主要参数。在旋涂过程中，光刻胶中的大部分溶剂得以挥发。总体而言，光刻胶薄膜的最终厚度由光刻胶粘度、旋涂速度、表面张力及少许通过涂胶机模块设计来控制。通过优化工艺与选择合适的光刻胶，在超过 300mm 的圆片上，设计厚度为 50μm 的光刻胶的厚度变化可低于 1%。

聚合物厚度 $h$ 是角速度 $\omega$ 及两个参数 $K$ 与 $m$ 的函数，即

$$h = K\omega^{-m}$$

式中，$K$ 为涂胶机设计与光刻胶中的固体含量；$m$ 为聚合物与溶剂的相互作用[34]。以采用酚醛树脂的正性光刻胶为例，在旋涂过程中溶剂挥发，$m$ 的典型值为 0.5；对于可溶解在具有较低蒸气压线的 N-甲基吡咯烷酮（NMP）溶剂中的聚酰亚胺，

通常 $m$ 值升高。在旋涂腔上加盖可以降低溶剂挥发（Gyrset 旋涂法，由美国 Suss MicroTec 公司开发），对于一定的光刻胶，这将导致光刻胶厚度范围变宽。光刻胶的表面张力影响胶边的形成，取决于后续的工艺步骤。胶边可以保留在圆片上，或者不得不去除（如对于电镀而言，胶边必须完全或部分去除）。胶边通常采用化学方法在涂胶机上去除，通过喷射溶剂或者紫外曝光与显影，而后者是一种更准确的方法。

为了去除光刻胶中的残留溶剂，光刻胶旋涂后必须进行后烘。后烘温度取决于光刻胶类型，但一般在 80 ~ 150℃。后烘工艺对光刻胶显影后观察到的曝光结果有很大影响，后烘不足将导致溶剂残留在光刻胶层中。尤其是正性光刻胶，这对于侧壁控制非常有害，因为当溶剂残存时显影效率更高，从而出现肚型光刻胶图案。另外，因为电镀液对有机添加物敏感，时间长了残留溶剂会污染电镀液，使电镀工艺恶化。

带有处理模块的全自动涂覆系统，带有分配单元的旋涂机与热板/冷板对获得良好的工艺控制和可重复结果非常重要。对于厚光刻胶处理而言，烘烤常常是最耗时的一步，因此采用多块热板非常必要。

特别的挑战是在 3D 结构，如沟槽或通孔，上涂覆光刻胶。如果是在金属表面涂胶，基于电镀原理，采用电泳法常常可在严重变形的表面涂覆光刻胶。另一种可在严重变形表面沉积光刻胶的是喷涂技术，可用于金属甚至非金属表面。光刻胶或聚合物稀释后被改性，通过特殊喷嘴喷射到圆片上，即使接近垂直的侧壁上也可以进行涂覆。

喷涂的另一个好处是可以降低光刻胶材料消耗。在旋涂过程中，大部分光刻胶被旋出圆片边缘，而喷涂只在圆片表面涂覆光刻胶。对于较厚的光刻胶，必须采用多步喷涂。由于没有离心力的均化作用，喷涂光刻胶的薄膜质量（均匀性、平整度）不如旋涂胶。但对于大多数封装应用，光刻胶只是被用作刻蚀或电镀掩膜。聚合物作为电绝缘层，胶层只需达到一定厚度即可。

封装用光刻胶和光敏聚合物，对宽带紫外（波长为 365 ~ 436nm 的 I，h 和 g 线）掩膜对准机与 1 倍步进机（相对于前道工艺用递减步进机）的波长光谱敏感，掩膜对准机和步进机都配备了水银短弧灯。目前封装中可用这两种方法实现的最小特征尺寸是光学分辨率为 4μm，涂覆的精确性正变得更加严格，只是稍微好于 ±1μm，掩膜对准机与步进光刻机都能够达到该涂覆精度。

掩膜对准机是一种接近式曝光工具，掩膜板与圆片间的曝光间隙大约为 50μm，整个圆片曝光采用比圆片稍大一点的掩膜板一次完成。这与步进光刻机不同，步进光刻机使用最大曝光区域尺寸约为 20mm × 40mm 的初缩掩模板。因此，为了曝光整个圆片，必须进行多次曝光。与掩膜对准机相比，步进光刻机存在产量上的劣势，特别是对于大尺寸圆片加工。

对于大多数光刻胶和光敏聚合物，存在一个稳定的发展趋势：使用低成本的水基显影液代替溶剂型显影液。此外，这也是绿色制造的需要。喷水或喷雾显影是水基显影液的必备工艺，浸泡式显影只适合于实验室研发或小批量生产。

光刻胶只是用于电镀或刻蚀的临时材料，因此光刻胶剥离是一个必要的工艺步骤，并且极大地影响最终的结果。光刻胶必须在不损害结构的情况下被完全去除，例如对于电镀金属线或凸点的情况，残留光刻胶将限制种子层刻蚀。大多数酚醛树脂类的正性光刻胶材料可在碱性水溶液中轻松剥离。相反，负性光刻胶在曝光过程中聚合，因此必须采用更强的剥离剂，主要为NMP甚至胺类的有机溶剂。相对于将光刻胶压片的PCB工业，因此存在金属腐蚀的危险，封装中必须使用不腐蚀设备的剥离剂。图16.28给出了这种腐蚀作用的实例。

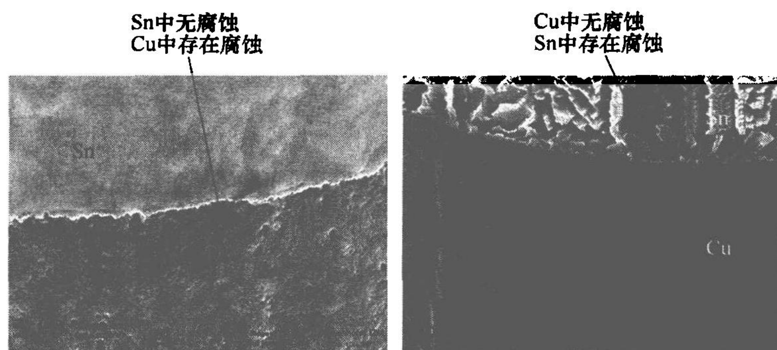



图16.28 对于负性光刻胶剥离后的Cu/Sn凸点剥离剂A腐蚀Cu（左图）和剥离剂B腐蚀锡（右图）

采用两种不同的有机溶液剥离剂，对电镀SnCu凸点的光刻胶剥离进行了评估，第一种剥离剂强烈腐蚀Cu孔洞，与之相比，第二种剥离剂则腐蚀Sn。

#### 16.3.1.7 用于再分配层（RDL）的聚合物

40年来，一直采用聚合物涂层（如聚亚氨酯、丙烯酸树脂、环氧树脂和硅胶）来保护印制电路板（PCB）免受湿气、操作和环境影响[35]。为了满足对离子高度敏感的芯片钝化层需求，必须开发特殊的半导体等级的聚合物。尤其对于环氧树脂，必须采用多步精馏过程，去除标准环氧树脂合成中作为副产品的钠离子与氯离子。聚酰亚胺作为存储芯片与其他器件的标准钝化层，用于芯片操作和测试过程中的表面保护。为了降低工艺成本，曾经开发了光敏合成树脂，但光敏树脂的基础材料价格更高。干法刻蚀需要掩膜板，掩膜板既可以是物理沉积和加工的金属层硬板，也可以通过涂覆厚光刻胶制备。光敏聚合物与干法刻蚀聚合物的工艺差别如图

16.29 所示。

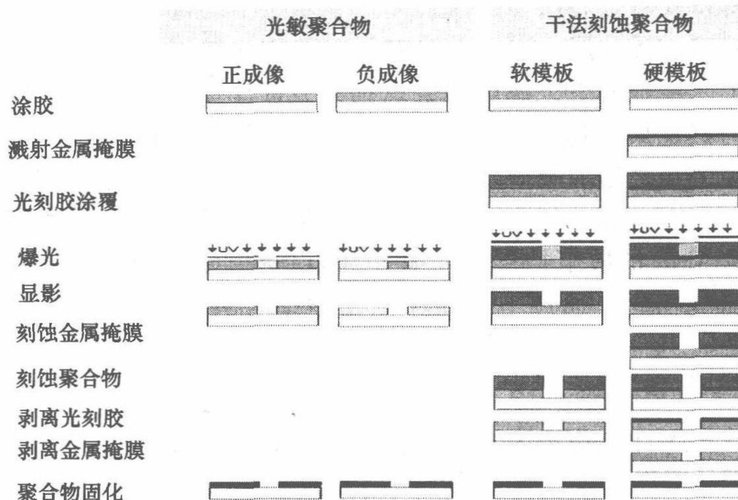



图 16.29　结构化薄膜聚合物技术

由于成本节约要求，在 20 世纪 60 年代到 90 年代非常流行的材料性能全面测试工作显著放慢。另外，由于公司合并、分拆与经济低迷，聚合物产品的连续性难以保证。然而，随着 IC 中引入新的封装概念，聚合物材料变得更加重要。

总的说来，薄膜聚合物已被证明是很多不同类型的先进电子产品的必备材料。首先用作 IC 芯片的应力缓冲层，然后构建多芯片模块（MCM）。MCM 目前已被用于各种新的封装形式，特别是圆片级封装（WLP）领域[36]。

开发了几种不同的再分配工艺，但这些工艺的主要步骤彼此相似，差别主要体现在材料的选择。作为一个实例，图 16.30 详细描述了德国弗劳恩霍夫 IZM 研究所与德国柏林科技大学合作开发的再分配技术。

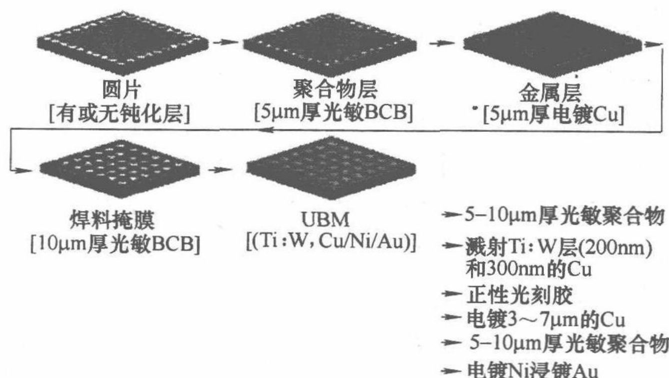



图 16.30　再分配层工艺流程（授权源自 Fraunhofer IZM）

首先，在圆片上沉积电介质层可以提高芯片钝化层性能。无机钝化层中的针孔会在重新布线的金属层中造成短路。金属层下的聚合物层也可以作为凸点和组装工艺的应力缓冲层。对于薄膜布线，使用光敏聚合物比必须干法刻蚀的非光敏材料工艺步骤要少，德国弗劳恩霍夫 IZM 学院柏林科技大学联合使用了光敏 BCB。与其他聚合物 BCB 相比，光敏 BCB 具有较低的介电常数和介电损失，工艺过程中和之后的吸湿量最小，表面非常平坦，固化温度低。重新布线的金属层由电镀铜组成，可以获得很低的电阻率，溅射一层 Ti W-Cu（200nm/300nm）作为 Al 的扩散阻挡层，同时作为电镀基底。采用正性光刻胶制作电镀掩模，金属沉积后，通过干、湿法刻蚀相结合去除电镀基底。铜工艺如图 16.31 所示。

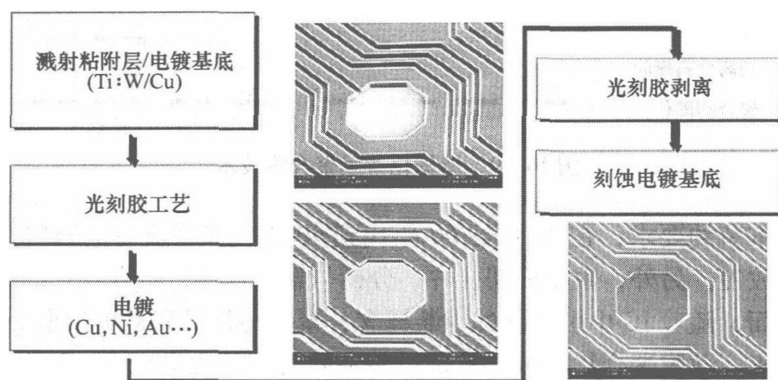



图 16.31　德国弗劳恩霍夫 IZM 研究所和德国柏林科技大学开发的薄膜铜工艺

沉积的第二层光敏 BCB 可以保护铜，并作为焊料掩膜。BCB 可以直接沉积在铜金属层上，无须额外的扩散阻挡层，电镀 Ni/Au 可作为最终的金属层。焊料（高熔点焊料或共晶 PbSn）通过焊膏印制工艺，直接沉积到再分配圆片上。然后在氮气环境下，在对流加热炉中回流焊膏，并且采用合适的焊膏溶剂去除助焊剂残留物（见图 16.32 和图 16.33）。

为了满足组装与电路板要求，焊球直径的平均值可在 100 ~ 350μm 之间调整，这取决于焊球间距。第一次质量检查可选择剪切测试法，焊球的剪切力应该高于 130cN/凸点。使用标准的圆片锯切割硅片来完成 CSP-WL 构建。对于消费类、医疗、汽车，空间应用产品，必须评估再分配层的可靠性。

选择一种给定聚合物的要求是相当多的，如对于焊料回流等高温封装工艺，要求热固性聚合物具有高分解温度，热塑性聚合物具有高的玻璃化转变温度，具有高粘性、高机械强度与化学强度、电性能优良、吸水率低、对光敏感和高的加工效率。一个重要的工艺难点是这些高端、高度交联的聚合物几乎不溶于有机溶剂，因此必须先加工分子量为 10 万并溶于有机溶剂的聚合物前驱体。这些溶液通常被称

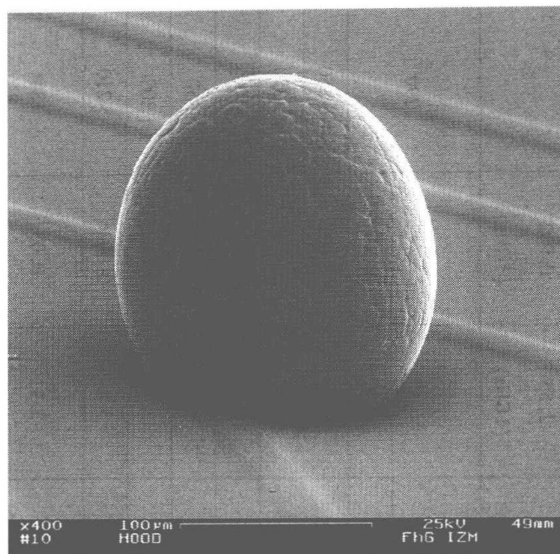



图 16.32 再分配圆片上印制的 PbSn 焊料（光敏 BCB/Cu）

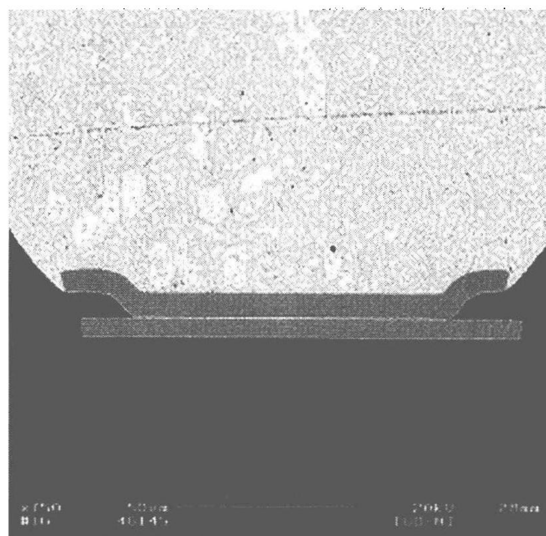


图 16.33 再分配圆片上丝网印制的 PbSn 焊料横截面
（光敏 BCB/TiW/Cu 光敏 BCB/TiW/Cu/Ni/焊料）

为前驱体，可以应用旋涂工艺。最终的聚合作用在圆片上通过热固化完成。

聚合物性能在构建 WLP 结构方面起了很大作用，因为聚合物是 IC 与 PCB 间缓冲的关键层之一。因为高电容会降低集成电路间的计算速度，因此具有低介电常数的聚合物更受欢迎。另外，对于某种应用，最佳聚合物的选择不仅取决于其物理和化学性能及加工性能，而且取决于自身的界面特征。表 16.7 给出了几种常用的旋涂型光敏介电材料及其一些重要的物理特性。

表 16.7 聚合物薄膜产品一览

| 公司名称 | 产品型号 | 光敏性 | 显影剂 | 基底材料 | 固化温度 (1~2h)/℃ | 介电常数 (0.001~1MHz) | 损耗因子 (0.001~1MHz) | $T_g$ (分解温度)/℃ |
|---|---|---|---|---|---|---|---|---|
| 日本旭道(Asahi-Dow)公司 | Pimel G7621 | 负性 | 有机 | PI | >350 | 3.3 | 0.003 | 355 |
| 美国陶氏化学(Dow Chemical)公司 | Cyclotene 4000 | 负性 | 有机 | BCB | 210-250 | 2.65<br>2.55<br>(1GHz) | 0.0008<br>0.002<br>(1GHz) | >350 |
| 美国道康宁(Dow Corning)公司 | Photoneece PWDC 1000 | 正性 | 水溶液 | PI | 320 | 2.9 | | 290 |
| | WL 5150 | 负性 | 有机 | 硅树脂 | 250 | 3.2 | 0.0070 | |
| 日本富士胶片(Fuji Film)公司 | Probimide 7000 | 负性 | 有机 | PI | >350 | 3.3 | 0.007 | >350 |
| | 348 | 负性 | 有机 | PI | >350 | 3.2 | 0.004 | >350 |
| 美国 HDM 公司 | PI 2730 | 负性 | 有机 | PI | >350 | 2.9 | 0.003 | >350 |
| | HD 4000 | 负性 | 有机 | PI | >350 | 3.2 | 0.006 | 350 |
| | HD 8000(PBO) | 正性 | 水溶液 | PI | >350 | 3.4 | 0.0097 | 300 |
| 日本 JSR 公司 | WLP 1200 | 负性 | 水溶液 | 纳米填充酚醛树脂 | 170 | 3.8 | 0.0036 | >210 |
| 日本新日本制铁(Nippon Steel)公司 | Cardo VPA | 负性 | 水溶液 | 改性丙烯酸树脂 | 200 | 3.4 | 0.03 | 180 |
| 美国罗门哈斯(Rohm and Haas)公司 | Intervia 8000 | 负性 | 水溶液 | 改性抗蚀剂 | 175 | 2.9(1GHz) | 0.026 | 150~200 |
| 日本住友(Sumitomo)公司 | PBO | 正性 | 水溶液 | PBO | 320 | 2.9~3.5 | | 380 |
| 日本东丽(Toray)公司 | Photoneece BG 2400 | 负性 | 有机 | PI | >350 | 3.2 | | 255 |
| | Photoneece PW 1000 | 正性 | 水溶液 | PI | >350 | 2.9 | | 290 |

（续）

| 公司名称 | 产品型号 | CTE/($10^{-6}$/K) | 抗拉强度/MPa | 断裂延长率(%) | 残余应力/MPa | 杨氏模量/GPa | 吸水率/(%) |
|---|---|---|---|---|---|---|---|
| 日本旭道(Asahi-Dow)公司 | Pimel G7621 | 40~50 | 150 | 30 | 40~50 | | 0.8 |
| 美国陶氏化学(Dow Chemical)公司 | Cyclotene 4000 | 45 | 87 | 8 | 28 | 2.9 | <0.2 |
| 美国道康宁(Dow Coring)公司 | Photoneece PWDC 1000 | 36 | 130 | 40 | 28 | 3 | |
| | WL 5150 | 236 | 6 | 37 | 2.6 | 0.16 | |
| 日本富士胶片(Fuji Film)公司 | Probimide 7000 | 27 | 170 | 73 | 30 | 2.9 | 1.3 |
| | 348 | 23 | 123 | 8 | | 3.2 | 1.8 |
| 美国HDM公司 | PI 2730 | 16 | 170 | ? | 18 | 4.7 | >1.0 |
| | HD 4000 | 35 | 200 | 45 | 35~37 | 3.5 | |
| | HD 8000(PBO) | 47 | 122 | 11 | 29 | 2.5 | |
| 日本JSR公司 | WLP 1200 | 51 | 75 | 7.5 | | 1.6 | |
| 日本新日本制铁(Nippon Steel)公司 | Cardo VPA | 80 | 7.5 | 11.5 | 14~30 | 2.5 | 1.6 |
| 美国罗门哈斯(Rohm and Haas)公司 | Intervia 8000 | 58 | | | | 4.5 | <0.38 |
| 日本住友(Sumitomo)公司 | PBO | 55 | 100 | 18 | | 2.5 | 0.3 |
| 日本东丽(Toray)公司 | Photoneece BG 2400 | 25 | 180 | 40 | | 3.9 | |
| | Photoneece PW 1000 | 36 | 130 | 40 | | 3 | |

聚酰亚胺（PI）、苯并环丁烯（BCB）与聚苯并恶唑（PBO）是常用的再钝化材料，图 16.34、图 16.35 和图 16.36 分别给出了它们的化学结构与化学反应。

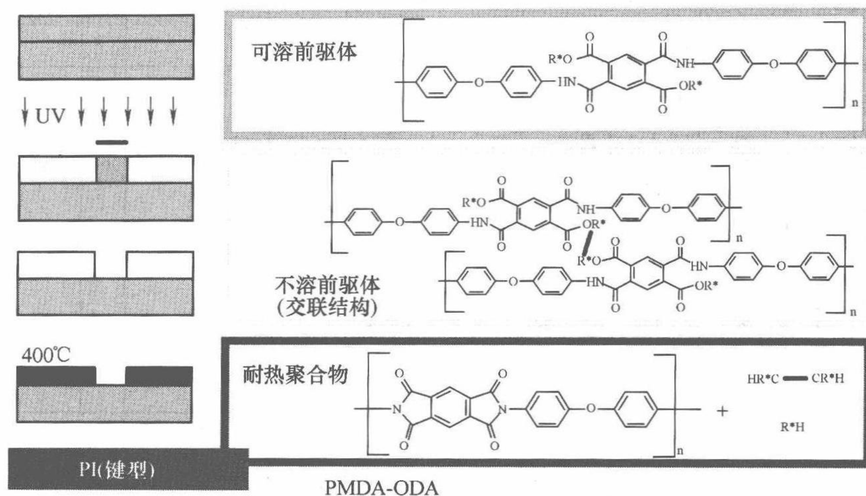



图 16.34 聚酰亚胺（PMDA-ODA）聚合物（光反应与固化）

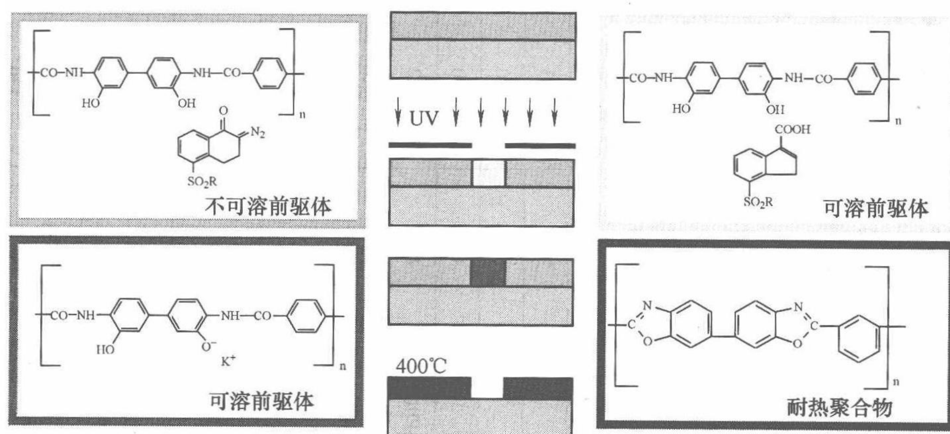



图 16.35 聚苯并恶唑聚合物（光反应与固化）

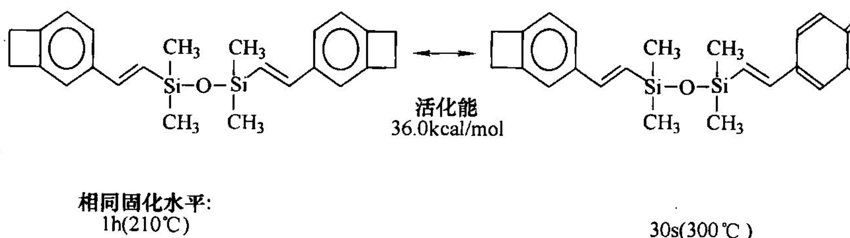



图 16.36 苯并环丁烯 BCB 分子与固化

BCB 与聚酰亚胺（少数除外）是要求使用有机显影液的负性光刻胶，而 PBO 是正性光刻胶。所有光刻胶需要烘烤以去除溶剂，但不必经过再水合作用。在有些情况下，为了增强光引发的聚合反应，曝光后必须烘烤。所有材料采用宽带光谱曝光，可获得的侧壁角约为 40°～60°。因为只有直径大于或等于 20μm 的通孔才要求较大的 I/O 焊盘开口。因此，通常分辨率对于 WLP 并不是一项重要要求，但这种观点对于 3D 集成而言是不断变化的。

薄膜聚合物的一个重要特征是具有如金属布线一样的平坦化能力[37]，评价该性能的主要参数是固化过程中的收缩，收缩率可在 40%（对于聚酰亚胺）与几乎为 0（对于 BCB 和一些环氧基聚合物）间变化。图 16.37 所示是以 MCM 为例，显示了平坦化的重要性[38]。

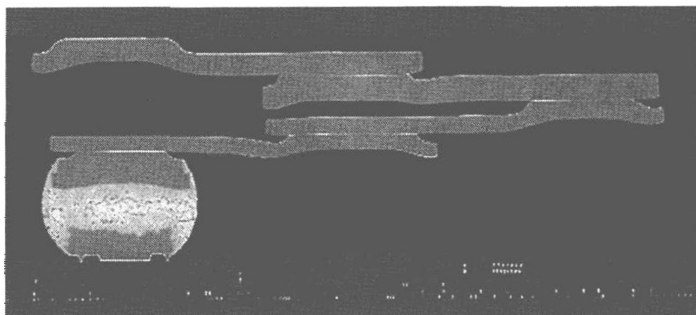


图 16.37　多层 BCB/Cu 显示了几乎完美的平坦化 BCB（像素探测器模块）

这种多芯片模块的概念是位于瑞士日瓦内的欧洲核子研究中心（Conseil European Pour Recherches Nucleaires（法），CERN）大型强子对撞机（Large Hadron Collider，LHC）的像素探测器系统的原型。该项目是 ATLAS 实验的一部分。ATLAS 实验由全世界 144 个研究机构的 1700 名合作者组成。该探测器的主要目标是搜寻在基本粒子标准模型中未被发现的最后一种微粒子——希格斯玻色子及其相互作用，研究顶夸克的衰变规律。该规律发现于 1994 年，具有高度统计性。

对于像素探测器，只有采用模块系统，才可能将这些模块集成为一个大的探测系统。二极管像素阵列的有源区为 $10cm^2$。读出芯片由于复杂性高，面积比像素阵列要小一个数量级。总的说来，二极管像素阵列与读出芯片都可以在圆片尺寸上加工。模块是个很好的例子，显示了间距为 50μm 的高密度 FC 组装，对于该系统的 MCM-D 型模块，必须采用具有高平整度的多层布线。

一种被称为聚对二甲苯（Parylene）的新型聚合物被用于制作保形涂层。聚对二甲苯采用气相沉积，以固态二聚物（两种单体连接在一起）形式运输[39]。二聚物在 150℃时蒸发，并在 680℃时热解成活性较高的单体自由基。最后，单体进入

压力为0.1Torr的室温沉积腔中，同时吸附和聚合在部件上。该工艺的主要优点是工艺温度低，可用于涂覆温度敏感部件。图16.38给出了三种聚对二甲苯的化学结构。保形涂覆对即将到来的3D集成技术非常具有吸引力。

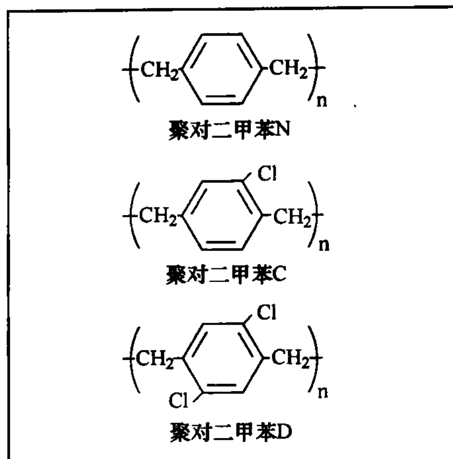



图16.38 三种聚对二甲苯结构

### 16.3.1.8 粘附与铜扩散到聚合体

多层薄膜结构的可靠性完全取决于不同层间的粘附[40]。圆片级封装中光敏BCB/TiW/Cu/PbSn技术的不同界面如下：

1）光敏BCB与无机芯片钝化层（氧化硅、氮化物等）及金属（芯片焊盘（Al）或再分配金属层（Cu））

2）金属（再分配金属层或UBM）与光敏BCB

3）光敏BCB与光敏BCB

4）焊料与UBM

这些薄膜结构中的粘附作用可用三种机制来描述：粗糙度、使用粘附促进剂的化学键合与化学互锁/扩散，微电子产品可靠封装的重要性在于在其使用寿命内具有完整界面。对于界面1），有机硅烷粘附促进剂用于构造基本层，将有机电介质耦合到无机表面上。理论上的完美结构是一种单分子层，一面与无机表面耦合，另一面与聚合物耦合。评估了用于光敏BCB的不同粘附促进剂，使用乙烯基硅烷可在一些无机表面获得高的粘接强度。在沉积BCB前，直接将乙烯基硅烷旋涂在圆片表面。强烈的迹象表明，穿过Si-O键的化学键合导致了粘附。粘附促进剂层的厚度范围为0.5~5nm，粘附促进剂提高了粘接作用。在Al、Cu和不同无机芯片钝化层上的粘接强度都超过了60MPa。

金属与BCB界面2）完全取决于金属沉积技术[41]。化学沉积金属与未经处理、具有非常平滑表面的（粗糙度在Å量级）BCB膜间没有粘附作用。因为金属原子的穿透深度约为100nm，溅射可作为一种用于WLP再分配的可靠金属化过程，保证溅射在光敏BCB上的金属间获得超过80MPa的强粘附作用。Paik等人描述了Cu与BCB间的稳定界面[42]。另外，使用氟气体/氧气混合物对去除工艺（如RIE）几乎没有影响。而在通孔加工中，为了获得100%成品率，必须使用氟气体/氧气混合物。由于BCB表面的氧化作用，只有纯$O_2$等离子体才能降低粘附作用[43,44]。

对于光敏BCB与光敏BCB界面3），通过先部分固化基础BCB层，接着完全固化整个堆栈可以获得高的粘附作用。已经发现了粘接强度与固化程度之间的相互关系，采用RIE加工的光敏BCB层的粗糙度和表面化学对粘附作用没有明显影响，

化学互锁与相互扩散的机理是 BCB 层间粘附的驱动力。因此，固化程度对提高粘附作用非常重要。

焊料与 UBM 界面由产生的金属间化合物（IMC）组成。由于这些 IMC 脆性大，在整个器件寿命期间应尽可能控制 IMC 生长。与 CuSn IMC 相比，NiSn IMC 生长速度较慢。因此对于使用 Sn 基焊料，镍要好于铜。

总之，为了构建可靠的薄膜结构，需要仔细分析材料的表面化学与物理，对于所有的表面改性过程如溅射、等离子体加工等，必须特别重视。

对于高密度布线，一个额外的关注点是铜扩散到聚合物中。一种很好的测试结构是在 n 型硅圆片上制作金属绝缘半导体（Metal Insulator Semiconductor, MIS）电容器[45]。测试中的聚合物形成了电容器中的电介质中心，聚合物层的顶部与底部分别钝化，底部采用热氧化层，顶部采用 PECVD 氧化层。研究表明，测试过程中铜离子已在表面形成，并很容易扩散到 $SiO_2$ 中，从而为铜扩散到聚合物中提供了 Cu 源。氧化层的第二个目的是将聚合物与金属和硅表面隔离。已经表明，金属和硅表面能够提供额外的带电离子源，可以扩散到聚合物中。MIS 电容器的栅极采用溅射/电镀 Cu 工艺制作，圆片背面的铝接触层可作为电容器反面的电接触层。在 BTS（偏置温度应力）测试中，先将样品加热到指定温度，然后将特定的电压施加到电容器触点间一段时间[46]，在 BTS（CV）前后进行测试。CV 测量法主要基于 MIS 电容器行为，对于 n 型半导体，栅电压从负压到正压进行扫描。测量开始时，将一个强负偏压作用在处于反转区的 MIS 电容器栅极上。栅极负偏压排斥多数载流子电子，来自固定离子掺杂区的等效正电荷保留/接近半导体绝缘界面。该耗尽区没有电荷移动，因此可作为绝缘体并形成与栅电容器串联的一组电容器，从而尽量减小电容测量值。当施加的负偏压值变小，多数载流子开始返回/接近硅界面区域，这就是 CV 曲线的耗尽区，因为耗尽电容降低，电容值开始增加。随着电压变为正值，集中在半导体绝缘表面的多数载流子组成了一个平板电容器，其值接近只有绝缘体的电容值，测量关注点发生在实现了反转与累积间转变的耗尽区。例如，如果正电荷（$Cu^+$）扩散进了聚合物，聚合物中的正电荷将补偿一些栅极负电荷，则损耗开始发生的电压将变成负值更大的负性电压，最大影响发生在电荷扩散穿透电介质层并聚集在半导体表面的时候。

使用 BTS 与 CV 测试方法，结合 SIMS 发现和证实，对于含 Cu/$SiO_2$/聚合物/$SiO_2$/n 型硅/Al 结构的 MIS 电容器，铜聚集在 $SiO_2$/Si 衬底界面。采用 BTS 法，在环氧聚合物中发现了铜迁移现象，而 BCB 中没有（见图 16.39）。

使用纳米点 EDX，在所有样品的材料体系中都探测到了铜。这可能是由铜电极的强散射效应引起。为了制备用于 SEM 测试的电子透明薄片，使用了 FIB 提取技术，制备好的薄片转移到金样品夹具网格上（EDX 能谱中金信号，见图 16.40）。

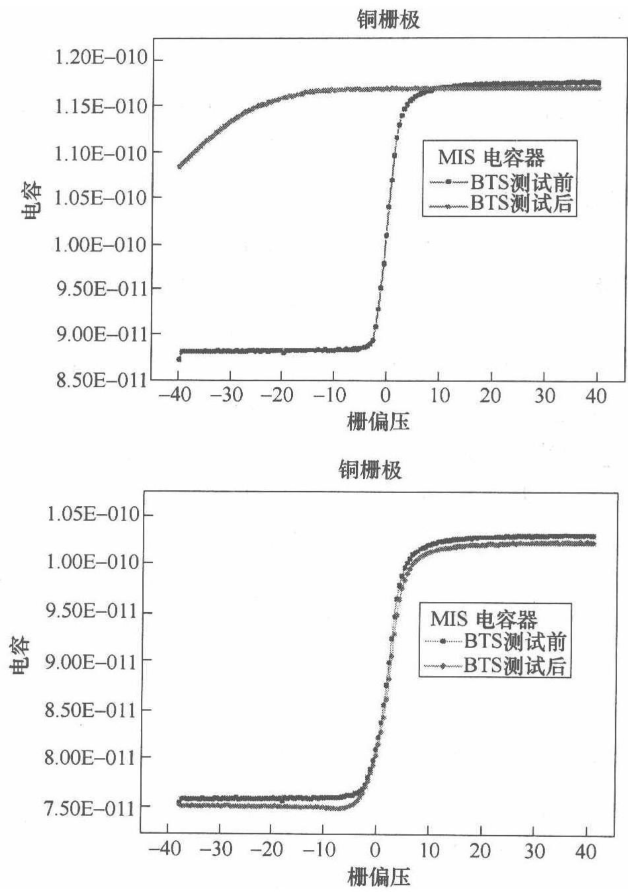
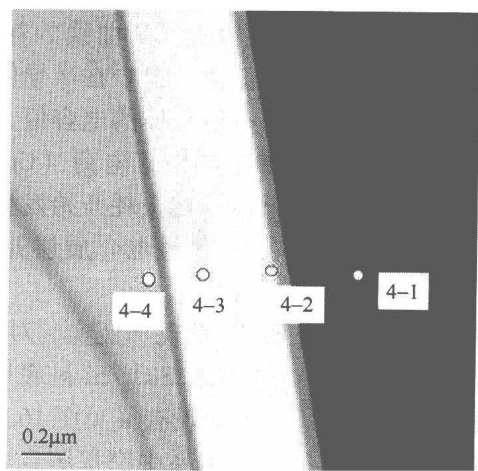


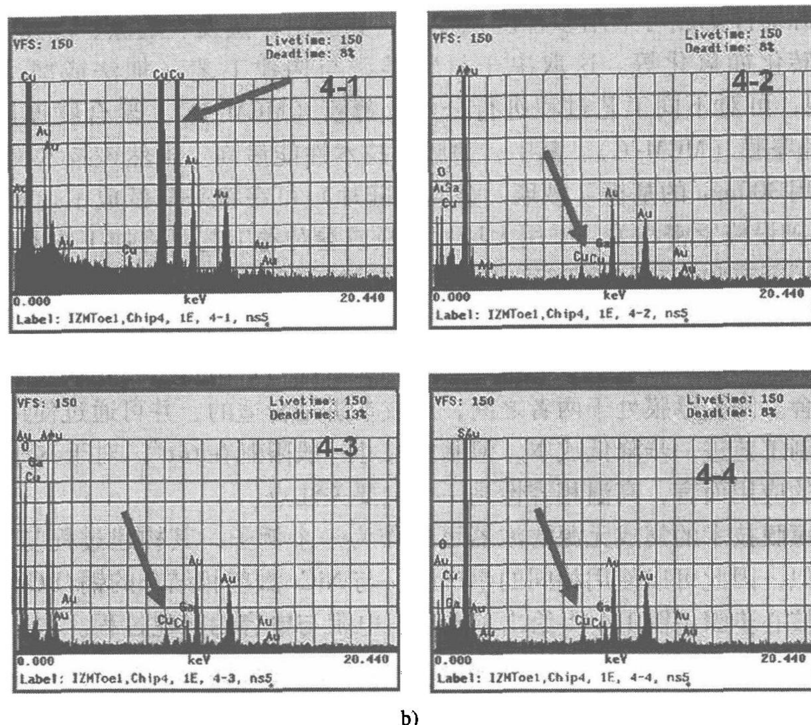

图 16.39 金属绝缘半导体（MIS）电容器的铜迁移（上图为环氧树脂，下图为 BCB）




a)

图 16.40 $SiO_2$/BCB/$SiO_2$/n 型硅界面的纳米点

a）数据采集点




b)

图 16.40　$SiO_2$/BCB/$SiO_2$/n 型硅界面的纳米点（续）

b）四点 EDX 能谱

已经证明，Cu 扩散对于 BCB 并不是一个问题，PI 性能完全取决于高分子链的特定类型。Loke 等人的研究指出，对于商用低 $k$ 聚合物材料而言，BCB 的铜扩散最低[47]。

## 16.4　无源器件集成材料

相对于分立无源器件而言，芯片上无源器件在实现成本、性能或功能优势方面具有较高潜力[1]。因此，在电路板或圆片上集成无源元器件是朝着进一步增强系统性能与小型化迈出的重要一步。为了实现无源器件集成，必须使用三种基本的材料——导体、电阻与电介质[48]。它们可由金属、聚合物、陶瓷加工而成。聚合物与陶瓷技术之间的主要差别是最高工艺温度。聚合物的最高工艺温度能达到 300℃，而烧结陶瓷能达到 700℃甚至更高。采用 Cu、Au 或 Al 金属，或者电阻率少于 0.1$\Omega/cm^2$ 的金属填充聚合物厚膜制作导体，可以避免产生高的寄生电阻。NiCr、CrSi 或 TaN 之类的合金，金属陶瓷（陶瓷-金属化合物）或碳填充的聚合物的方块电阻通常为 100 ~ 10000$\Omega/cm^2$。介电常数 $k$ 为 2 ~ 5 的聚合物，无定形金属氧化物（$k$ = 9 ~ 50）或 $k$ > 1000 的晶体有序混合得到的氧化物可作为电容器的中间

砌块。无源器件集成可采用多种沉积技术，如溅射、蒸发、旋涂、层压、溶胶-凝胶、化学转化如氧化等。这取决于材料类型与构建工艺（加法或减法）。根据MCM类型，可对不同工艺过程进行分类：薄膜（MCM-D）、聚合物厚膜（MCM-L）与陶瓷厚膜（MCM-C）。其中，薄膜的技术性能最高。虽然该技术面临成本问题，但使用300mm的基板（玻璃、金属或硅片）可在将来降低成本。聚合物厚膜与PCB基础设施紧密相关，采用大尺寸基板或卷对卷工艺可将加工成本降到最低。另外，采用现有状态良好的PCB基础设施集成无源器件不存在大的障碍。另一方面，对于超高频应用，主要障碍在于可控偏差小，材料选择范围有限。额外增加无源器件内部层的制造过程产生的附加成本和复杂性与自由板空间相比是否值得，必须作出取舍。陶瓷厚膜处于两者之间，从成本讲是合适的，并可通过使用光敏材料和改进印制工艺进一步降低成本，但基板尺寸一般限制在$6in^2$。对于汽车和其他极端条件下的应用而言，高温相容性是一个主要关注点。

基于薄膜技术的集成无源滤波器可以作为一个例子，其构建过程与WLP再分配过程类似，因此可以使用相同的生产线。与NiCr溅射相结合的铜/BCB技术是整个工艺的核心步骤。图16.41给出了电感、电阻与电容的构建过程。

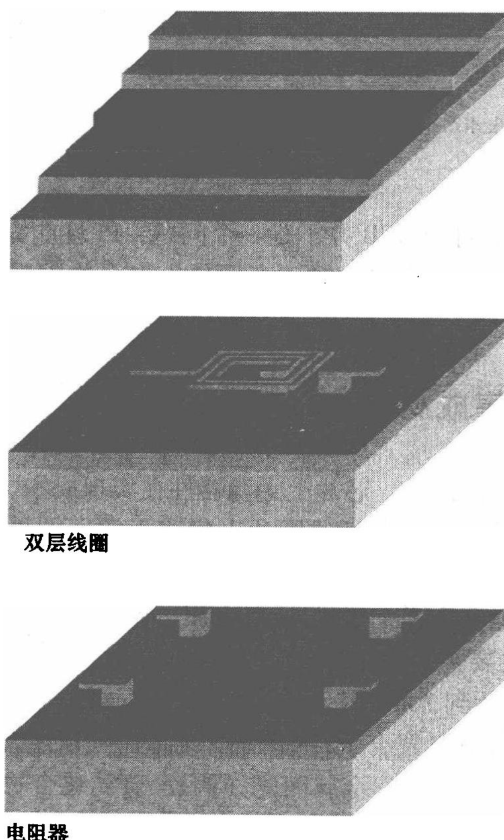
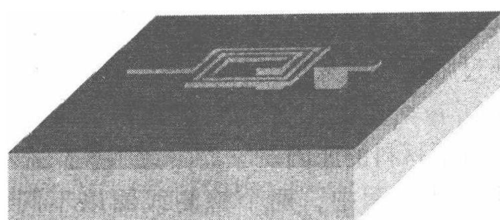
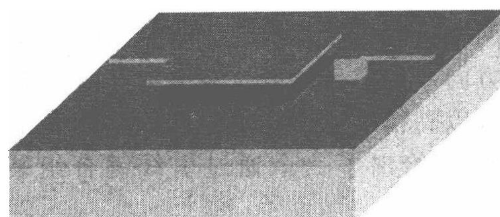



图16.41 集成无源器件的薄膜构建工艺示意图（授权源自Fraunhofer IZM）[49]



单层线圈



平板电容器

图16.41　集成无源器件的薄膜构建工艺示意图（授权源自 Fraunhofer IZM）[49]（续）

直到现在，集成电感才获得高度认可，其沉积过程通过溅射和电镀铜结合高度平坦化的聚合物如 BCB 完成，如图 16.42 所示。

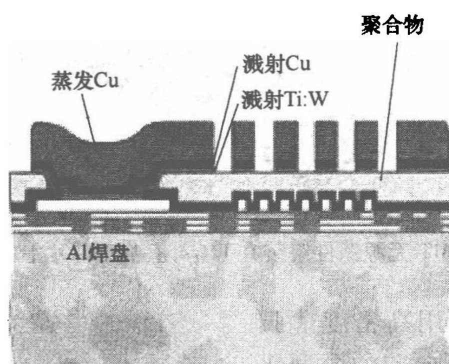



图 16.42　作为芯片上 IPD 的电感示意图

电感传感器或片上电感，可用于角度或线性位置传感器、间距传感器、无损检测、薄膜厚度测量、RF 电路的片上无源器件、DC-DC 转换器、微型变压器与位置传感器。图 16.43 给出了其中的一个实例。

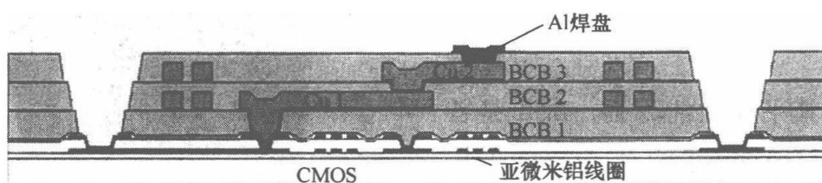



图 16.43　用于位置传感器的 ASIC 上电感示意图

这些微线圈位置传感器的工作原理基于振荡器产生频率为500kHz的载波信号。该信号是一种可通过励磁线圈发送，从而产生AC磁场的电流信号，磁场正比于电流和线圈匝数。为了在给定电压（5V）下获得最大的磁场，阻抗必须最小。这就是选择铜作为励磁线圈材料的原因。

将AC磁场耦合到检测线圈中，两个检测线圈以不同的结构进行连接。如果磁场被扰乱，如在传感器前面转动轮齿，就可以检测到信号。该信号是根据励磁线圈与检测线圈间的耦合形成的调幅载波信号。信号使用同步解调器和低通滤波器进行解调，两个检测线圈系统处于明显不同的位置才有效，从而可以检测目标齿轮的移动方向。如果目标齿轮在传感器前面旋转，在两个通道中测量正弦与余弦信号，可以高精度地计算角位置；齿轮不旋转时，带孔的钢带可用于线性测量。图16.44给出了一个通过引线键合组装在PCB上的传感器实例。

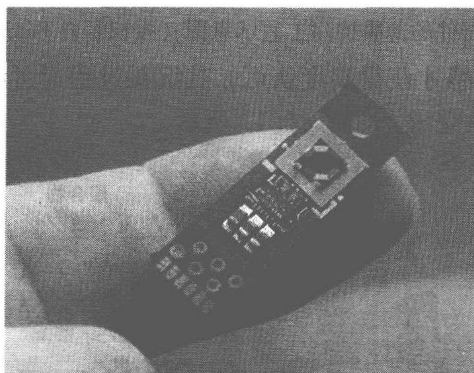


图16.44　带有SMT无源器件组装在FR-4上基于芯片上电感的位置传感器

这些微线圈制作采用高密度薄膜BCB/铜工艺，由于不断向前的微型化趋势，下一步的研发必须增加布线密度与铜金属层高度。已经开发了线高和间隔为4μm的厚光刻胶工艺，研究重点放在降低电镀铜结构的底刻蚀，保证铜与BCB间的高粘着特性。图16.45所示为FIB（聚焦离子束）横截面。

由于其平面化能力强，BCB是首选材料，目前该工艺已在200mm ASIC上得到验证。

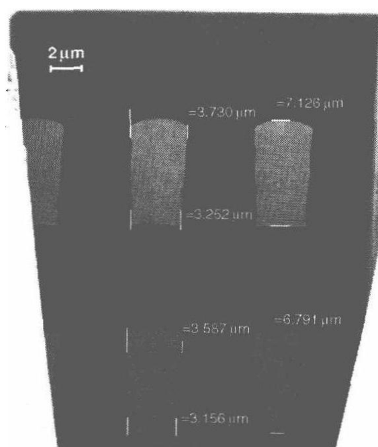



图16.45　采用BCB隔离与平面化的4μm线和Cu双层引线横截面图（聚焦离子束）

# 参考文献


1. M. Töpper, D. Tönnies, Microelectronic packaging, in: Semiconductor Fabrication Handbook, M. H. Geng (ed), McGraw-Hill, New York, 2005, pp. 21.1–21.54
2. Microelectronic Packaging Handbook, Part 1–3, R. Tummala, E. Rymaszewski, A. Klopfenstein (eds), Chapman & Hall, New York, 1997
3. Multichip Module Technology Handbook, P. Garrou, I. Turlik (eds), McGraw-Hill, New York, 1998
4. A. J. van Roosmalen, "There Is More Than Moore", Proc. 5th Int. Con. on Mech. Sim. and Exp. in Microelectronics and MST, EuroSim2004
5. Ball Grid Array Technology, J. Lau (ed), McGraw-Hill, New York, 1995
6. K. Kosuga, "CSP Technology for Mobile Apparatuses", Proceedings International Symposium on Microelectronics, Philadelphia, Oct. 1997, p. 244
7. Chip Scale Package, J. Lau, S.W. Ricky Lee (eds), McGraw-Hill, New York, 1999
8. K. Iwabuchi, "CSP Mounting Technology", Proc. SEMI Technology Symposium 1996, Chiba/Japan
9. M. Töpper, J. Simon, H. Reichl, "Redistribution Technology for CSP using Photo-BCB", Future Fab International, 1996, p. 363
10. P. Garrou, "Wafer Level Chip Scale Packaging (WL-CSP): An Overview", IEEE Trans. Adv. Packaging, 2000, 23 (2), 200, p. 198
11. P. Garrou, "Wafer Level Packaging has Arrived", Semiconductor International, October 2000, p. 1192
12. M. Töpper, H. Reichl, SECAP, International Advanced Packaging Consortium: Formed to Standardize Process Equipment for Wafer Level Packaging Technologies for 300 mm, Future Fab, 10 July, 2001
13. Principles of Electronic Packaging, D. P Seraphim, R. Lasky, Che-Yu Li (eds), McGraw-Hill, New York, 1989
14. H. Reichl, "Direktmontage", Springer Verlag, Berlin, 1998
15. Area Array Interconnection Handbook, K. Puttlitz, P. Totta (eds), Kluwer Academic Publishers, Dordrecht, 2001
16. L. Dietrich, J. Wolf, O. Ehrmann, H. Reichl, "Wafer Bumping Technologies Using Electroplating for High-Dense Chip Packaging", Proceedings Third International Symposium on Electronic Packaging Technology (ISPT'98), Beijing (China), Aug. 17–20, 1998
17. U. Müller, "Anorganische Strukturchemie", Teubner Verlag, 3. Auflage 1996
18. K. Ruhmer, E. Laine, K. O'Donnell, K. Hauck, D. Manessis, A. Ostmann, M. Töpper, "UBM Structures for Lead Free Solder Bumping using C4NP", EMPC, June 2007
19. T. Kawanobe, K. Miyamoto, Y. Inaba, "Solder Bump Fabrication by Electrochemical Method for FC Interconnection", IEEE Publication CH1671-7/0000, 1981, p. 149
20. L. Dietrich, M. Toepper, O. Ehrmann, H. Reichl, "Conformance of ECD Wafer Bumping to Future Demands on CSP, 3D Integration, and MEMS", Proceedings of the ECTC, San Diego, 2006, p. 1050
21. A. Ostmann, G. Motulla, J. Kloeser, E. Zakel, H. Reichl, "Low Cost Techniques For Flip Chip Soldering", Proc. Surface Mount International Conference, Sept. 1996, San José
22. S. Anhöck, A. Ostmann, H. Oppermann, R. Aschenbrenner, H. Reichl, "Reliability of Electroless Nickel for High Temperature Applications", Intl. Symposium of Advanced Packaging Mat. Conf, Braselton, USA, March 1999, p. 256
23. T. Baumgartner, D. Manessis, M. Töpper, K. Hauck, A. Ostmann, H. Reichl, P. Goncalo C T Jorge, "Printing solder paste in dry film – A low cost fine-pitch bumping technique", Proceedings of EPTC, Singapore, 2007, p. 609

24. P. A. Gruber, L. Belanger, G. P. Brouillette, D. H. Danovitch J.-L. Landreville, D. T. Naugle, V. A. Oberson, D.-Y. Shih, C. L. Tessler, M. R. Turgeon, "Low-cost wafer bumping", IBM J. Res. & Dev. Vol. 49 NO. 4/5 July/September 2005, p. 621
25. Modern Solder Technology for Competitive Electronic Manufacturing, J. Hwang (ed), Mc Graw-Hill, New York, 1996
26. Solder Joint Technology Materials, Properties, and Reliability, King-Ning Tu (ed), Springer, Berlin, 2007
27. Bioh Kim, "Leadfree Solder Deposition for Wafer Level Packaging Applications" 5th Annual SECAP East Asia Seminar Series, Nov. 2004,
28. P-Y Chevalier, Thermochimica Acta, 136 (1988), pp. 45–54
29. G. Messner, I. Turlik, J. W. Balde, P. Garrou, "Thin Film Multichip Modules", ISHM Publication, 1992, p. 5
30. R. Dammel, Diazonaphtoquinoe-Based Resists, SPIE Optical Engineering Press, Bellingham, WA, Vol. TT-11, 1993
31. Th. Fischer, M. Töpper, N. Jürgensen, O Ehrmann, M. Wiemer, H. Reichl, "Conformal coating and patterning of 3D structures on wafer level with electrophoretic photoresists", Proceedings of Smart System Integration Conference, Paris, France, 2007, p. 473
32. Thin Film Technology Handbook, A. Elshabini-Riad, F.D. Barlow (eds), McGraw Hill, New York, 1997
33. M. Töpper, Ch. Lopper, J. Röder, K. Hauck, Th. Fischer, T. Baumgartner, H. Reichl, WLP Photoresists for the 21st century, IWLPC Conference, San José, USA, November 2005
34. W. Daughton, Journal of Electrochemical Society, Vol. 129, No. 1, 1982, p. 173.
35. Coating Materials For Electronic Applications, J. Licari (ed), Noyes Publications, Berkshire, 2003
36. M. Töpper, The Importance of Polymers in WLP, in: Materials for Information Technology, E. Zschech, C. Whelan, T. Mikolajick (eds), Springer, Berlin, 2005
37. P. Chiniwalla, R. Manepalli, K. Farnsworth, M. Boatman, B. Dusch, P. Kohl, S. A. Bidstrup-Allen, "Multilayer Planarization of Polymer Dielectrics", IEEE Transactions on Adv. Packaging, Vol. 24, 2001, p. 41
38. M. Töpper, Th. Fritzsch, V. Glaw, R. Jordan, Ch. Lopper, J. Röder, L. Dietrich, M. Lutz, H. Oppermann, O. Ehrmann, H. Reichl, "Technology Requirements for Chip-On-Chip Packaging Solutions", Proceedings ECTC Conference, Florida, USA, 2005, p. 802
39. A. Hardy, "Protecting Modern Wafer-level Packages", Press release by Specialty Coating Systems, 2008
40. M. Töpper, A. Achen, H. Reichl, "Interfacial Adhesion Analysis of BCB / TiW / Cu / PbSn Technology in Wafer Level Packaging", Proceedings ECTC 2003, p. 1843
41. M. Töpper, Th. Stolle, H. Reichl, "Low Cost Electroless Copper Metallization of BCB for High-Density Wiring Systems", Proceedings of the 5th Intl. Sym. on Advanced Packaging Materials, Braselton, Georgia, USA, March 1999, p. 202
42. K.W. Paik, R.J. Saia, J.J. Chera, "Studies on the Surface Modification of BCB Film", Proceedings MRS, Boston, Nov. 1990
43. F. Krause, K. Halser, K. Scherpinski, M. Töpper, "Surface Modification due to Technological Treatment Evaluated by SPM and XPS Techniques", Proceedings MicroMat, Berlin, April 2000
44. P. Chinoy, "Reactve Ion Etching of Benzocyclobutene Polymer Films", IEEE Trans. Comp. Packaging and Manufact. Tech., Part C, Vol 20, 1997, p. 199
45. A. Loke, "Process Integration Issues of Low-Permittivity Dielectrics with Copper for High-Performance Interconnects", Ph.D. Thesis, Dep. of Electrical Engineering, Stanford University, U.S.A., March 1999, p. 85
46. M. Töpper, K. Hoferling, F. Defo Kamga, H. Reichl, "Copper Migration in Thin Film Polymers", Proceedings of Nano Materials, Berlin, 2007
47. A. Loke et al., "Evaluation of copper penetration in low-k polymer dielectrics by bias-temperature stress", MRS Spring Meeting, Symposium N/O, 1999, p. 1

48. Integrated Passive Component Technology, R. Ulrich, L. Schaper (eds), Wiley Interscience/IEEE Press, New York, 2003
49. K. Zoschke, J. Wolf, M. Töpper, O. Ehrmann, Th. Fritzsch, K. Scherpinski, F.-J. Schmückle, H. Reichl, "Thin Film Integration of Passives – Single Components, Filters, Integrated Passive Devices", Proceedings of ECTC Conference, 2004, p. 294

# 第 17 章　微机电系统与封装

Y. C. Lee

**摘要：** 微机电系统（MEMS）技术使我们能够制备出不同的传感器与执行器，并与微电子、光电子、射频（RF）、热学和力学器件集成为先进的微系统。在所有这些要求低成本与小尺寸的系统中，MEMS 封装通常是关注的重点。然而，MEMS 与封装间的关系并不限于 MEMS 器件封装。实际上，MEMS 器件既可用于增强微电子、光电子与射频系统的封装技术，封装技术也可用于制造 MEMS 器件。因此，封装与 MEMS 技术本质上是在单一系统平台上集成传感器、执行器与其他器件。作为最重要的部分，MEMS 可靠性可以暂时不考虑，将来很有可能应用 MEMS 与封装技术开发完全集成的微/纳系统。

**关键词：** 微机电系统（MEMS），封装，系统集成，可靠性。

## 17.1　简介

微机电系统（MEMS）技术使我们能够制备出不同的传感器和执行器，并与微电子、光电子、射频（RF）、热学和力学器件集成为先进微系统。半导体制造工艺允许低成本加工尺寸范围为 1 ~ 100μm 的微型传感和执行器件，成百上千基于 MEMS 技术的传感器、执行器和系统已经得到证明，其应用数量正不断提高。在这些各种应用实例中，包括压力传感器、倾斜传感器、加速度计、陀螺仪、化学微传感器、芯片实验室、微型生物医学器件、谐振器、显示器、光开关、射频开关与无源器件、打印头、能源利用与存储器件、数据存储器件等。MEMS 市场经历了一个快速增长期，例如在 2007 年，胎压监控系统（Tire Pressure Monitoring System，TPMS）已成为几千万辆汽车的标准配置；加速度计可以探测 iPhone 的旋转，从而在正常的画面或显示屏高宽比下改变显示内容；日本任天堂（Nintendo）公司的 Wii 游戏操纵杆，使用加速度计来测量手持操纵杆三维方向的加速度。在所有这些要求低成本和小尺寸的应用中，MEMS 封装是考虑的重点。

图 17.1 给出了 MEMS、微电子制造与封装的一些差异。图中，悬臂梁器件代表了压力传感器、加速度计、微镜和射频开关的一个简单结构。MEMS 设计要求考虑电-热-力学行为的实体造型与模拟，MEMS 制造涉及沉积和去除具有可控力学和电学特性的微小厚膜[33,43]。加工完成后，为了释放器件实现机械运动，必须去除牺牲层材料，该工艺通常是 MEMS 封装的第一步，释放过程完成后进行圆片级器

件测试，然后划片。对释放和分开的器件进行组装并密封在封装体内，测试、划片、组装与密封步骤非常具有挑战性，没有正确的保护，微型、可动结构很容易在这些步骤中损坏[40]。因此，在划片前，常常需要通过圆片级封装来保护 MEMS 器件。

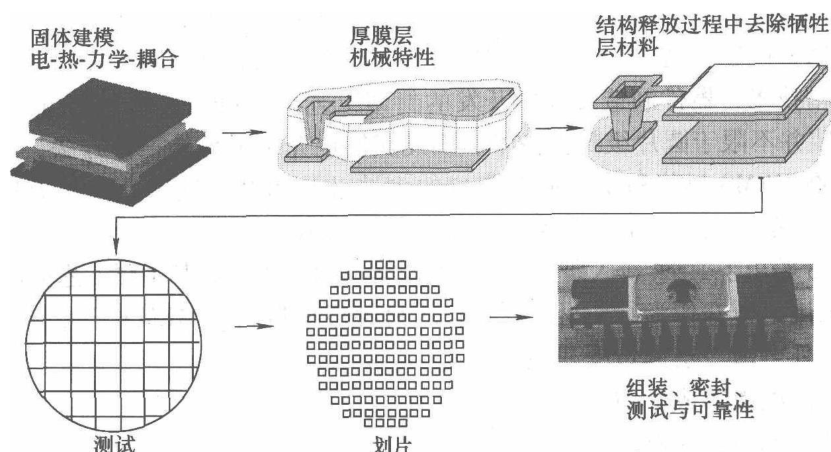



图 17.1 MEMS 设计、制造与封装[31]

圆片级 MEMS 封装难度很大，因此圆片级封帽工艺成为研究的重点[39,14,48,30]。如图 17.2 所示，为了实现气密和/或真空封装，硅或玻璃帽层键合在 MEMS 圆片上，封装可以通过圆片-圆片阳极键合、焊料键合或玻璃焊料键合来实现。切割帽层封装后的 MEMS 器件并通过注射成型封装。这一点与微电子封装工艺兼容，封装成本和尺寸大大降低。除了这个例子外，还开发了很多其他的圆片级封帽技术，本书 17.2 节“MEMS 封装”将对一些实例进行评述。

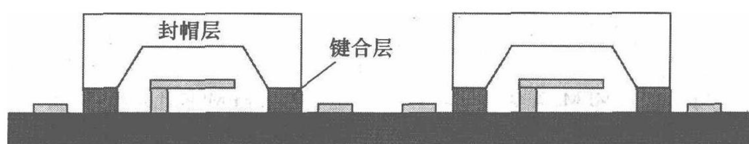



图 17.2 MEMS 气密封装的圆片级封帽工艺与 MEMS 器件的塑料模压工艺

然而，MEMS 与封装间的关系并不限于 MEMS 器件封装。实际上，MEMS 器件可用于改进微电子、光电子和 RF 系统的封装技术。此外，封装技术也可用于制造 MEMS 器件。本章中还有另外两节——17.3 节“用于封装的 MEMS 器件”和 17.4 节“用于制造 MEMS 的封装”将讨论这些实例。通过这些实例，我们可以很好地体会到在单一的系统平台上，将传感器和执行器与微电子、光电子和射频器件集成，封装与 MEMS 技术是该集成平台的重点。最后一节“机遇与主要挑战”把这种系统集成作为机遇，可靠性作为主要挑战。作为最重要的部分，可靠性可以暂时

不考虑，将来我们很有可能应用 MEMS 与封装技术来开发集成微/纳系统。

## 17.2 MEMS 封装

图 17.1 和图 17.2 给出了 MEMS 封装中的一些基本问题，最近提出了一些新概念来解决这些问题。通过三个典型实例说明了这些方法，即采用金帽层图章密封的圆片级封帽技术，器件制造过程中开发的封塑工艺，塑料圆片级封帽方法。当然，MEMS 封装并不限于圆片级封帽技术，因此我们也介绍了另外三种方法，即耐环境封装，生物 MEMS 封装和用于混合集成的倒装芯片组装。这些介绍将有助于理解与 MEMS 传感器和执行器多种界面相关的需求和问题。

图 17.3 给出了 Heck 等人研发的圆片级封帽技术进展[18]，其主要工艺步骤如下：

1）采用电镀金作为结构材料，铜作为牺牲层材料制备 MEMS 开关。

2）另外电镀一层铜包围开关。

3）通过电镀形成金帽层。

4）通过刻蚀去除铜，释放开关。

5）采用图章密封工艺封装器件。

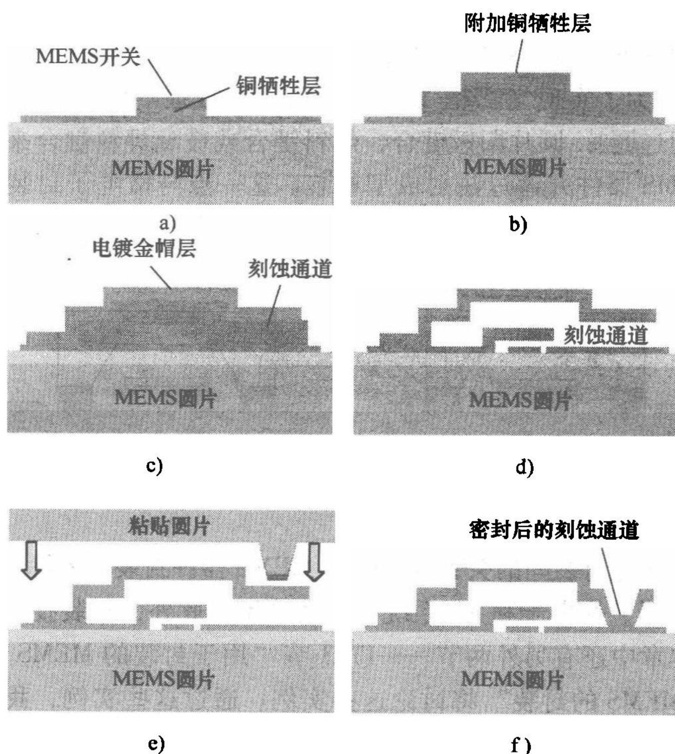



图 17.3 用于 RFMEMS 粘贴密封的微帽层封装工艺

图 17.3f 所示为封装后的器件。图 17.4 所示为图章密封的微壳薄膜图片，重点显示了密封后的刻蚀通道，每层的详细结构如图 17.5 所示。微壳层法不同于图 17.2 所示的典型圆片级封帽法，用于开关器件与封装的金和铜材料与电镀工艺兼容。这是一种加工性好、低成本的低温工艺，金帽层也可作为金属防护层保护封装后的 RF MEMS 器件。另外，这些材料可以采用图章密封工艺，这与图 17.2 所示的圆片-圆片键合工艺有很大不同。

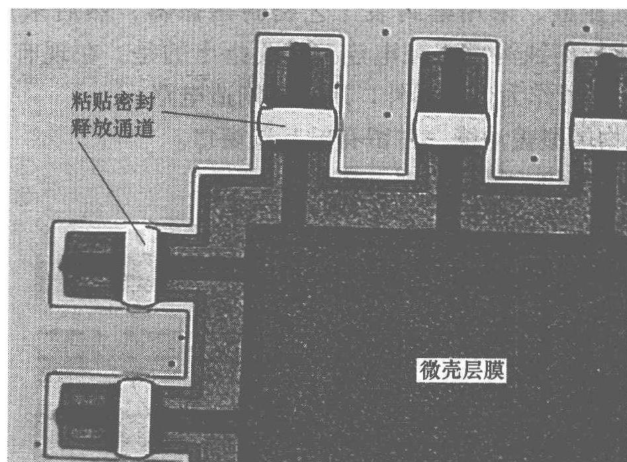



图 17.4　含粘贴密封刻蚀通道的微壳层

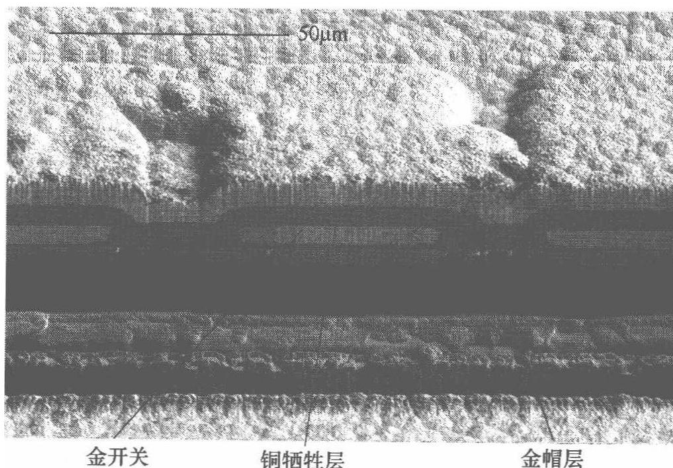



图 17.5　帽层封装开关释放前的横截面 SEM 图

图 17.6 和图 17.7 所示为另外一种圆片级封帽新方法，通过硅加工工艺实现 MEMS 器件封装，加工完成后无需额外制作帽层。Candler 等人开发的主要工艺步骤如下[1]：

1）在绝缘硅衬底（SOI）上加工谐振器结构，谐振器横截面为方形，如图17.6a所示。

2）谐振器沟槽（1μm宽）采用作为牺牲层的非保形氧化物层覆盖，在氧化层上开口实现与谐振器结构的电互连。

3）通过排气孔沉积2μm硅层，允许氢氟酸（HF）蒸汽进入释放结构。

4）采用HF酸蒸汽工艺，通过控制腐蚀工艺时间释放谐振器。

5）950℃下沉积硅，采用硅封装工艺密封谐振器，然后采用化学机械抛光（CMP），通过封装与刻蚀沟槽实现电连接。要指出的是，在现有单晶硅上沉积的硅仍为单晶状态，除了作为谐振器外，还可以制造电路。

6）沉积氧化物层覆盖沟槽，并留有电互连窗口。

7）沉积铝并图形化，最后实现电接触。

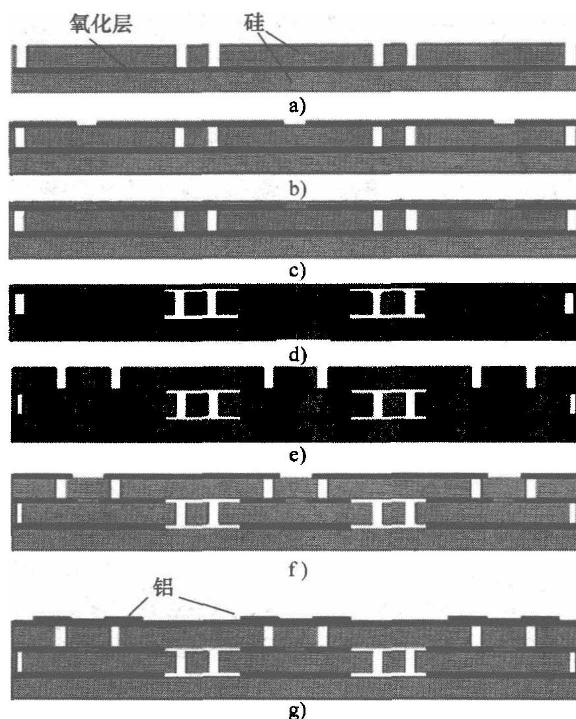



图17.6 MEMS加工与封装（Candler等人[1]，2006年IEEE）

图17.7给出了化学机械抛光（CMP）前的MEMS封装结构，以及多晶硅与单晶硅间的台阶高度。这个台阶由下面的氧化物层及单晶和多晶硅间沉积速度差引起，CMP工艺可以消除台阶高度差并抛光多晶硅。器件加工与封装工艺的完全集成可以消除MEMS加工与MEMS封装间的界线。器件加工完成后，其封装可交由任何一个微电子封装制造商来完成。此外，完全集成工艺可以大幅度降低器件面积、高度与成本。另一方面，完全集成工艺可以限制MEMS器件设计选

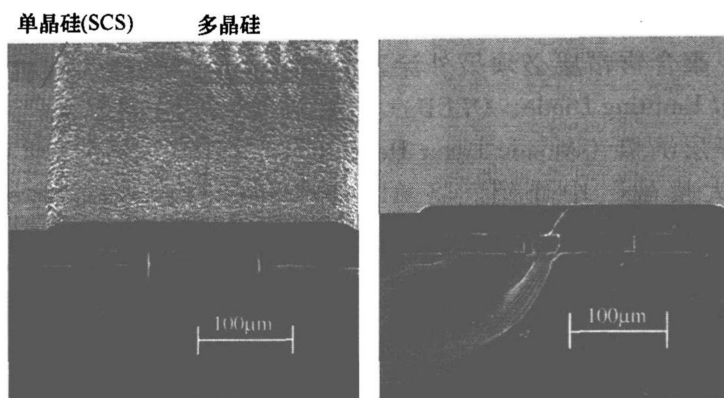



图 17.7　化学机械抛光（CMP）前的封装谐振器横截面 SEM 图（Candler 等人[1]，2006 年 IEEE）

项的数目。

开始的两个图例表明，采用金属或多晶硅无机材料可实现圆片级气密或真空封装。然而，为微电子封装开发的圆片级封装技术通常采用聚合物材料。因此，研究聚合物是否能够用于 MEMS 封装是件很有趣的事情。图 17.8 所示为 Joseph 等人采用聚合物帽层密封的 MEMS 谐振器[24]。




图 17.8　采用聚合物帽层封装的微谐振器横截面 SEM（Joseph 等人[24]，2007 年 IEEE）

重要工艺步骤如下：

1）旋涂作为牺牲层的厚光刻胶聚合物层（大约 10μm，美国 Promerus 公司 2303P）。

2）硅圆片在 110℃热板上前烘 10min，接着进行选择性深紫外曝光（248nm，$1J/cm^2$）。

3）曝光后的厚膜显影后在 110℃下后烘 8～10min。

4）在厚牺牲层材料上沉积薄保护层（1μm $SiO_2$），以提高牺牲层的机械强度。

5）采用图形化的聚合物材料 Avatrel 覆盖牺牲层材料。

6）在 170～260℃下加热，使覆盖在横梁上的牺牲层聚合物材料分解，形成谐振梁的空气腔。

采用聚合物进行封帽非常有意思，但是必须考虑到两个问题。聚合物的除

气作用可能产生颗粒，导致 MEMS 粘连。气密和/或真空封装对很多 MEMS 器件十分重要，聚合物帽层必须另外涂覆一层阻挡层。已经为有机发光二极管（Organic Light Emitting Diode，OLED）开发了一些涂覆技术[35,16,2,3]，其中一种技术就是原子层沉积（Atomic Layer Deposition，ALD）。该技术将在本书 17.5 节“机遇和大挑战”中介绍。将 ALD 和其他阻挡层涂覆技术与聚合物 MEMS 封装进行集成，从圆片级封帽技术过渡到圆片级封装技术是十分必要的。

圆片级封帽技术代表了惯性传感器与射频执行器等 MEMS 的主要封装形式。然而，MEMS 有很多种不同应用，很多 MEMS 要求不同功能的界面。封装应该允许 MEMS 运动部件通过光、电、热、力学或化学界面与其他器件相互作用，封装挑战通常取决于特定的 MEMS 功能。接下来的两个实例将说明具有不同功能界面的新型封装技术。图 17.9 给出了一种具有良好抗振性和耐热性的耐环境封装结构，采用了螃蟹脚型绝缘悬挂链。Lee 等人开发的封装结构具有如下三个主要部件[29]：

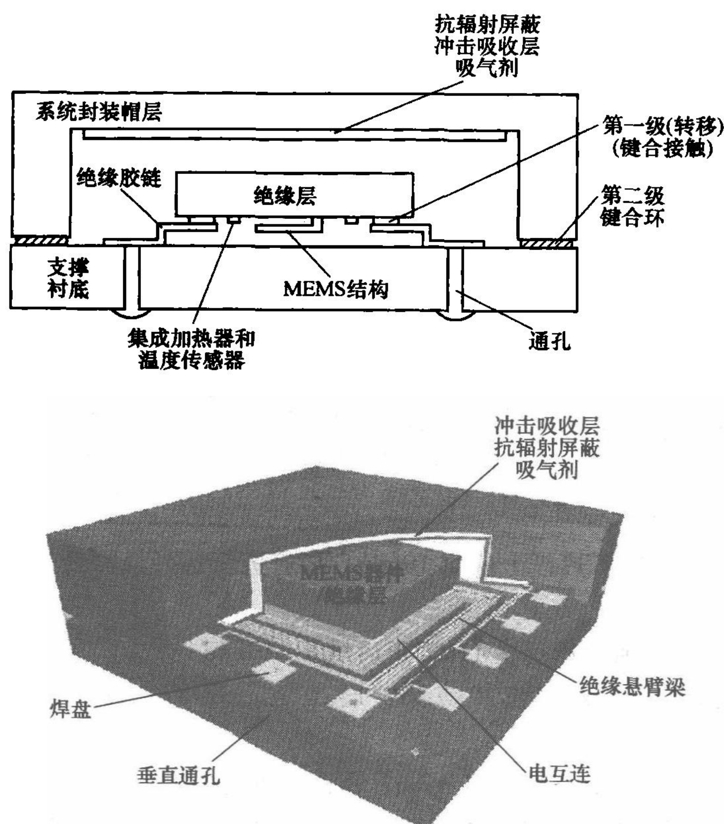



图 17.9 抗环境影响 MEMS 封装技术（Lee 等人[29]，2007 年 IEEE）

1）含信号通孔的硅衬底是封装体的主要支撑结构，通过深反应离子刻蚀（DRIE）制备浅凹槽，并采用金作为冲击吸收层和热辐射屏蔽层。

2）100μm 厚 Pyrex 玻璃绝缘层与硅衬底间通过悬臂链实现阳极键合。

3）采用硅帽层实现真空/气密封装。

所有这些器件可以采用圆片级工艺进行制造和组装。MEMS 芯片采用倒装工艺组装在玻璃层上，通过硅衬底上形成的浅凹层上的悬挂链支撑玻璃层，玻璃衬底焊盘与硅衬底的垂直互连通孔间具有电互连线。通过控制集成加热器与温度传感器，使 MEMS 器件温度保持稳定，通过薄玻璃悬挂链实现振动隔离。

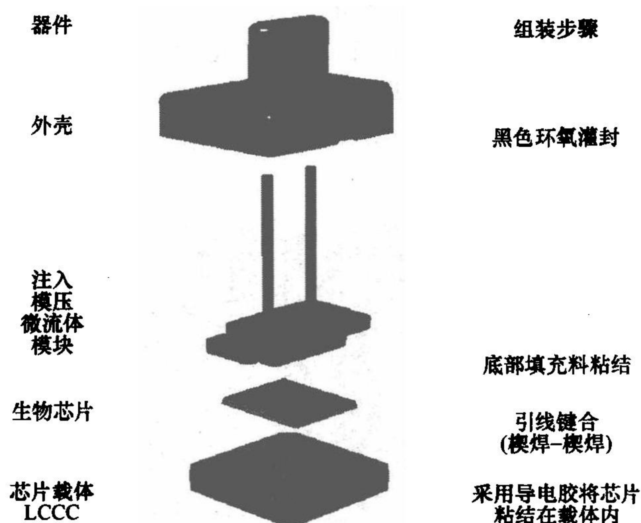



图 17.10 光电生物芯片连接到微流体模块的封装（Velten 等人[50]，2005 年 IEEE）

图 17.10 所示为 Velten 等人评述的光电生物芯片封装方案[50]。该解决方案尽可能与微电子芯片封装工艺兼容，并考虑了生物芯片的兼容性和小电流测量。为了监控由于分析物结合导致的光电流降低，测量必须采用信号分辨率优于 1pA 的传感器，无引脚陶瓷芯片载体（Leadless Ceramic Chip Carrier，LCCC）由于具有低泄漏电流特性，可以满足这个要求。生物芯片圆片切割时，在 525μm 厚圆片上切割深度为 225μm 的沟槽。涂覆生物相容性材料后，圆片沿着切割沟槽裂开，单芯片采用室温固化导电胶粘接在 LCCC 里面。

主要挑战是将注射成型微流体模块贴装在 LCCC 里面的生物芯片上，微流体模块置于芯片上，其微通道与光波导对准。涂覆在波导上的生物相容性涂层应该位于通道里面，起生物传感作用。在生物芯片的骨架上使用少量低粘度紫外（UV）固化的丙烯酸盐胶，胶液在芯片与模组间的毛细管间隙中扩展，采用快速紫外固化可以避免流体污染。设计生物芯片时预留了大面积的粘接区，接着用胶将聚醚酮醚（PEEK）材料制备的进口管和出口管与微流体模块粘接在一起。LCCC、生物芯片和微流体模块间的组装采用环氧灌封料进行填充。

生物 MEMS 封装的综合评述超出了本章范畴，光电子生物芯片封装是代表该领域的一个很好实例。流体耦合是封装时考虑的一个关键问题，光器件和波导必须与微流体通道集成。更为重要的是，所有这些技术必须尽可能与微电子封装技术兼容。

到目前为止，所有给出的 MEMS 封装都是针对单一的 MEMS 器件。对于更复杂的微系统，需要集成多个 MEMS 器件与其他微电子、光电子和微波器件。对于这种混合集成，MEMS 器件应该与其他器件集成在一个新的共有衬底上。为了实现这种转移与集成，开发了一种含硅去除技术的倒装芯片组装工艺[12]。图 17.11 所示为一个 MEMS 可变电容器。设计采用包括硅 MEMS 器件转移到氧化铝衬底的倒装芯片组装。由 Faheem 和 Lee 研制的器件由 5 个部分组成[13]，采用链结构将预组装释放的 MEMS 器件与硅衬底连接起来，并将释放后的 MEMS 器件与支撑它的硅衬底轻轻连接起来。在倒装芯片组装过程中或之后，将器件转移到接收衬底上后，链结构就自然断裂了。

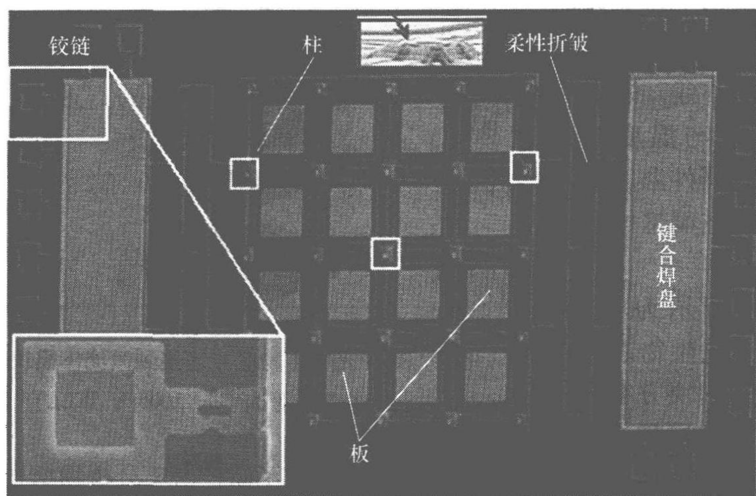



图 17.11 含铰链、键合焊盘、柔性折皱的可变电容器，在硅衬底上分布着 5×5 个小方柱，4×4 个小面板（Faheem 等人[12]，2003 年 IEEE）

键合焊盘通过焊料凸点将器件与新氧化铝衬底连接起来，两者间的相互屈从与弯曲解决了倒装焊后硅与氧化铝衬底间的热失配。设计的 2×2、3×3 或 4×4 电容器阵列板，每块板采用四根“杆”（腿）来支撑板及其弯曲部分。采用杆可以精确地控制间距，这对电容器板的操作非常关键。在采用杆技术前，间距采用高度可大幅变化的焊料结来控制。为了降低这一变化，在器件制备过程中，通过堆叠不同的 MEMS 层制备杆结构。当上板受到向下的静电拉力时，每块板的吸附电压不是通过焊料结高度进行调节，而是通过杆精确调节间距来控制。另外，杆也可以使设计结构非常柔软以降低热失配导致的翘曲，通过显著提高吸附电压，可降低 MEMS 器件的静电行为。采用铰链与连杆结构，在倒装芯片组装后可以控制可变电容器的热力学行为。

## 17.3　用于封装的 MEMS 器件

通常 MEMS 封装被认为是主要的 MEMS 封装活动。然而，正如本章开始提到的那样，MEMS 与封装间还存在其他关系，其中之一就是开发 MEMS 器件支持先进封装技术。本节首先讲述将 MEMS 应用于细间距倒装芯片互连与测试探针，接着将 MEMS 应用于主动光学对准，第三个例子是将 MEMS 技术应用于印制电路板，制造出类似同轴电缆的射频电路。

图 17.12 所示为 Chow 等人开发的用于互连与测试的 800 个弹簧的一部分[4]，一共 4 排，每排 200 个弹簧。弹簧采用标准的圆片级薄膜沉积工艺，在 BICMOS 圆片、康宁 1737 玻璃或其他衬底上制备，主要工艺步骤如下：

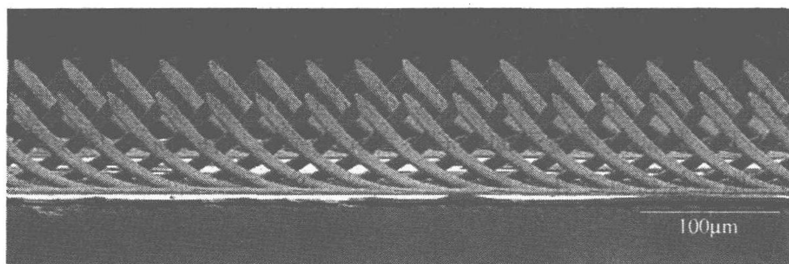



图 17.12　弹簧芯片的 SEM 图（Chow 等人[4]，2006 年 IEEE）

1）溅射沉积钛作为牺牲层。

2）溅射金作为种子层，接着通过掩膜板定义弹簧区与电互连线后电镀弹簧金属。弹簧金属是一种具有应力梯度的多层结构，拉力层在上面。如前文所述，弹簧金属层可以通过在不同沉积压力下溅射 MoCr 层制备。作为一种低成本方法，Chow 等人采用了具有不同残余应力的电镀镍层[4]。

3）采用二次掩膜定义弹簧周围的释放区，保护信号分布电路不受释放腐蚀剂的影响。

4）通过腐蚀牺牲层释放弹簧，为了消除内部应力，弹簧从圆片上翘起。

5）在弹簧周围沉积合金，接着电镀镍硬化金层，合金提高了机械强度和硬度，金层可避免氧化并提高导电性。

在 3mm × 10mm 的芯片上有 800 个弹簧，每个弹簧长 180μm，宽 14μm，厚 5μm，弹簧顶端高度为 57μm，高度偏差为 ±5μm。弹簧相互交叉，间距为 40μm，测试焊盘的间距为 20μm。

这些微弹簧和其他类似的 MEMS 弹簧可作为测试探针或可分离的倒装芯片互连结构。或者，它们也可作为可弯曲的焊料结[6]或控制温度的热可变电阻[25]。这些 MEMS 器件对改进封装技术非常关键。

MEMS 器件用于封装的第二个例子是采用微镜进行光学主动对准，普遍用于制造光电模块。目前的方法是在对准与焊接过程中，采用精密机器人定位光纤。分辨率为亚微米的机器人价格昂贵，由于光纤液滴的热收缩，焊接过程中的固定精度大大降低。因此，基于 MEMS 的微镜是一种很有前途的器件。在不需要精密机器人和固定的情况下，通过控制激光束来实现主动对准。Ishikawa 等人采用四个热致动器驱动微镜实现了激光与光纤耦合[23]，如图 17. 13 所示。由于机械制动原理，这些结构呈 45° 翘起，因此致动器可以控制微镜的二维运动。由于不同加热导致的弯曲，每个致动器都可以脱离平面。给两个致动器供电，可使微镜沿着水平或垂直轴旋转，给单一致动器供电，可使微镜沿着对角线轴旋转。如此大角度的光束调控，在垂直腔表面发射激光器（Vertical Cavity Surface Emitting Laser，VCSEL）和多模光纤耦合试验中，可使光耦合效率从 10% 提高到超过 80%。理想情况下，对于激光与光纤耦合，对准后微镜应该保持固定，不必供电。图中的器件通过组装一个新微镜进行了改进。该微镜通过可断裂链获得定位固定功能。微镜通过受约束的链结构与几个双压电晶片相连，通电加热时，链结构一个个断裂，每个链断裂可使双压电晶片移动一下，从而使微镜表面倾斜实现光束调控。移动后，微镜的位置就固定下来，无需供电来维持其动作[26]。

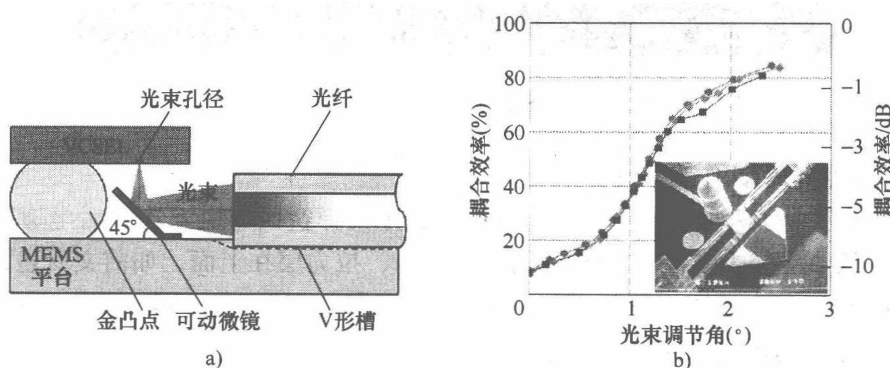



图 17. 13　激光与光纤耦合

a）激光与光纤耦合概念示意图　b）耦合效率与光束调节角关系图，内插图为微结构

（Ishikawa 等人[23]，2002 年 IEEE）

第三个例子是应用 MEMS 技术在印制电路板上制造类似同轴电缆的射频电路，如图 17. 14 所示。

Filipovic 等人研制的直肠型同轴线和部件采用新的顺序微制造工艺加工[15]。直肠型同轴结构以均匀铜层作为第一层，一层一层构建。第二、四和五层为光刻胶定义的铜层，光刻胶也是牺牲层材料。第一、二、四和五层的厚度分别为 10μm、75μm、75μm 和 50μm。类同轴电缆的电路内部的导体必须采用机械支撑才不影响射频（RF）特性。这种支撑来自于总厚度为 100μm 的第三层，其部分通过沉积厚

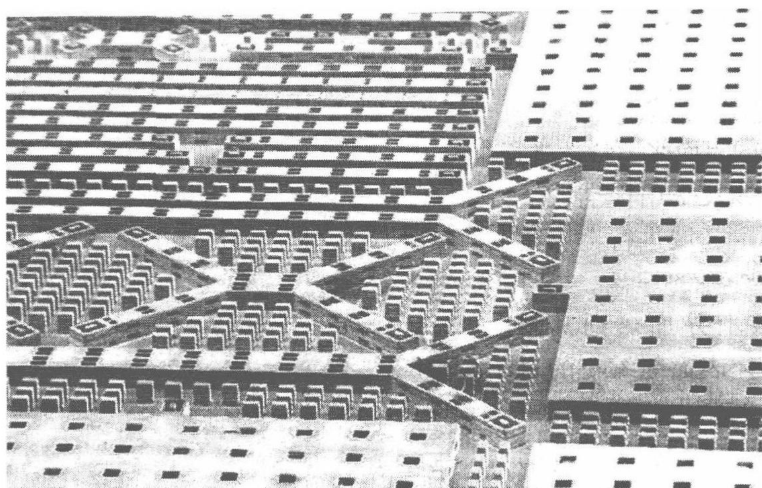


图 17.14 长方形腔式谐振器 SEM 图片（图片中较大的区域）和具有不同间距的大量同轴线（Filipovic 等人[15]，2005 年 IEEE）

度为 15μm 的聚合物图形化制备。一旦结构制备后，通过顶部与侧墙上的释放孔去除光刻胶。图 17.14 所示为不同的直肠型同轴线、校准结构、隔离测试装置和几个不同的腔体谐振器。图中的谐振器占用了较大面积，位于每根线/每个器件尾部，作为矩形同轴开口的 250μm×300μm 输入口清晰可见。顶部和侧墙上的孔用于释放光刻胶，图中所见的金属柱没有任何电作用，设计和制造的 50Ω 同轴线的横截面为 250μm 高的矩形和方形。内部导体支撑采用间隔周期为 700μm、高 15μm、宽 100μm 的介电支持条带（$\varepsilon_r = 3.7$，$\tan\delta = 0.05$），侧墙（100μm×75μm）与顶部（200μm×100μm）的释放孔位于条带间。这些部件都构建在高电阻率的硅圆片上，但是也可以使用其他衬底。

在其他研究中，还研究了如条带参数等潜在制造问题对电学的影响，包括垂直墙突起、补偿层、欠刻蚀/过刻蚀、刻蚀孔、表面粗糙度等[32,49]。通过正确设计，在制造偏差极限内构建的同轴线性能几乎与制造的理想结构性能完全相同。

## 17.4 用于制造 MEMS 的封装

我们已经讨论了 MEMS 器件封装，以及将 MEMS 器件用于先进封装技术。MEMS 与封装间另一个有趣的关系是应用封装技术制作 MEMS 器件。本节将讨论应用焊接技术制备三维表面微机械 MEMS 器件，接着介绍应用柔性电路板技术制作射频 MEMS 器件。第三个例子是应用低温共烧陶瓷（Low Temperature Cofired Ceramic，LTCC）技术制备芯片实验室器件（Lab-on-a-chip）。

制备 MEMS 器件的一种最常用方法是采用表面微加工技术。然而，表面微加

工不能制造三维结构。常用的解决方法是制作可提升或旋转的平面、二维铰链部件进行结构组装，手工组装通常包括采用高精度显微操纵器手工旋转平板。虽然很少应用，这种组装方式不适合大批量组装和制造。一种有效的解决方法是应用焊料或玻璃熔化后的表面张力特性进行组装[17]。

焊料法涉及采用标准铰链板，在其特定区域进行金属化作为可润湿焊料的焊盘。一旦焊料位于板上并加热到其熔点，由于液体表面能缩小的自然趋势产生的张力，可使自由运动的板脱离硅衬底（见图17.15）。焊接是电子组装与封装的主导技术，不仅可用于电互连，而且可在很多封装应用中实现亚微米精度对准，如光电无源对准[46]。采用一次焊料回流批处理工艺，可以实现成百上千个点的精密对准。另外，焊料提供了高质量的机械、热学与电气连接。Kladitis 等人开发的三维风扇 SEM 图说明焊料具有良好的组装能力[27]。

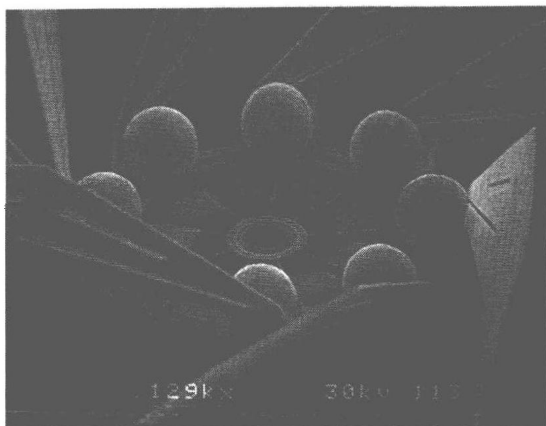


图 17.15　铰链式 MEMS 面板的焊料自组装与焊料组装三维 MEMS 器件（Kladitis 等人[27]，2001 年 IEEE）

硅加工并不仅仅意味着制造 MEMS 器件。实际上，我们希望看到越来越多的 MEMS 器件可以采用聚合物材料制备。一个很好的实例是基于柔性电路的射频（RF）MEMS。图 17.16 给出了 Ramadoss 等人演示的 X/Ku 波段开关的不同层与组装原型[26,27,38]。用于组装开关与圆片上多线 TRL 基准的共面波导（Coplanar Waveguide，CPW）线通过图形化制作在 Duroid 衬底的金属层上。光敏苯环丁烯（BCB）介电层通过旋涂与图形化工艺制作在 CPW 线上。捣碎粘胶隔离膜形成齿缝开口，开关电极的金属化层采用准分子激光加工成齿缝开口，图形化制作在 Kapton-E 型聚酰亚胺膜上，这些结构层采用夹具对准，并采用热压键合技术进行层压。

这些开关可以采用印制电路板（PCB）设备进行加工，并可以与基于 PCB 的射频电路和天线进行集成。我们担心它们对 PCB 应用有影响。然而，由于尺寸较大，所担心的是它们的射频损耗。给定频率下的插入损耗可以小于 0.3dB，绝缘损耗可以达到 -50dB，该性能非常接近薄膜型射频 MEMS 所获得的性能。

该射频 MEMS 开关是采用印制电路板（PCB）与柔性电路板制作 MEMS 器件的一个实例。其他器件，如微流体、压力传感器与其他传感器和执行器，也证明了这一点。总的来说，PCB MEMS 器件大于硅 MEMS 器件。由于尺寸大，机械响应慢，如果要求气密或真空封装，必须对聚合物帽层采用隔离层涂覆技术，对这些

PCB MEMS 器件进行密封（见图 17.8）。另一方面，当要求尺寸小、成本低时，嵌入电容、电感和电阻对基于 PCB 的系统是非常重要的。同样地，对于小尺寸、低成本系统，将 PCB MEMS 器件与其他电路进行层压也是一个不错的选择。我们希望 PCB MEMS 在将来完全取代硅基 MEMS。

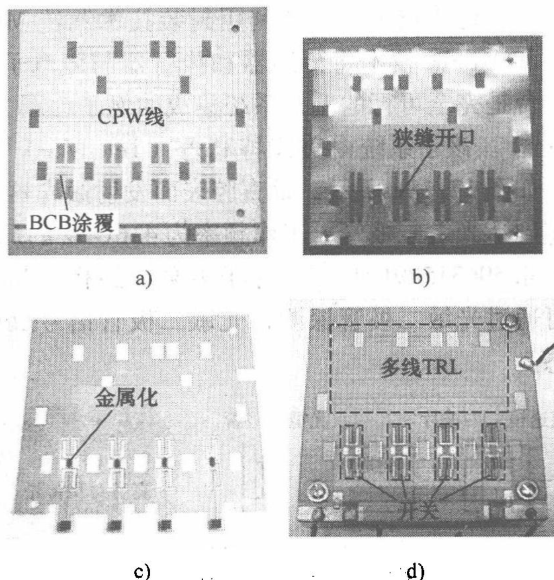



图 17.16　X/Ku 波段开关的不同层与组装原型
a）Duroid 合金衬底上含 BCB 介质层的 CPW 线
b）含研磨加工狭缝开口的粘接膜　c）含开关上电极金属化和激光加工狭缝的 Kapton E 型聚酰亚胺膜
d）组装后的开关原型（Ramadoss 等人[36]，2003 年 IEEE）

封装用于制造 MEMS 的第三个实例是将陶瓷应用于芯片实验室制备，图 17.17 给出了 Sadler 等人完成的陶瓷聚合酶链反应[41]。采用多层低温共烧陶瓷（LTCC）技术，制备了用于 DNA 放大的连续流聚合酶链反应（Continuous flow Polymerase Chain Reaction，CPCR）器件和电子 DNA 探测芯片。LTCC 允许微流体、加热器与表面贴装的温度传感器三维集成为器件。该器件根据美国杜邦公司的 951 胶带系统设计，多层陶瓷生料带通过加工、对准、层压然后烧结工艺形成器件。微流体通道采取在设计的层结构上机械打孔或激光打孔制备，采用金作为传感器电极与连接端点，银/钯作为加热器，两组材料通过厚膜印制技术进行沉积与图形化，电流通孔采用机械冲孔并填充厚膜银膏来制备。所有的层对准后采用低压叠层技术进行层压并在 850℃下烧结。用于探测温度的硅晶体管可以钎焊在陶瓷器件上。最后采用双面胶带将塑料帽层贴装在探测芯片上，并用环氧胶将输入/输出管粘接在 CPCR 器件上。

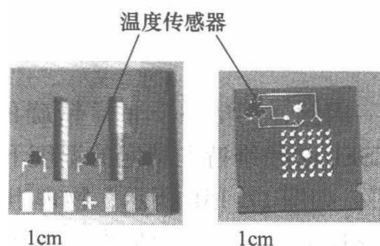



图 17.17　陶瓷基聚合酶链反应（PCR）器件（Sadler 等人[41]，2003 年 IEEE）

## 17.5　机遇与主要挑战

我们已经对一些有趣的实例进行了评述，包括 MEMS 器件封装，利用 MEMS

器件改进封装技术，以及利用封装技术制造 MEMS 器件。这些实例也表明，应用封装和 MEMS 技术将传感器和执行器与微电子、光电子和射频器件集成在单一系统平台是完全可行的。该系统集成的例子为图 17.18 所示的芯片级原子钟的物理子系统[28]。该子系统由美国特利丹（Teledyne）科技公司的工程师设计、制造与组装。如图 17.18a 所示，垂直腔表面发射激光器（VCSEL）发出的激光束穿过铯蒸气室到达光敏二极管，工作频率为 4.6GHz 的局部振荡器调节激光束。当调制频率达到 4.59631589GHz 时，原子被泵浦到相干暗状态，导致吸收显著降低。这种吸收可通过光敏二极管探测，光敏二极管信号反馈到局部振荡器，使之锁定在共振状态。

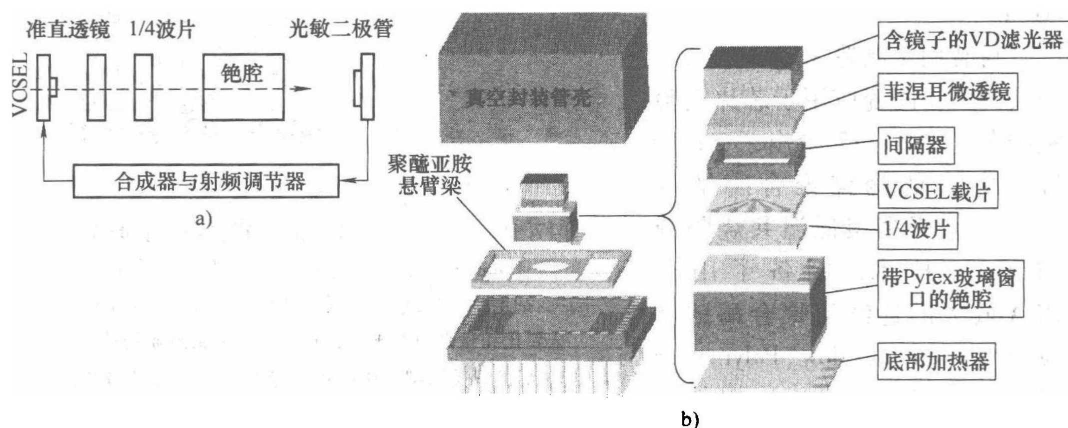



图 17.18 芯片级原子钟物理子系统

a）芯片级原子钟结构示意图 b）原子钟物理亚系统

因此，测量一个非常精确的频率，可以转化成时间。封装体中的蒸汽室与 VESEL 必须维持在特定的温度下，如通过在蒸汽室两边采用加热器维持在 70℃ ± 1℃。如图 17.18b 所示，物理组装体悬挂在一个特别设计的圆形悬架上，降低了热传导损失，同时采用低发射率涂层可降低辐射损失。另外，所有集成器件密封在一个管壳内可以降低对流损失。CSAC 物理子系统采用先进的 MEMS 与封装技术，集成了光子有源与无源器件、蒸汽室、热学和机械单元。该子系统进一步与微电子控制器、RF 振荡器集成，可形成一个完整的 CSAC。CSAC 是一个很好的实例，说明了 MEMS 与封装技术如何用于集成 MEMS 器件与微电子、光子和射频器件。

利用封装和 MEMS 技术的系统集成是一个激动人心的机遇，类似 CSAC 的新型系统将在 21 世纪开创新一代的微系统。更为重要的是，很多实验室已经演示了纳电子机械系统（NEMS），它们可与 MEMS 集成显著提高性能。集成 MEMS 与 NEMS 是 DARPA 纳米科学与技术中心完成的集成微纳机电传感器项目（iMINT）研究的主题。这里简单列出了 iMINT 在集成 MEMS/NEMS 研究方面结果的可能

影响:

1) 热导率超过铜 100 倍的柔性热基平面。

2) 涂覆在聚合物上气密性提高 10000 倍的纳米阻挡层。

3) 超级材料使天线体积比目前的天线缩小 5 ~ 10 倍。

4) 具有单一分子敏感性的生物传感器，可以降低误报率 100 倍。

5) 光效提高 3 倍，热阻降低 100 倍的发光二极管。

6) 电容密度提高 25 ~ 100 倍的固态超级电容器。

MEMS/NEMS 与封装技术对每个系统集成都非常重要。系统集成确实是一个巨大的机遇，然而集成也面临很多富有挑战性的问题。研发的系统应该是可制造的。图 17.18 所示的物理子系统由大量部件垂直堆叠而成。对于微电子封装而言，三维堆栈是不可取的，因此制造一个这样的物理子系统在目前是不可能的。如何改进制造工艺适应 MEMS/NEMS 器件与其他器件集成要求是一个巨大的挑战。本书 17.2 节“MEMS 封装”给出的方法提供了一个很好的实例。对于每一种方法，都需要根据每个 MEMS 器件的要求开发圆片级封帽工艺。工艺完成后，封帽后的 MEMS 器件可以作为另一个电子部件，采用微电子封装工艺进行正常的加工。因此，开发能适应 MEMS/NEMS 系统集成制造挑战的圆片级帽层工艺非常关键。

另一个重要的挑战是可靠性。粘附、断裂、与频率和湿度有关的疲劳、机械磨损，冲击和振动效应是 MEMS 失效的主要原因，这些因素对 NEMS 的影响更大一些。在过去的 20 年，已经证明 MEMS 产品是可靠的[34,35,47]。最可靠的 MEMS 器件是气密封装的单点接触或无接触器件。最近，采用表面接触的新型 MEMS 器件在几十亿或几千亿次表面冲击下，呈现出极高的可靠性水平。这比早期研究的射频 MEMS 有了明显改进。

大多数表面接触的改进来源于为可靠性而设计和材料研发。对于电容型射频 MEMS 开关，改进射频系统设计后，电容比率可以从 100 降低到 5。采用小电容比率，接触面积大大降低，相应的粘附力降低，可靠性显著提高。或者可以将 MEMS 器件的挠度设计成非常硬，硬梁要求的高损坏电压可以在下推过程中进行调节。因此损坏后的使用电压可以非常低，小电压可以降低电荷积累，避免电荷产生的粘附问题。同时，硬梁具有非常高的弹力，即使经过几十亿次表面接触后仍能克服表面粘附。

对于材料开发，自组装单层（Self-Assembled Monolayer，SAM）技术应用于 MEMS 器件可以避免湿度导致的粘附失效[7]；研制硬化的金合金可以确保射频接触开关的可靠性[5]；钨涂层可以提高 MEMS 轴承的耐磨损性[42]。此外，还可以采用原子层沉积（Automic Layer Deposition，ALD）技术制备各种纳米级表面涂层增强 MEMS 可靠性。ALD 是一种最好的表面涂覆技术，精度可以降低到一个原子层。保证 MEMS 表面间纳米级界面对影响 MEMS 可靠性非常重要，25nm 厚的涂层可以影响尺度为 100nm 器件的性能。更为重要的是，ALD 对 NEMS 是必不可少的。25nm

厚的涂层与尺寸为 100nm 的器件具有相同影响。纳米尺度涂层的任何变化都显著影响到 NEMS 性能与可靠性。ALD 提供了确保高质量、高精度纳米级涂层的最好方法。ALD 是一种可以控制原子级厚度的薄膜生长技术，利用了气相前躯体分子与固体表面间自限化学反应的两步连续反应[11]。采用 ALD 沉积的薄膜非常光滑，无针孔，并保形贴附在下面的衬底表面。这种保形能力可以在整个 MEMS 器件表面成功涂覆，如图 17.19 所示[21]。此外，ALD 是一种低温工艺，可以在热敏材料上沉积。例如，为了避免完全覆盖而实现选择性沉积，我们可以用光刻胶覆盖部分图形区。ALD 可用于生长各种材料，包括氧化物、氮化物与金属。

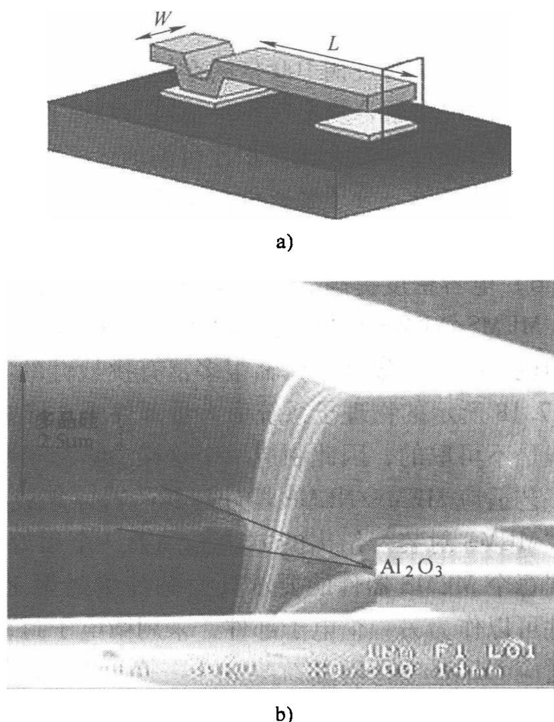
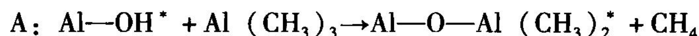


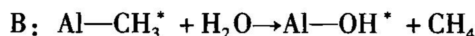

图 17.19 ALD 涂覆在 MENS 器件表面

a）悬臂梁示意图 b）采用 FIB 切割描述氧化铝沉积层截面

ALD 工艺由两个化学气相沉积（CVD）半反应组成，该工艺的一个实例是氧化铝的原子层沉积，由下述两步连续反应组成，星号代表表面吸附物：



$$A：Al—OH^{*} + Al(CH_3)_3 \rightarrow Al—O—Al(CH_3)_2^{*} + CH_4$$



$$B：Al—CH_3^{*} + H_2O \rightarrow Al—OH^{*} + CH_4$$

在反应 A 中，$Al(CH_3)_3$ 与表面氢氧根团反应沉积出一个含甲基团的铝原子单层。在反应 B 中，甲基化表面与水蒸气反应，氢氧根团代替甲基团。在反应 A 和 B 中都释放出甲烷（$CH_4$），A-B 循环的净结果是在表面沉积一个氧化铝单层。ALD 氧化铝薄膜生长与完成的 A-B 循环次数完全线性相关，生长率为每个循环 1.29Å。实验室设备上的沉积速率大约为 6～10s 0.12nm（一个 A-B 循环）。在生产型设备上，反应循环时间可以降低至少 10 倍。

ALD 可用于沉积很多不同的纳米尺度单层或多层结构，避免 MEMS 的不同可靠性失效，成功开发的涂层已经解决了如下的一些 MEMS 可靠性问题：

1）介电涂层防止短路[21,22]

2）为提高 MEMS 可靠性的电荷耗散[8]

3）为提高 MEMS 可靠性的疏水涂层[19]

另外，ALD 涂覆技术已被用于开发纳米级器件[20]。这些 ALD 涂层可以采用新

研发的分子层沉积（MLD）技术进一步改进[7]。纳米级有机/无机多层结构有望在改进 MEMS/NEMS 材料集成中发挥主要作用。

ALD、MLD 和很多其他材料加工技术可用来解决集成 MEMS/NEMS 系统可靠性这个关键问题。然而，我们的知识经常难以引导材料研发。庆幸的是，建立可靠性基础知识的进展还是有希望的。

图 17.20 所示为与不同表面粗糙度有关的相对湿度影响的水气粘接能[9]。粘附结果是，含接触焊盘的悬臂梁粗糙度范围为 2.6 ~ 10.3nm。通过比较试验偏差与有限元法模拟，可以得到粘接能。

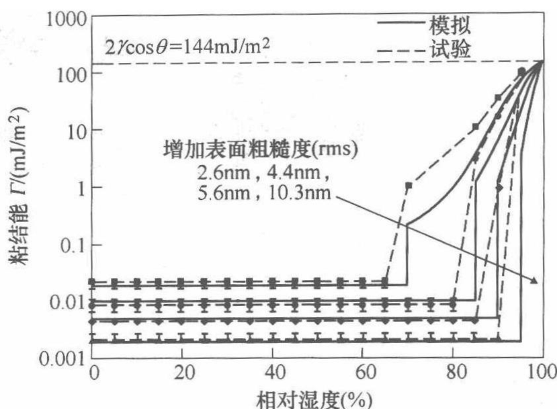



图 17.20　由于相对湿度引起的粘接能与不同表面粗糙度间的关系[9]

图中虚线表示相对湿度（RH）增加时悬臂梁的试验结果。当 RH 达到临界值时，悬臂梁粘附在表面上。这种粘附作用使粘接能突然升高，如图中虚线所示。当接触焊盘粗糙度增加时，由于毛细管冷凝导致的粘附初始跳升的相对湿度也增加，一旦初始跳升发生，粘接能就取决于相对湿度。另外，提出的详细模型还考虑到了实际表面形貌与观察到的表面间的相互关系，模拟结果如图中实线。它很好地代表了相对湿度与表面粗糙度的影响。作为参考，由于毛细管冷凝导致的最大粘接能 $2\gamma\cos\theta = 144\mathrm{mJ/m^2}$，可以用于包含模型中的毛细管力。

图 17.21 所示为加装和卸载循环过程中接触形态的演变[44]。这种接触经常在射频 MEMS 接触开关中见到。采用分子动力学模拟研究了半球形粗糙面与平面间反复接触的情况。图 17.21a 所示为当刚性板朝凸点移动时，凸点向上延伸以接触刚性板。这种拉伸在凸点内产生一个拉力的弹性应变，接触区域大大超过单个原子宽度。当刚性板继续移动时，系统进入弹性压缩状态，可以采用经典的粘附、弹性接触理论进行描述。进一步移动伴随着分离，系统经受了极大的晶体塑性变化（见图 17.21b ~ f）。对于更大的加载（见图 17.21c、d），接触充分扩展，凸点明显变薄。如图 17.20 和图 17.21 所示，MEMS 可靠性的认识正在建立之中。基于已获得和即将获得的认识，我们可以详细描述纳米级涂层。这些涂层是为了提高 MEMS 可靠性采用原子层沉积和分子层沉积方法沉积的。已经证明，没有经过超几千亿次周期寿命测试的 MEMS 器件是可靠的。有些 MEMS 器件即使经过超千亿次的周期寿命测试证明也是可靠的。随着科学技术的发展，MEMS 可靠性将不再是一个关注点。当然，我们永远也无法解决 MEMS 的可靠性问题。可靠性总是微电子封装的一个关键问题，并且继续成为 MEMS 封装的一个关键性问题。

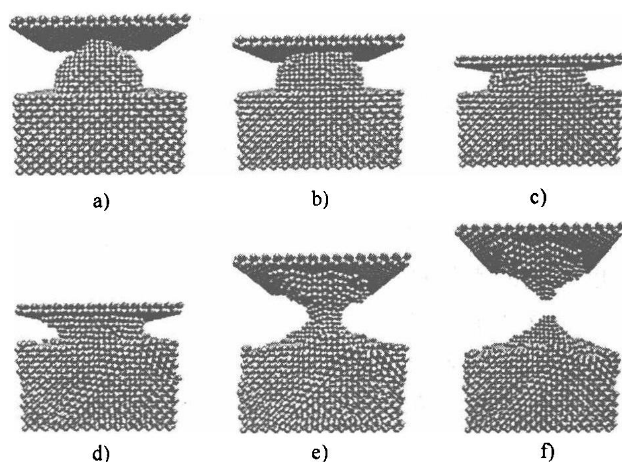


图 17.21 沿［001］方向粗糙度演变的原子视图[44]
a）~e）从刚跃迁开始增加载荷到接触以至最大载荷
c）~f）从最大载荷卸载到完全分离

## 17.6 结论

本章给出了关于 MEMS 封装、MEMS 器件用于封装和封装用于制造 MEMS 的几个例子。由于含可动部件，MEMS 存在的特别封装难题可以通过圆片级封帽工艺解决。由于含可动部件，MEMS 也为改进先进封装技术提供了新的解决方案。此外，封装技术也可用于制造 MEMS 器件。MEMS 与封装间具有一种非常有趣而刺激的关系，理解这种关系并将 MEMS 与封装技术正确应用到各种系统中非常重要。

在 21 世纪，将面临着将传感器和执行器与微电子、光电子和射频器件完全集成在单一系统平台上的大好机会，封装与 MEMS 技术对该平台集成非常重要。可靠性是 MEMS 与 NEMS 集成的一大关注点。基于现有的认识和已有技术，可靠性问题有望得到解决。我们希望在将来研制出更多的新型集成式 MEMS/NEMS 系统。

## 致谢

通过 DARPA S&T 基础项目（HR0011-06-1-0048），本作者获得 DARPA 纳米科学与技术中心集成微纳机电传感器项目（iMINT）支持，同时获得 DARPA 微低温冷却项目（NBCHC060052）经费支持。

# 参考文献

1. Candler RN, Hopcroft MA, Kim B, Park WT, Melamud R, Agarwal M, Yama G, Partridge A, Lutz M, and Kenny TW (2006) Long-term and accelerated life testing of a novel single-wafer vacuum encapsulation for MEMS resonators. Journal of Microelectromechanical Systems, Vol. 15, No. 6, pp. 1446–1456
2. Carcia PF, McLean RS, Reilly MH, Groner MD, and George SM (2006) Ca test of Al2O3 gas diffusion barriers grown by atomic layer deposition on polymers. Applied Physics Letters, 89, 031915
3. Chen TN, Wuu DS, Wu CC, Chiang CC, Chen YP, and Horng RH (2007) Improvements of permeation barrier coatings using encapsulated parylene interlayers for flexible electronic applications. Plasma Processes and Polymers, Vol. 4, pp. 180–185
4. Chow EM, Chua C, Hantschel T, Van Schuylenbergh K, and Fork DK (2006) Pressure contact micro-springs in small pitch flip-chip packages. IEEE Transactions on Components and Packaging Technologies, Vol. 29, Issue 4, pp. 796–803
5. Coutu, RA, Reid JR, Cortez R, Strawser RE, and Kladitis PE (2006) Microswitches with sputtered Au, AuPd, Au-on-AuPt, and AuPtCu alloy electric contacts. IEEE Transactions on Components and Packaging Technologies, Vol. 29, June, pp. 341–349
6. Dang B, Bakir MS, Patel CS, Thacker HD, and Meindl JD (2006) Sea-of-leads MEMS I/O interconnects for low-k IC packaging. Journal of Microelectromechanical Systems, Vol. 15, pp. 523–530
7. de Boer MP, Knapp JA, Michalske TA, Srinivasan U, and Maboudian R (2000) Adhesion hysteresis of silane coated microcantilevers. Acta Materialia, Vol. 48, pp. 4531–4541
8. DelRio FW, Herrmann CF, Hoivik N, George SM, Bright VM, Ebel JL, Strawser RE, Cortez R, Leedy KD (2004) Atomic layer deposition of Al2O3/ZnO nano-scale films for gold RF MEMS. IEEE MTT-S International, Vol. 3, pp. 1923–1926
9. DelRio FW, Dunn ML, Phinney LM, Bourdon CJ, and de Boer MP (2007) Rough surface adhesion in the presence of capillary condensation, Applied Physics Letters, Vol. 90, 163104
10. Du Y and George SM (2007) Molecular Layer Deposition of Nylon 66 Films Examined Using in Situ FTIR Spectroscopy, Journal of Physics Chemistry C, Vol. 111, pp. 8509–8517
11. Elam JW and George SM (2003) Growth of ZnO/Al2O3 alloy films using atomic layer deposition techniques. Chemistry of Materials 15, p. 1020
12. Faheem FF, Gupta KC, and Lee YC (2003) Flip-chip assembly and liquid crystal polymer encapsulation for variable MEMS capacitors. IEEE Transactions on Microwave Theory and Techniques, pp. 2562–2567
13. Faheem FF and Lee YC (2004) Tether- and post- enabled flip-chip assembly for manufacturable RF-MEMS. Sensors and Actuators, Vol A-114, No. 2–3, pp. 486–495
14. Felton LE, Hablutzel N, Webster WA, and Harney KP (2004) Chip scale packaging of a MEMS accelerometer. Proc. 54th Electronic Components and Technology Conference, pp. 869–873
15. Filipovic DS, Popovic Z, Vanhille K, Lukic M, Rondineau S, Buck M, Potvin G, Fontaine D, Nichols C, Sherrer D, Zhou S, Houck W, Fleming D, Daniel E, Wilkins W, Sokolov V, and Evans T (2006) Modeling, design, fabrication, and performance of rectangular $\mu$-coaxial lines and components. IEEE MTT-S International Microwave, Symposium Digest, 11–16 June, pp. 1393–1396
16. Groner MD, George SM, McLean RS, and Carcia PF (2006), Gas diffusion barriers on polymers using Al2O3 atomic layer deposition. Applied Physics Letters, Vol. 88, 051907
17. Harsh KF, Bright VM, and Lee YC (1999) Solder self-assembly for three-dimensional micro-electromechanical systems. Sensors and Actuators A, Vol. 77, pp. 237–244
18. Heck J, Bar H, Chou TKA, Tran Q, Ma Q, Weinfeld B, and Rao V (2007) A stamp-sealed

microshell package for RF MEMS switches. ASME InterPACK '07, July 8–12, Vancouver, British Columbia, Canada, paper # IPACK2007-33887
19. Herrmann CF, DelRio FW, Bright VM, and George SM (2004) Hydrophobic coatings using atomic layer deposition and non-chlorinated precursors. 17th IEEE International Conference on MEMS, pp. 653–656
20. Herrmann CF, Fabreguette FH, Finch DS, Geiss R, and George SM (2005) Multilayer and functional coatings on carbon nanotubes using atomic layer deposition. Applied Physics Letters, Vol. 87, 123110
21. Hoivik ND, Elam JW, Linderman RJ, Bright VM, George SM, and Lee YC (2003) Atomic layer deposited protective coatings for microelectromechanical systems. Sensors and Actuators A: Physical, Vol. 103, Issue 1/2, pp. 100–108
22. Hoivik ND, Elam JW, Linderman RJ, Bright VM, George SM, and Lee YC (2003) Atomic layer deposited protective coatings for micro-electromechanical systems. Sensors and Actuators, Vol. A-103, pp. 100–108
23. Ishikawa K, Zhang J, Tuantranont A, Bright VM, and Lee YC (2003) An integrated micro-optical system for VCSEL-to-fiber active alignment. Sensors and Actuators, Vol. A-103, pp. 109–115
24. Joseph PJ, Monajemi P, Ayazi F, and Kohl PA (2007) Wafer-level packaging of micromechanical resonators. IEEE Transactions on Advanced Packaging, Vol. 30, Issue 1, Feb. 2007, pp. 19–26
25. Kim HS, Liao HH, Lee BH, and Kenny TW (2006) Design and verification of a low-powered pre-programmable in-package temperature controller. ASME International Mechanical Engineering Congress and Exposition, November 2006, Chicago, Illinois USA, IMECE2006-15136
26. Kitagawa H, Boteler DJ, and Lee YC (2006) Thermo-mechanical behavior of a micromirror for laser-to-fiber active alignment. Proceedings of ASME International Mechanical Engineering Congress and Exposition November 5–10, Chicago
27. Kladitis PE, Linderman RJ, and Bright VM (2001) Solder self-assembled micro axial flow fan driven by a scratch drive actuator rotary motor. The 14th IEEE International Conference on Micro Electro Mechanical Systems, 21–25 Jan, pp. 598–601
28. Laws AD and Lee YC (2007) Thermal and structural analysis of a suspended physics package for a chip-scale atomic clock. ASME InterPACK'07, Vancouver, July 8–13
29. Lee, SH, Lee SW, and Najafi K (2007) A generic environment-resistant packaging technology for MEMS. Solid-State Sensors, Actuators and Microsystems Conference, TRANSDUCERS 2007. 10–14 June, pp. 335–338
30. Lee YC, Parviz BA, Chiou A, and Chen S (2003) Packaging for microelectromechanical and nanoelectromechanical systems. IEEE Transaction on Advanced Packaging, pp. 217–226
31. Lee YC (2007) MEMS packaging and reliability. In: Suhir E, Lee YC and Wong CP (eds) Micro- and Opto-Electronic Materials and Structures: Physics, Mechanics, Design, Reliability, Packaging, Springer, Berlin
32. Lukic M, Rondineau S, Popovic Z, and Filipovic DS (2006) Modeling of realistic rectangular $\mu$-coaxial lines. IEEE Transactions on Microwave Theory and Techniques, vol. 54, pp. 2068–2076
33. Madou MJ (2002) Fundamentals of Microfabrication: The Science of Miniaturization. CRC, Boca Raton
34. MEMS Industry (2004) Report Focus on Reliability, MEMS Industry Group, Pittsburgh, PA, USA
35. Moro L, Krajewski TA, Rutherford NM, Philips O, Visser RJ, and Gross M, Bennett WD, and Graff G (2004) Process and design of a multilayer thin film encapsulation of passive matrix OLED displays. Proc. of SPIE Vol. 5214, pp. 83–93
36. Ramadoss R, Lee S, Lee YC, Bright VM, and Gupta KC (2007) MEMS capacitive series switch fabricated using PCB technology. International J. of RF and Microwave Computer–Aided Engineering, Vol. 17, Issue 4, July, pp. 387–397
37. Ramadoss R, Lee S, Lee YC, Bright VM, and Gupta KC (2006) RF MEMS capacitive switches fabricated using printed circuit processing techniques. IEEE/ASME Journal of

Microelectromechanical Systems, pp. 1595–1604

38. Ramadoss R, Lee S, Lee YC, Bright VM, and Gupta KC (2007) MEMS capacitive series switch fabricated using PCB technology. International Journal of RF and Microwave Computer-Aided Engineering, pp. 387–397
39. Riley GA (2004) Wafer-level hermetic cavity packaging. Advanced Packaging, Vol. 3, No. 5, pp. 21–24
40. Roberts, CM, Long LH, and Ruggerio PA (1994) Method for Separating Circuit Dies from a Wafer. US Patent 5362681
41. Sadler DJ, Changrani R, Roberts P, Chou CF, and Zenhausern F (2003) Thermal Management of BioMEMS: Temperature Control for Ceramic-Based PCR and DNA Detection Devices. IEEE Transactions on Components and Packaging Technologies, Vol. 26, No. 2, pp. 309–316
42. Sechrist ZA, Fabreguette FH, Heintz O, Phung TM, Johnson DC, and George SM (2005) Optimization and structural characterization of W/Al2O3 nanolaminates grown using atomic layer deposition techniques. Chemistry of Materials, Vol. 17, pp. 3475–3485
43. Senturia SD (2000) Microsystem Design (Hardcover). Springer, Berlin
44. Song J and Srolovitz DJ (2007) Atomistic simulation of multicycle asperity contact. Acta Materialia Vol. 55, pp. 4759–4768
45. Sontheimer A and Douglass M (1998) Identifying and eliminating digital light processing TM failure modes through accelerated stress testing. TI Technical Journal, July–September 1998, pp. 128–136
46. Tan Q, Lee YC, and Itoh M (2005) Soldering technology for optoelectronic packaging. In: Passive Micro-Optical Alignment Methods, Boudreau R and Boudreau S (eds), CRC Press, Boca Raton
47. Tanner DM (2000) Reliability of surface micromachined MicroElectroMechanical Actuators. 22nd Int. Conf. Microelectronics, Nis, Yugoslavia, pp. 97–104
48. Tseng A, Tang WC, Lee YC, and Allen J (2001) NSF 2000 workshop on manufacturing of micro-electro-mechanical systems. Journal of Materials Processing & Manufacturing Science, Vol. 8, No. 4, pp. 292–360
49. Vanhille KJ, Fontaine DL, Nichols C, Popovic Z, and Filipovic DS (2007) Ka-Band miniaturized quasi-planar high-Q resonators, IEEE Transactions on Microwave Theory and Techniques, Vol. 55, pp. 1272–1279
50. Velten T, Ruf HH, Barrow D, Aspragathos N, Lazarou P, Jung E, Malek CK, Richter M, Kruckow J, and Wackerle M (2005) Packaging of Bio-MEMS: Strategies, technologies, and applications. IEEE Transactions on Advanced Packaging, Vol. 28, No. 4, pp. 533–546

# 第 18 章　LED 和光学器件封装与材料

Yuan Chang Lin，Yan Zhou，Nguyen T. Tran，Frank G. Shi

**摘要**：在封装与组装生产中，器件可靠性与寿命取决于封装和组装材料及加工质量，因此封装材料对于集成电路器件封装至关重要。本章给出了发光二极管（LED）封装材料发展中面临的严峻挑战，这也正是本章的目的——综述这些挑战，并指出未来发展方向。

需要指出的是，尽管本章围绕 LED 封装材料，但是本章提供的信息足以应用到其他光学器件上，包括激光二极管、光学传感器、纤维光学器件、光学探测器、光学联接器等。

第一部分将综述材料方面的挑战和大功率 LED 封装的一些解决方法，接着介绍了封装功能及先进光电器件封装与制造中的材料。本章还论述了大功率 LED 封装的先进塑封技术、透镜、芯片键合与 PCB 材料。总之，我们指出了先进大功率 LED 和光电器件封装材料的发展方向，以及决定 LED 性能与可靠性的发展需求与方法。

**关键词**：发光二极管（LED），光电，封装，塑封，可靠性。

## 18.1　背景

### 18.1.1　绪论

自从 20 世纪 90 年代中期蓝光二极管（LED）实现商业化以来[1]，LED 应用飞速发展。仅仅在 2006 年，全球 LED 封装（在 LED 价值链中占有最大的利润份额）的产值达到 77.49 亿美元，而且有望在 2009 年增长到 111.56 亿美元，见表 18.1。

LED 技术的快速进展及对全球能源供应与环境的忧虑，推动了 LED 及其应用的持续快速增长。例如，仅在美国，每年用于制造荧光灯的汞（Hg）有 32t。据美国能源部（Department of Energy，DoE）统计，所有原油、天然气、煤和核能中，22% 用于照明，而且照明消耗了美国 30% 的电力，这也是能源消耗中最大的一部分。白光 LED 的效率已经超过了最节能的荧光照明，预计 LED 照明将快速突破特种照明市场和全球 700 亿的通用照明市场。采用 LED 照明将对我们的经济、能源供应、环境和生活产生巨大影响，具体表现在如下方面：

（1）美国 LED 照明潜力（白光 LED（150lm/W），DOE）

1）减少约 50% 照明用电（=100 座发电站，DOE）。

表 18.1 按区域划分的全球 LED 芯片封装趋势(单位：百万美元)

| 国家/地区 | | 2005 | 2006 | 2007* | 2008* | 2009* | 2006** | 2009** |
|---|---|---|---|---|---|---|---|---|
| 中国 | 大陆 | 425 | 534 | 695 | 853 | 1089 | 25.6% | 27.7% |
| | 台湾 | 1164 | 1313 | 1445 | 1589 | 1732 | 12.8% | 9.0% |
| 韩国 | | 613 | 750 | 931 | 1111 | 1282 | 22.3% | 15.4% |
| 欧洲 | | 666 | 1106 | 1181 | 1350 | 1546 | 66.1% | 14.5% |
| 美国 | | 845 | 709 | 851 | 1002 | 1226 | (16.1%) | 22.4% |
| 日本 | | 2987 | 3337 | 3637 | 3964 | 4281 | 11.7% | 8.0% |
| 合计 | | 6700 | 7749 | 8740 | 9869 | 11156 | 15.7% | 13.0% |

*预计值。** 年度增长率。

资料来源：台湾光电科技工业促进会（Photonic Industry & Technology Development Association，PIDA），Digitimes 报，2007 年 4 月。

2）从 2005 年到 2025 年，节约 ~1250 亿美元（DOE）。

3）每年减少碳排放 28 ~40Mt（百万吨）。

4）每年减少二氧化氮和二氧化硫排放大于 1Mt（百万吨）。

5）不用汞，而目前每年有 32t 汞用于荧光灯生产。

6）使用安全，没有触电事故（目前照明采用 120V 交流电），没有明火。

7）直接与电池和太阳能技术兼容（DC 12V）。

（2）国家和地区政府已经立法，将采用更高效的照明技术，这与 LED 技术发展最为一致：

1）美国 4 个州（加利福尼亚州、康涅狄格州、马里兰州和新泽西州）的节能法案与 LED 技术目标一致。

2）美国还有超过 10 个州正在立法采用高效照明技术。

3）澳大利亚、欧盟、日本、南非等已经通过立法，将采取更节能的照明技术，这与 LED 发展目标一致。

图 18.1 所示为英国皇宫中央大厅改用 LED 装饰灯后的效果，体现了 LED 照明的快速进展，卸掉原来所有 32 个 25W 钨丝灯，换装一种带低压系统控制的 2.8W LED 灯，其初始节能超过 80%。LED 灯也用于英国白金汉宫 Grand Staircase 照明，如图 18.2 所示。

尽管 LED 照明预期最终将会用于通用照明，但是市场份额最大的彩色和白光 LED 将用于如下场合：1）汽车内外照明；2）手机和中等尺寸液晶显示器背光；3）单灯照明和交通照明；4）LED 显示器。事实上，目前这些应用已经占据了大约 90% 的 LED 需求。

如上所述，在整个 LED 产业链中，LED 封装具有最高的利润率和产值。与集成电路（IC）器件封装类似，LED 封装材料对 LED 器件性能至关重要，这是因为器件的封装与生产、器件可靠性及寿命都取决于封装和组装材料及加工过程的质量。

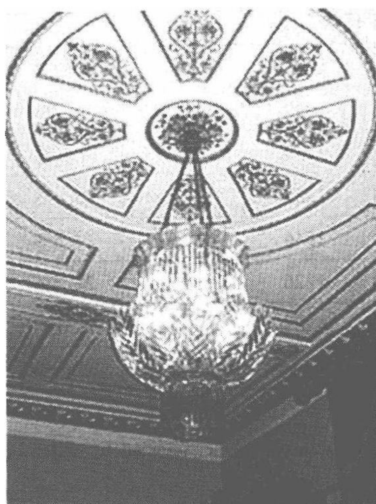


图 18.1 英国皇宫中的 LED 装饰灯（2007 年 11 月）

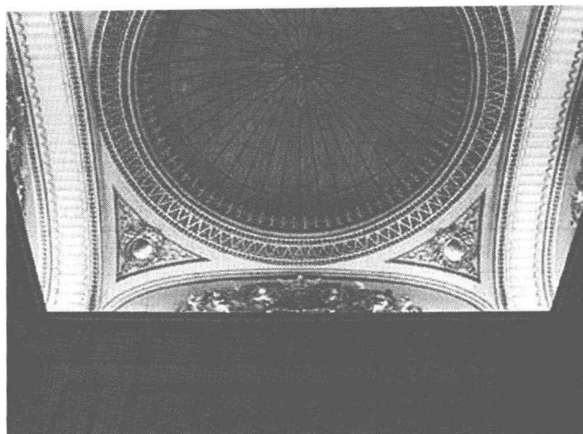


图 18.2 白金汉宫 Grand Staircase 的 LED 照明（2007 年 11 月）

尽管 LED 封装材料的功能与 IC 器件相同，如贴片、打线及芯片塑封。但是对于 LED 封装材料还存在一些其他的特殊要求，具体体现在塑封材料选择上。对于 IC 器件而言，塑封材料填充了二氧化硅。这些材料具有较低的热膨胀系数(CTE)、较高的耐火性和较低的吸湿性。但是由于透光性要求，LED 塑封材料不能采用传统填充二氧化硅的材料，从而导致 LED 封装材料发展面临严峻的挑战。这也正是本章的目的，本章将综述这些挑战并指出未来的发展方向。

在这里需要指出的是，尽管本章内容围绕 LED 封装材料，但是本章所提供的信息也可用于其他光学器件，包括激光二极管、光学传感器、纤维光学器件、光学探测器、光学联接器等。

本章接下来的部分是如此安排的，第一部分将综述 LED 封装材料的挑战和大功率 LED 封装的一些解决方法，接着评述了封装的功能及先进光电器件封装和制造材料。本章还介绍了大功率 LED 封装的先进塑封材料、透镜、芯片键合与 PCB 材料。作为本章小结，指出了先进大功率 LED 和光电器件封装材料的发展方向，以及决定 LED 性能与可靠性的要求和途径。

### 18.1.2 大功率 LED 封装材料挑战与解决方案

2006 年，光电市场产值达到了新高，光电器件与元件为 5650 亿美元，比 2005 年增长了 14.5%（根据 2007 年 10 月美国光电工业发展协会（Optoelectronics Industry Development Association，OIDA）资料）。OIDA 预计在未来十年间，光电器件将有一个飞速和稳定的增长，到 2017 年其产值预计会超过 1.2 万亿美元，从 2007 年到 2017 年的年复合增长率（CAGR）将达到 7.7%。在光电产品中，未来

十年增长的驱动力是太阳能、计算机/处理器、消费类显示器/电视。从 2007 年到 2017 年，这些市场的复合年增长率分别为 17.3%、5.6% 和 6.3%。而 2006 年，光电产品与系统的增长主要来自于环境监测或传感（43.1%）和医疗或福利（28.6%）推动。到 2017 年，白光高亮度 LED（High Brightness LED，HBLED）将推动 LED 市场产值超过 140 亿美元，固体照明、汽车照明、信号或显示器将共同推动这个市场。而且，到 2017 年固体照明占整个照明市场的份额将超过 30%，因此对日光灯和荧光灯产生巨大的竞争力。在未来十年，预计固体照明，主要是白光高亮度 LED 的市场增长将超过 600 亿美元。

相比于传统的照明光源，LED 照明光源具有极大的优势，如超长寿命、高耐用性、低能耗和颜色生成能力，这些优势使 LED 十分独特。除了可以形成数百万种颜色和提供大色温范围的白光外，LED 器件可以通过简单的开关或采用复杂的光学反馈驱动器控制温度，平衡红光、绿光和蓝光（RGB）输出而使灯具完全昏暗下来。现有的照明技术都不能与具有极强设计、控制和显示能力的 LED 抗衡。此外，LED 还具有如下优势[2]：

1）长寿命（20000h 到超过 100000h）

2）外观尺寸小，可以提高设计灵活性

3）环保，不使用有毒材料如汞

4）快速点亮（小于 100ns）和数字控制，可以使灯具完全暗下来

5）高能源效率

6）无滤光器，具有真实的饱和色彩

7）动态色温控制——白光平衡点可调

8）低至 -40℃ 的冷启动能力和结温高达 185℃ 的高温工作能力

从发光效率和可制造性而言，基于 InGaN 的蓝光 LED 技术发展提供了多种不同的新白光光源途径，可以用于特种照明，长远来看也可以用于通用照明。作为将来的照明光源，大功率 LED 器件具有如下特性：1）高流明效率；2）高功率能力；3）良好显色能力；4）高可靠性；5）低成本制造；6）环保；7）独特光学性能。这些特性可在一定程度上加以控制，但传统照明光源如白炽灯和荧光灯却难以实现[1]。

大功率 LED 照明很重要，因为它的正常工作寿命长达几年，而且仅需消耗传统照明方式所需电能的一部分。为了使 LED 照明成为可能，还需要解决很多技术上的问题。出光效率、芯片过热和光输出衰减是其中的几个关键问题，这些也都与封装材料有关。

由于效率和可靠性关系，大功率 LED 的发展遇到了限制。直到现在，大功率 LED 光输出的持续增长开始挑战封装材料。理论上，通过采用更大电流来驱动更大的芯片（典型尺寸为 1mm × 1mm），可能会产生更多的光。但是，大多数大功率 LED 的光电转换效率只有大约 15%，其余大部分能量都变成热量散失了。由于大

功率 LED 的结温很高，因此热管理成为封装的一个重要难题。因此，为了在安全结温下工作和减小由材料 CTE 差异引起的热应力，提高散热能力对大功率 LED 封装非常重要。大多数 LED 采用传统的环氧树脂来塑封芯片，由于暴露在高温或强紫外光下，塑封材料性能会很快退化，使湿气或空气进入塑封材料中导致变色，材料性能退化是大功率白光和蓝光 LED 寿命缩短的主要原因[3,4]。

在 LED 封装中，前面提到的重要问题大多是关于材料方面的问题。因此，封装材料面临的挑战是增加出光效率，减小芯片产生的热量，传导更多的热量到管壳外，承受热量和紫外光。热管理问题对大功率 LED 寿命、流明输出、器件设计非常重要。为了改善 LED 封装材料，提高 LED 寿命，需要采用如下方法：1）需要采用具有高折射率的新塑封材料来匹配芯片，这样就可以大幅提高塑封芯片的出光性能；2）选用具有更好耐热性能和抗紫外性能的新塑封材料；3）选用与芯片和管壳热膨胀系数匹配的塑封材料，以及固定芯片的高热导率芯片固晶材料；4）具有较好粘附性和较低湿气渗透性的塑封材料（见表 18.2）。

**表 18.2 大功率 LED 封装材料面临的挑战与解决方法**

| 挑战 | 问题 | 封装材料解决方案 |
|---|---|---|
| 出光 | LED 芯片与塑封材料间折射率不匹配 | 采用高折射率塑封材料<br>高效透镜/反射杯设计 |
| 热黄化 | LED 芯片与引线框架间高结温导致的塑封材料热性能退化 | 调整环氧树脂或硅胶塑封材料性能，采用低热应力基板 |
| 紫外黄化 | 由于 LED 芯片与室外紫外辐射导致的塑封材料光性能退化 | 采用紫外透明或硅胶塑封材料 |
| 应力/脱层 | 由于塑封材料、LED 芯片与引线框架间 CTE 比匹配导致引线键合与贴片失效 | 采用低 CTE 和低弹性模量塑封材料，键合界面粘接良好与 CTE 匹配材料 |
| 寿命 | 理论值为 10 万小时，实际上只有大约 2 万小时 | 上述各项 |

## 18.1.3 热稳定和紫外稳定（长寿命）塑封材料

光电器件如 LED 对光学透明塑封材料有特殊要求。透光性能必须在封装和组装过程中及全寿命范围中保持稳定。例如，塑封材料必须足够坚韧，能够抵抗芯片焊接到印制电路板过程中和使用过程中高温可能导致的热冲击。对于紫外 LED 与户外应用，其塑封材料还应该可以抵抗紫外线导致的发黄，从而延长寿命。

LED 塑封采用灌注或浇铸加工，考虑到总体性能和价格，通常采用热固性环氧树脂[5]。目前常用的有几种型号的环氧树脂，如双酚 A 二缩水甘油醚（BPA）环氧树脂和脂环族环氧树脂[6]。脂环族环氧树脂由于含饱和结构，预计具有更好

的抗紫外特性和抗气候性，因此常用于塑封户外光学器件。BPA 环氧树脂更便宜，而且由于其主链上的苯基团而具有更好的热稳定性，但是其抗紫外特性不如脂环族环氧树脂。为了充分发挥这两种型号的环氧树脂特性，有人报道了一种将二者混合的新环氧树脂。研究发现，这种新环氧系统既具有纯树脂的热老化性能，也具有类似脂环族环氧树脂的抗紫外老化特性（见图 18.3）。为了提高塑封材料的抗气候性，有人研究了热阳离子水聚合双酚 A 缩水甘油醚及其变色特性[7]，而且众所周知，环氧树脂的热稳定性和紫外稳定性可以通过添加抗氧化剂和紫外稳定剂或吸收剂来进一步改善[8]。但是，为了获得最佳性能，选用的添加剂类型和浓度必须根据系统要求而定。

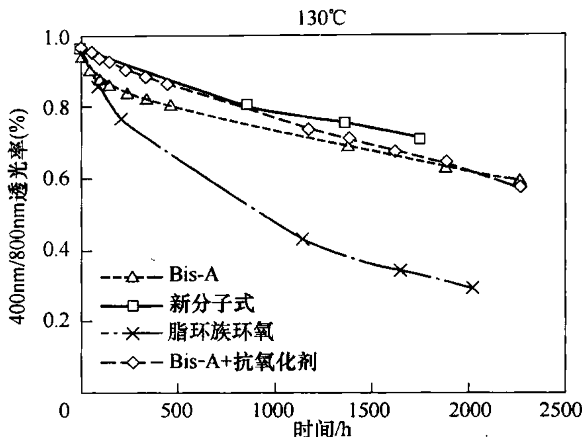



图 18.3　不同环氧树脂的热老化结果

硅胶具有良好的耐热性和抗紫外线性，因而可以作为大功率 LED 和户外应用的另一种较好的塑封材料。但是硅胶存在另外一些问题，比如物理特性较差，抗湿气和吸灰特性较差，需要外覆层进行保护。为了充分利用稳定的硅氧键，提高热稳定性和紫外稳定性，同时保持环氧树脂的优点，环氧化硅胶是一种可能的解决办法。有人采用固化的含酐和硅胶的环氧树脂来提高耐热和抗紫外线性[9]，但是这种应用本身也面临挑战。

## 18.1.4　应力与脱层

在制造过程的温度循环中，由于键合区与焊料热膨胀系数不一致会产生应力，该应力会在键合界面产生脱层。有时，不合适焊料和加工控制还会在器件中产生短路，原因在于焊料具有相对较高的润湿性，焊料溢出超过一定接触区域而产生短路。

众所周知，环氧树脂固化伴随着材料收缩和内应力产生。事实上，环氧树脂与基板材料的热膨胀系数差越大，内应力就越大，从而导致器件加工失效或降低 LED 可靠性。为了降低内应力，应该减小塑封材料的杨氏模量和热膨胀系数。

在环氧系统中填充纳米级二氧化硅，可以降低热膨胀系数，同时保持最小的光透损失[10]。添加纳米填充物也会提高系统的韧性和热导率，从而改善系统的热循环性能。

### 18.1.5 可靠性与寿命

为了将使用过程中产生的热量耗散，LED 芯片必须与热沉或基板键合在一起，一般采用焊料贴片工艺。如果在贴片过程中出现孔隙会影响传热路径，产生的热斑将最终导致热失控，甚至器件失效。由内应变、温度、湿度和材料性能引起的电子转移过程中出现的晶须生长一般出现在靠近键合面的焊料与热沉界面上，并且容易导致短路。在选择贴片材料时，需要考虑以下几点：1）降低界面应力；2）界面具有良好的粘接性；3）有效的散热能力及高热导率；4）键合界面上材料的热膨胀系数匹配。

与 LED 封装有关的失效常出现在塑封材料、引线和荧光粉中。引线断裂或脱开和芯片粘接强度降低都是由环氧塑封材料过热造成的。引线中的机械应力是另一种失效机制，这种失效会使器件产生开路。不合适的压力、位置及引线键合中不合适的键合方向都会在正常工作温度下产生应力积累，使引线向 LED 弯曲。

大多数白光 LED 采用黄色荧光粉或红/绿荧光粉，这些荧光粉很容易受到热影响。当两种或者不同荧光粉混合时，为了保持颜色状态，每种成分都应该具有一致的寿命和退化特性，荧光粉的色温和纯度也会随着时间而退化。

总之，对于将来的大功率高效 LED 封装而言，新的塑封材料应该具有如下特性：高折射率、高耐热性和抗紫外特性、低热膨胀系数、低杨氏模量、良好的粘接性及较低的湿气渗透性。但是通过采用有效的封装设计可以降低对这些性能的要求，诸如多个小芯片器件封装、透镜或反光杯设计。对于大功率 LED 封装，为了充分利用环氧树脂和硅胶特性，开发一种新型环氧硅胶树脂材料可能是一种解决方案[11]。

## 18.2 封装功能

采用荧光粉的典型大功率白光 LED 封装是一个复杂的系统，包含 LED 芯片、电连接和热连接（引线键合和贴片材料）、光学反光杯、基板、含荧光粉的塑封材料，或者选用光学透镜。在这种情况下，对于 LED 封装，光学设计和含荧光粉的塑封材料在决定 LED 性能方面扮演着非常重要的角色。

如图 18.4a 所示，典型的大功率 LED 封装结构包括带有反光杯的引线框架、LED 芯片、贴片胶、金线和混有荧光粉材料的硅胶塑封剂。如图 18.4b 所示，对于包含透镜的这类 LED 封装，是在平顶的封装结构上增加了一个光学透明透镜，具体封装过程如下：1）清洗引线框架，在使用前烘焙；2）采用导热胶将蓝光 LED 芯片粘贴到引线框架反光杯的中央部位；3）导热胶在 175℃ 下至少固化 45min；4）引线键合实现 LED 芯片与引线框架间的电连接；5）将混有 YAG：$Ce^{3+}$ 荧光粉的硅胶塑封剂填充到引线框架上的反光杯中，形成一个平坦的顶面，然后加热固

化；6）将光学透镜粘贴到塑封层的上面，完成带透镜的 LED 封装。

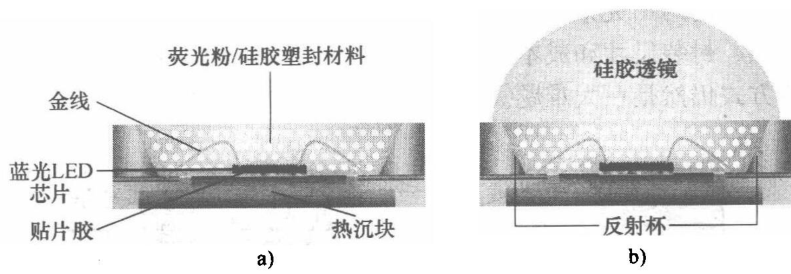



图 18.4　白光 LED 封装截面示意图

## 18.2.1　塑封与保护

在 LED 封装中，采用塑封剂的目的之一是为了保护 LED 芯片和金线，避免不利的环境影响，提高 LED 的长期可靠性。但是 LED 塑封的最终目的是保证器件的可靠性，并以最小代价提高 LED 的出光率[12]。

除了振动、冲击、污染和类似剧烈的热循环等恶劣的环境条件外，空气中的湿气和灰尘是半导体器件失效的两个直接原因。光照和磁场也会产生故障，但是湿气是 LED 芯片腐蚀的主要原因，电氧化和金属迁移也与所说的湿气有关。湿气的扩散速率取决于塑封材料，是扩散型塑封剂厚度与暴露时间的函数。光电器件塑封中常用的聚合物材料，如环氧树脂和硅胶，其抗湿气渗透性比玻璃和金属要低几个数量级。在大多数聚合物中，硅胶材料具有较高的湿气瞬态渗透率，但也是最好的器件塑封材料之一。此外，为了实现互连，LED 芯片键合焊盘区需要进行刻蚀，因此这部分也需要保护。这就是 LED 器件需要塑封材料来排除这些外部影响，保护 LED 芯片，同时提高 LED 器件可靠性和寿命的原因[13]。

## 18.2.2　出光效率

LED 封装可靠性取决于很多因素。封装体内产生的热量是最重要的因素之一。这些产生的热量将主要降低出光效率，也是 LED 性能下降、光通量和寿命降低的首要原因（见图 18.5）。

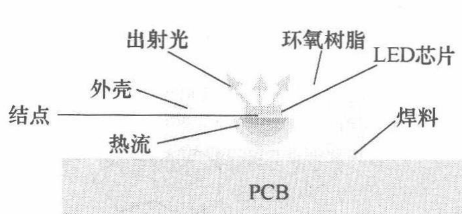



图 18.5　常见 LED 封装的热传导

目前，有几种技术来解决散热问题，提高 LED 出光效率是解决该问题的一种较好的方法。单颗大芯片封装的封装尺寸较紧凑，具有较高的出光率，但是由于增加了芯片面积，芯片的量子效率大大降低，这主要是因为芯片的侧面出光较少（见图 18.6）。与单颗大芯片封装相比，采用更

多的小芯片封装能显著增加出光表面和热流面（见图 18.7），因此，多个小芯片的封装方式具有更高的出光效率和更好的散热性能，但是这种组装方式会增加 LED 封装的复杂性、封装尺寸和成本。如何开发一种针对 LED 封装的小尺寸、低成本、多芯片封装方式仍然是一大难题。

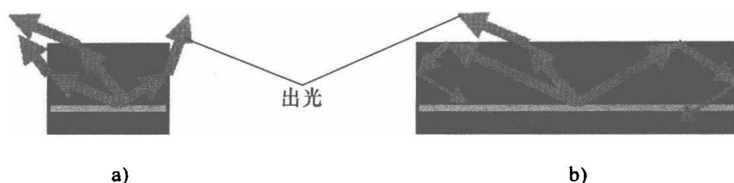



图 18.6 小芯片、大芯片 LED 出光比较
a）小芯片 LED b）大芯片 LED

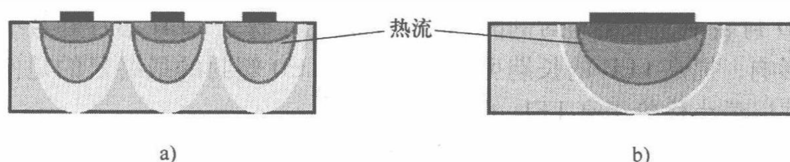



图 18.7 小芯片、大芯片 LED 热流比较
a）小芯片 LED b）大芯片 LED

LED 封装的其他设计参数也会提高出光效率，包括带有一定倾角和环氧表面（环氧-空气界面）的反光杯[14]，如图 18.8 所示。将 LED 芯片置于填充有环氧塑封料的反光杯中，塑封剂表面是一个可以与透镜高度相同的球面（见图 18.6）。环氧-空气界面可以为单个大透镜、多个小透镜或粗糙表面。

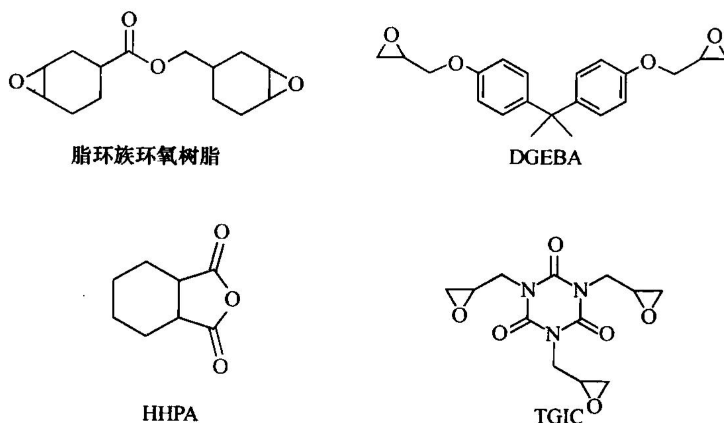



图 18.8 带有不同球型透镜的 LED 灯

选用在一定波长上具有高折射率和高透明度的环氧塑封剂也可以提高出光效

率。图 18.9 所示为出光效率是环氧折射率和以透镜高度表征的环氧表面曲线的函数。当透镜高度不同时，尽管 LED 芯片（$n_D$ =2.4 ~3.4）的出光效率随着环氧塑封剂的折射率增加而增加，但是最大出光效率对应不同的折射率（见图 18.9）。当折射率大于 1.3 时，改变环氧表面曲线形状可以大大改变出光效率。

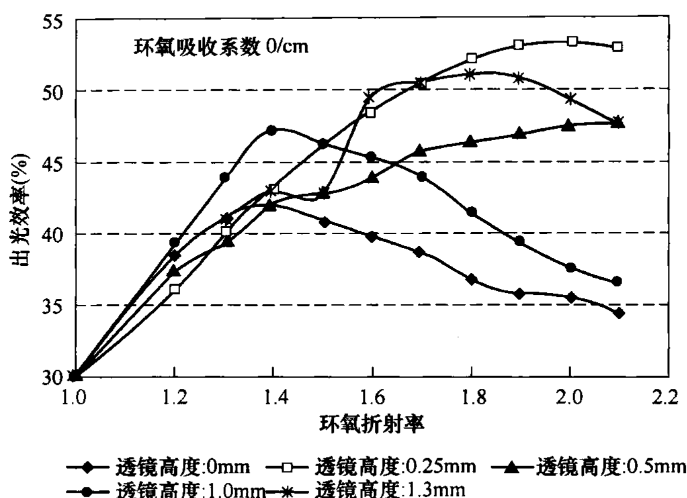



图18.9　出光效率是环氧折射率和以透镜高度表征的环氧表面曲线的函数（环氧的吸收系数是 $0cm^{-1}$）

塑封剂的吸收系数也对出光效率有很大影响。如图 18.10 所示，在折射率较高时，降低吸收系数可以大大改善出光效率。当采用多个微透镜来代替单个大透镜时，出光效率还可以进一步提高（见图 18.11）。图 18.10 所示为直径为 0.5mm 的多个微透镜的出光效率改善结果，如果采用更小尺寸的微透镜，提高出光效率的效果可能更好。

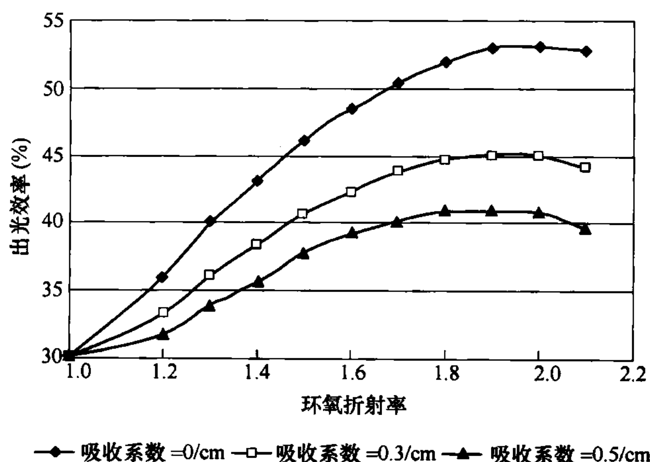



图 18.10　出光效率为环氧折射率与吸收系数的函数

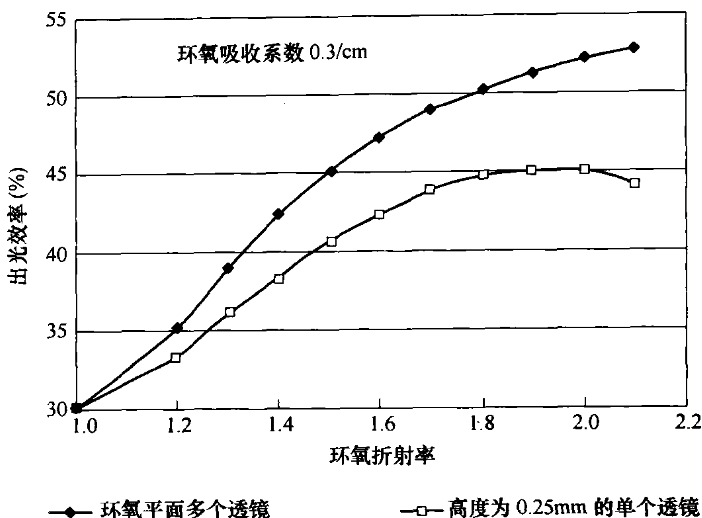
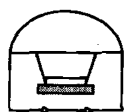



图 18.11 采用多个直径为 0.5mm 的半球形微透镜可以增强出光效率（吸收系数是 $0.3cm^{-1}$）

## 18.2.3 光学

许多固体照明（Solid State Lighting，SSL）器件采用二次光学来控制 LED 出光，形成想要的光斑形状，很多器件采用全内反射（Total Internal Reflection，TIR）或菲涅耳型的光学透镜，LED 应用这些光学透镜至少损失了 10% ~15% 的光输出通量。为了提高从 LED 出射到外面的光耦合效率，对于某些应用在封装时去掉了二次光学透镜。

衍射光学元件（Diffractive Optical Element，DOE）具有表面微结构，通常可用于控制从光源出来的光斑形状。它们利用干涉和光波间的相互作用来“打破”光波，使其“重新分布”来形成新的光波或使光波形成全息干涉。DOE 并不是新技术，但是设计和制造技术的最新进展使其成为解决 LED 光学设计问题的一种低成本方案，比如可以提高出光效率，缩小封装总尺寸，降低组装成本，当然还可以控制光斑形状。DOE 在未来 LED 封装微型化中占据重要地位。由于 DOE 通常是平面的，而且可以采用平板印制和微机械加工法来制备，因此 DOE 器件具有很多优势。DOE 结构与 LED 封装集成的三个独特步骤如图 18.12 所示。1）普通光学透镜，



**传统光学**
- 球形透镜，小反射杯
- 体积大
- 光束整形能力有限
- 多 LED 芯片封装困难



**微光学单元**
- 衍射与反射型光学微结构
- 采用衍射单元可实现光束整形
- 平面型小尺寸
- 优化 LED 芯片性能
- 与红外回流工艺兼容



**单片集成微光学**
- 具有微光学单元优势
- 将微光学结构集成到 LED 上
- LED 圆片级加工
- 无组装要求

图 18.12 LED 二次光学技术演变（源自 LED Magazine，2005 年 7 月）

目前常用的方法是采用全内反射（TIR）光学透镜或小反射杯来控制出光和光斑形状，但是大多数制造商只能提供一次光学透镜，而让消费者自己去寻找控制光形的二次透镜；2）分离型微光学器件，为了使 LED 器件更紧凑，技术发展的第一步是采用尺寸较小的衍射型菲涅耳透镜代替体积较大的 TIR 透镜；3）单片集成微光学器件，LED 封装技术发展的最终目标是直接在 LED 晶圆上制造光学 DOE 微结构，使用这种类型透镜可以在保持光线自由分布和控制 LED 出光形状的基础上提供一种最简单的封装方案[15]。

## 18.2.4 电连接

如果为了防止 LED 免受外部环境影响而将其简单地塑封在封装材料中，LED 芯片就不能与外界进行信号交换。对于 LED 封装，LED 芯片采用焊料或银膏（导电贴片胶）粘接到金属引线框架上，通过引线框架实现与外界的电接触。采用引线键合将分离的金属柱连接到 LED 芯片上的键合焊盘上。该引线键合作为二次电极，允许外部信号传送到 LED 器件上。

## 18.2.5 散热

工作时硅芯片会发热。如果芯片的实际温度过高，芯片就会发生故障，因此必须通过封装来有效耗散这些热量。对于可产生很高热量的半导体器件，如大功率 LED，可以采用热沉或风扇冷却来进行散热。

最开始设计的标准 5mm LED 封装主要用于作指示灯，但是这种结构设计并不能有效耗散 LED 芯片产生的热量，使其工作在低温状态。对于标准的 5mm LED，最大可容许的封装热阻为 7K/W。这比用于照明的新型大功率 LED 器件的封装热阻要低得多。

增强 LED 封装散热的主要方法是使散热路径的表面越大越好，路径越短越好。出于这个目的，在新型 LED 封装中改变引线位置使其与基板和金属接触，而且对引线框架和 PCB 还有一些特殊要求。如美国流明（Lumileds）公司从热管理角度出发，提出了一种最成功的大功率 LED 封装结构，通过将热沉金属块与引线框架集成。图 18.13 所示为这种封装结构的截面图。

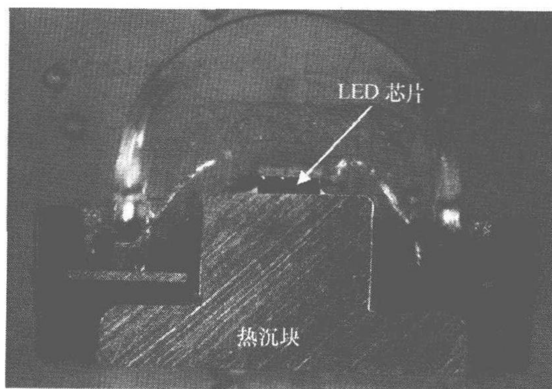



图 18.13　美国 Lumileds 公司 3W 高亮度 LED 器件的横截面（授权源自 Prismark/Binghamton 大学）

## 18.3 LED与光电器件封装材料

对于很多目前和以后应用的LED器件的性能而言，封装技术变得越来越重要，一些历史较久的传统封装形式已经不能满足急速增长的高亮度AlGaInP或InGaN芯片封装要求，新型的LED封装必须具有更好的光学、电学和热学性能。对高可靠性的要求对封装结构的化学和热学稳定性、贴片和塑封材料以及选择工艺方面提出了严格要求。对于白光LED这种带有光学转化荧光粉的器件，还要考虑提高荧光粉材料的效率和稳定性。目前最好的白光LED流明效率已经达到135lm/W，远远高于荧光灯，但是仍然低于LED可能达到的流明效率300lm/W。提高流明效率不仅取决于芯片，也取决于封装和组装。

### 18.3.1 标准LED塑封材料

LED封装可以分为两类：穿孔和表面组装。穿孔封装类似于放射状，LED芯片贴装在PCB板的一面，而从另一面进行焊接。图18.14所示为一种简单的穿孔（放射状）LED封装形式。这种设计最初用于低电流的室内产品，其最大热阻为280K/W，因此输入电功率只有几百毫瓦。这种LED芯片的侧向尺寸通常为200～300μm，采用环氧型贴片胶粘接在金属引线框架上，通过引线框架与外界实现电接触。这种引线框架加工成镜形反射杯的形状，同时作为LED芯片的热沉。采用引线键合将分离的金属柱（作为二次电极）连接到LED芯片的键合焊盘上。采用环氧对LED芯片和引线框架进行塑封，形成一个圆球形透镜，满足一定的光辐射特性。采用环氧塑封剂可以成倍提高出光效率，原因在于可以增强环氧-芯片界面和圆球形透镜的出光效率。半球形透镜的标准直径为3mm和5mm，因此将这种封装形式命名为“3mm或5mm LED封装”或“灯型LED”。

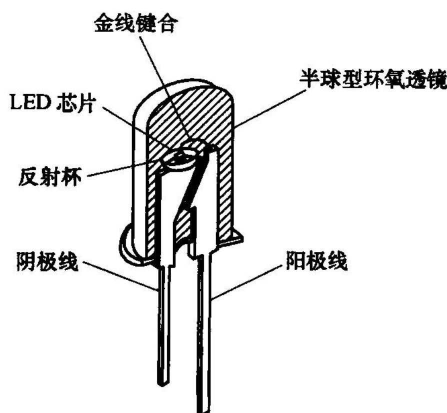





图18.14 放射型LED灯（授权源自Prismark/Binghamton大学）

表面组装器件（SMD）是指装片和焊接在同一面进行，这对于工业生产而言优势明显，如采用自动化设备可以快速贴片，组装更小尺寸芯片，寄生效应更小，成本更低。尤其对于空间非常有限的产品，表面组装技术（SMT）的优势更加突出[16]。

图 18.15 所示为采用标准的表面组装技术封装的 LED。将 LED 芯片粘贴到带有预成形塑料支架的引线框架上，采用引线将芯片顶面电极与引线框架另一端连接起来，然后在引线框架中填充塑封剂。与半球形的放射状封装相比，表面组装技术封装形成的平顶形环氧-空气界面使出光效率降低 10%。但是对于需要更窄的光出射角或方向性更强的应用而言，可以加装透明透镜。

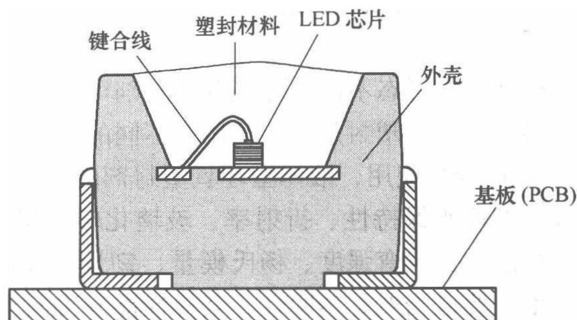



图 18.15　表面贴片 LED 封装的简图

根据应用不同，SMT 封装可以体积很小，最小尺寸器件的宽和高只有 0.5mm ~ 1mm，只比芯片尺寸稍微大一点。SMT 封装热阻的范围为 300 ~ 500K/W，从而使最大可用电流限制在 100 ~ 150mA。SMT 封装还可以同时贴装多个芯片，形成白光 LED 或多色 LED 的系列产品。图 18.16 所示为采用 SMT 的多芯片 LED 封装实例。

大功率 LED 工作电流设计为 1A 或更大。在该电流范围内，封装结构完全可以将比标准封装结温更高的芯片产生热量带走。因此，如图 18.17 所示（最大驱动电流高达 1500mA），大功率 LED 封装通常包括金属热沉基板和增强散热基板（PCB）。

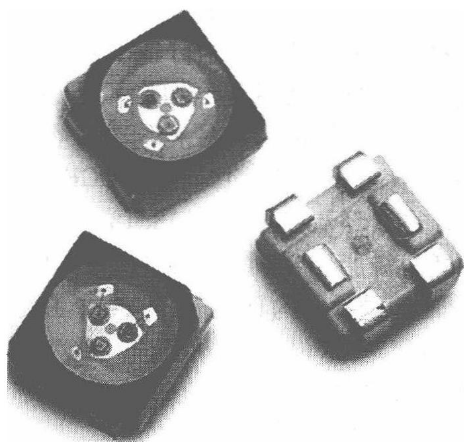


图 18.16　采用 SMT 封装的三芯片 LED（美国 Avago 公司 PLCC-4 表面组装 LED 指示器）

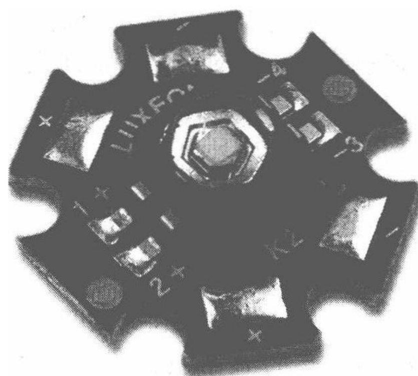


图 18.17　含金属基板的大功率 LED 封装结构（美国 Lumileds 公司 Luxeon K2 产品）

#### 18.3.1.1 用于单色LED封装的液体/固体环氧塑封剂

环氧树脂是光电器件中使用最多的高分子材料之一，其独特性能如良好的机械、电气和光学性能，优良的化学和耐腐蚀性，粘附力强，收缩率小，成本低等，使其特别适合作为LED封装的塑封材料。用于低功率LED的环氧塑封剂是透明的，并且对于长波长可见光范围和红外LED器件，采用环氧封装多年后性能仍不退化[17]。

根据物理形态不同，环氧基塑封剂可以分为两类，即液体型和固体型，也称为模塑料，这两种塑封剂分别应用在不同的封装工艺中。

对于LED应用，液体型环氧塑封剂的重要性能参数包括透明性、受热和辐射处理后的透明保持性、折射率、玻璃化转变温度（$T_g$）、热膨胀系数（CTE）、粘度、粘附力、抗弯强度、杨氏模量、韧性、吸湿性和阻燃性。LED塑封剂光学性能的惟一要求当然是透明性，其他性能标准与IC业用环氧塑封剂的标准相似，然而，获得这些性能的传统方法并不适合透明的塑封剂系统。例如，在IC行业，虽然添加二氧化硅到环氧塑封剂中可以降低热膨胀系数，提高韧性以及阻燃性，但是这种方法不能用于透明塑封系统，因为微米级的颗粒填充物会阻挡出光从而影响光学性能。据报道，环氧纳米复合材料可作为LED封装的一种可能解决方案。研究发现，加入纳米二氧化硅颗粒后，环氧塑封剂的热膨胀系数降低，但是韧性增加，并且保持了一个较好的透明度[10,18]。同样，增加韧性和阻燃性的方法需要仔细选择，否则会对光学性能产生不利影响。事实上，必须小心控制任何成分的加入，因为即使是透明的液体化学品，也可能存在相容性问题，使固化后的透明性降低，这可能是一个非常具有挑战性的任务。

用于LED封装的典型液态环氧塑封剂是一种热固化型双组分系统。A组分主要包括环氧树脂，而B组分由硬化剂和催化剂组成，还有一些其他的添加剂，如抗紫外剂、抗氧化剂、成型剂，以及根据化学特性灵活掺加的A组分或B组分添加剂。当A组分和B组分混合后，通常在高于120℃的较高温度下加热几个小时后，形成一种交联网络，其特性完全取决于所选择的环氧树脂和硬化剂[6]。在环氧塑封剂配方中，经常使用两种类型的环氧树脂，双酚A二缩水甘油醚（DGEBA）环氧树脂和脂环族环氧树脂，其中前者是一种芳香族环氧树脂。图18.18所示为DGEBA的结构和脂环族环氧树脂结构。在各种环氧树脂固化剂中，最常用的是有机酸酐，原因在于它的粘度低，易于操作，所形成的网状结构具有很好的光学和电学性能。图18.18给出了作为酸酐系一个例子的六氢苯酐（HHPA）结构。DGEBA树脂具有良好的耐热性和高强度，但其耐辐射性不如脂环族环氧树脂；脂环族环氧树脂具有较高的$T_g$和良好的耐辐射性，但其抗湿性不佳。

当使用不同的环氧树脂和固化剂配方时，材料性能可能完全不同，因此根据特定应用需求来选择塑封剂非常重要。M. Edwards比较了三种不同的光学透明塑封剂，其结果对选择塑封剂很有帮助[6]。这三种塑封剂为DGEBA/酸酐、DGEBA/胺

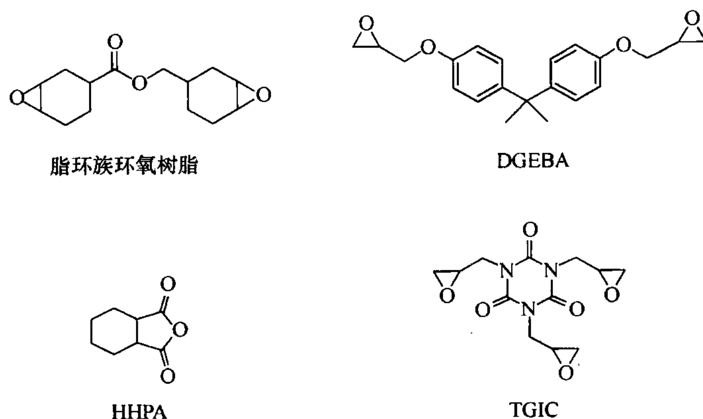



图 18.18　环氧塑封剂组分中一些关键成分的化学结构

和脂环族环氧树脂/酸酐。其中，酸酐系热老化时具有良好的颜色稳定性，而胺系暴露到湿气中仍具有很好的粘附力。固化后的酸酐系具有较高的 $T_g$，而胺系能够低温固化。在选择特定应用材料时，必须考虑到大多数材料的性能是相互冲突的。

环氧硅氧烷混合单体是一种新型透明的塑封树脂[19,20]，将两者混合是为了兼顾硅氧烷树脂和环氧树脂的优势。硅氧烷树脂的耐热性和抗紫外性能稳定，而环氧树脂具有优良的粘附力。单独使用硅氧烷可避免变色，但其粘附力差，可能形成光学界面脱层。酸酐可以固化环氧硅氧烷单体四甲基二氧化硅（BEPDS）。研究发现，当采用催化剂 PX-4ET 时，只观察到轻微的受热变色。因受热和紫外辐射产生的变色直接与催化剂浓度变化有关，当催化剂 PX-4ET 的摩尔浓度为 0.71% ~ 0.35% 时，受热变色程度最小。酸酐浓度直接影响材料的物理性质，当环氧树脂与酸酐的掺量相同时，可以得到最高 $T_g$，最小热膨胀系数和最低程度的热变色[19]。采用热固化阳离子激发剂 CP-77 时，相同单体与其他两种具有不同长度的二甲基硅烷可以阳离子固化，这些单体表现出良好的热阳离子聚合反应活性。当降低催化剂浓度时，可以减小这些聚合物的变色程度。在这些单体中，环氧脂硅烷具有最低的热变色性。短链硅氧烷基团可以形成具有高刚性的玻璃状基体，而长链硅氧烷基团形成具有很大伸长率的柔性材料。

氢化 DGEBA 环氧树脂是为了获得更好的颜色稳定性而开发的一种特殊环氧树脂[7]。通常，当 DGEBA 氢化后，抗紫外线性提高，但热稳定性受到影响。另外报道的一种环氧塑封剂具有室温稳定性，可作为一种单组分塑封剂[20]。研究发现，在激发剂浓度为 0.5phr（0.5 份/100 份重量树脂）时，阳离子聚合的 DGEBA 同时具有最好的化学活性和光学性能，适合作为 LED 封装的光学透明塑封剂。一方面，这种塑封剂在室温下可以保持超过 6 个月的稳定性，但另一方面在低温下能很快固化。而且这种塑封剂的折射率高达 1.6，在交联网状结构中含有较高浓度的芳香

物。如模拟和实验测量中验证的那样，采用这种塑封剂可以提高 LED 显示器件的出光量。以上介绍的只是单组分塑封剂的一个例子，其光学透明，能低温快速固化而不破坏室温稳定性，同时具有较高的折射率。市场上也有少量紫外固化的环氧塑封剂，是单组分的并具有室温稳定性。

采用环氧树脂的复合材料广泛用于制作模塑料，作为电子封装材料和半导体器件和电路的塑封剂。但是用于半导体器件的模塑料都有特定用途，因此用于封装时存在很多重要的材料标准，这些重要性能包括热膨胀系数（CTE）、玻璃化转变温度（$T_g$）、室温和高温杨氏模量、融化粘度与时间和温度的关系、粘附特性（也就是与引线框架、其他管壳金属层、芯片钝化层间的粘附力）、吸湿性、翘曲控制和引线摆动性能等。非常重要的是，包括贴片胶在内的任何封装材料的改变都可以影响到模塑料的可靠性，因此必须选择具有相容性的材料。

固体纯模塑料（Clear Molding Compound，CMC）作为一种部分固化或“B 阶段”成球形的混合物，是一种采用转移模压工艺的常用光电器件塑封剂。与传统模塑料相比，除了其他对于模塑料很重要的特性外，其光学特性需要好好考量，如在设定波长范围的透明度和在使用时的透明保持度。

Katsumi Shimada 公开了一种用于光电半导体器件封装的环氧模塑料生产过程[21]。其配方包括环氧树脂、固化剂和催化剂。加工过程的第一步是融化并混合各种成分，第二步是在给定温度下调节第一步获得的熔融混合物粘度。首选的环氧树脂是双酚 A、双酚 F、酯醛树脂、脂环树脂和具有良好透明性和抗变色特性的异氰尿酸三缩水甘油酯。尽管这种环氧树脂在室温下可能呈液态，但还是要优先选择固态环氧树脂。配方中使用的固化剂可以是无色或黄色的酸酐和苯酚固化剂，首选固化加速剂是叔胺、咪唑衍生物和磷化物[21]。

为了克服短波长时光阻性较差，以及通过脂环环氧树脂改性而成的环氧硅氧烷的线性膨胀系数增加，Hisataka Ito 公开了一种用于光电半导体器件塑封的环氧树脂复合材料，这种环氧树脂复合材料由以下成分组成：1）环氧树脂，也就是脂环环氧树脂与异氰尿酸三缩水甘油酯；2）酸酐固化剂，也就是4-甲基六氢苯酐和六氢苯酐；3）有一个硅氧烷官能团，在每个分子的硅原子上含有至少一个羟基或烷氧基树脂的硅氧烷环氧树脂，其在连接到硅原子的单价碳氢官能团时，取代或不取代芳香族官能团的比例达每摩尔 10% 或更高；4）固化加速剂，也就是叔胺、咪唑衍生物和磷化物[22]。

为了给 LED 封装提供一种像光电塑封剂那样具有良好耐热性和抗紫外线性的有用模塑料。Dale Starkey 公开了一种模塑料配方，包括部分固化的环氧复合材料和抗氧化剂。有时还包括在环氧复合材料中分布充分均匀的荧光粉材料。作为一种环氧成分，日本日产（Nissan）化学工业有限公司销售的商品名为 TEPIC 的异氰尿酸三缩水甘油酯性能特别好。配方中的环酐组分最好采用脂环族酸酐，如六氢邻苯二甲酸酐。为了促进环酐组分与环氧组分间的反应，必须打开酐环，如采用活化氢

来打开这样的酐环。在理想情况下，将多羟基化合物结合到环氧化合物中有助于打开酸酐环，并促进环氧复合材料固化。除了环氧复合材料，模塑料还包括一种或多种抗氧化材料，如瑞士汽巴精化（Ciba Sepcialty Chemicals）公司生产的 IRGANOX 1035、1010 和 1076。脱模剂可以选用带有 12 ~ 20 个碳原子的高脂肪酸或低乙醇酯（1 ~ 3 个碳原子），也可以采用饱和硬脂酸，最好是硬脂酸或硬脂酸甲酯，原因在于这些产品很容易从模具上脱落[23]。

**LED 封装模压/分选/脱模工艺**

在模压/分选/脱模过程中，采用的是液体环氧塑封剂。模压过程通常用于灯型 LED 塑封。在此过程中，半球形 LED 封装（芯片/金线/引线框架）放置在填充有充分混合的液体塑封剂的模具中，在塑封剂完全固化后，使 LED 从模具中脱落（见图 18. 19）。

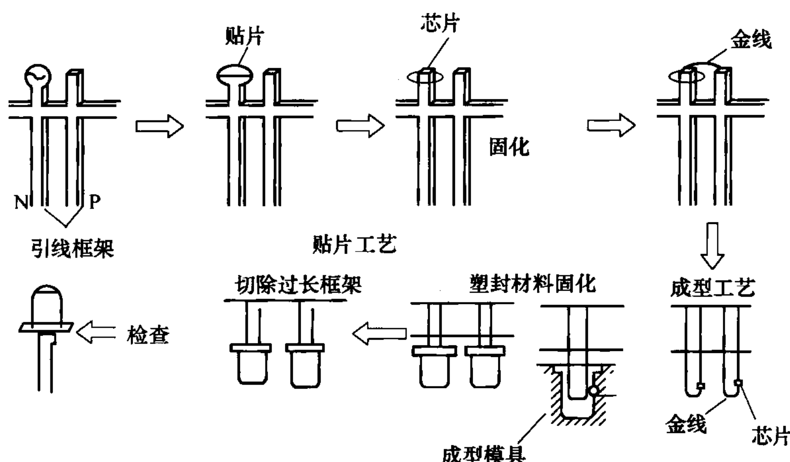



图 18. 19　灯型 LED 封装的模压工艺

**LED 封装模塑工艺**

转移、压缩和注射成型是目前 LED 封装中的模塑工艺。在这些过程中，通常会采用固体塑封剂。对于大批量生产，采用转移模压塑封可以获得低成本、高性能的 LED 封装工艺流程。在转移模压塑封过程中，先手动或自动加载引线框架或层压板阵列到底部模具中，再关闭模具，在高压下压紧。随后在压力作用下，通过压杆运动将预热后（软化）的成型化合物颗粒材料转移到模具腔体，由于热固化材料有效填充了模具容积并固化，最后在模具腔体内形成一个塑封器件[24]。

典型的转移成型工艺过程如图 18. 20 所示。1）加载半球形封装的 LED（芯片/引线框架/PCB）到模具腔体内；2）预热成型化合物颗粒并成型；3）关闭模具，将成型化合物颗粒置于模具中的“锅”内；4）当模具达到预设温度（150 ~ 175℃）且压力为 500 ~ 1000lbf/in$^2$时，将熔化后的化合物用压杆通过腔体入口驱动到腔体里，混合物固化后，模具就被塑封了；5）升起压杆，打开模具，移走 LED

和“传递垫”材料，并把它们扔掉；6）对于某些类型的成型化合物，需要采用成型后固化；7）调整闪光灯并开门。

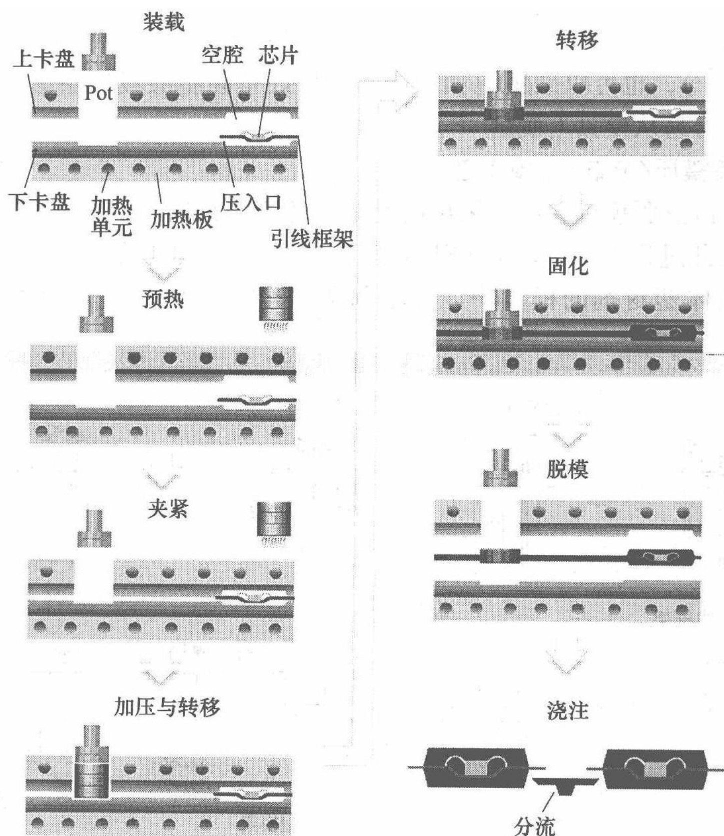



图 18.20 转移成型工艺

在某些特定的应用场合，对于大批量生产而言，压缩成型工艺仍然是最好和最简单的方法。对于 LED 塑封，由于压缩成型法比转移成型法具有一些优点，如采用了液体或固体混合物以及在成型过程中减小材料浪费，所以这种方法正在被重新评估（见图 18.21）。

### 18.3.1.2 白光 LED 封装用液态/固态环氧塑封剂

**白光 LED 封装**

如图 18.22 所示[25,26]，目前有三种广泛使用的办法来获得大功率白光 LED。第一种是直接将三种（或更多）单色光的光源混合，即采用红光、绿光和蓝光 LED 来产生与人眼 RGB 传感器匹配的白光源。这种采用三色 LED 的白光光源具有较高的辐射流明效率，较宽的色温范围和超过 85 的良好显色指数。但是，当器件温度升高时，三色光源的显色点向具有较低 $xy$ 值坐标的显色点漂移，从而导致色

温（CCT）升高。这是因为温度对红光LED的辐射功率影响更大，高温下红光LED的辐射功率比绿光和蓝光LED衰减更快[27]。而且，这种方法的驱动电路很复杂，需要采用复杂的光学反馈驱动电子元件来调整RGB输出，从而平衡温度与工作寿命。对于通用照明应用，白光LED需要简单的驱动电路与较宽的波谱[28]；第二种方法采用紫外光LED来激发由红光、绿光和蓝光荧光粉混合而成的荧光粉，同时产生三种不同颜色的光，因此不存在紫外光逃逸情况。这种方法很有优势，因为出射光颜色具有可重复和非常稳定的特点，而且与荧光灯类似，可以获得较高的CRI。但是由于从紫外变换到蓝光、绿光和红光，光子频率向下转换使效率大幅降低。另外，可以被紫外LED有效激发的红荧光粉还有待开发[29]；第三种方法采用蓝光LED来激发集成到LED封装中的黄色荧光粉。这种方法与前两种方法相比，制造工艺简单，效率更高，并具有可接受的CRI和寿命，成为制造通用照明用大功率白光LED最常用的方法[14,28]。

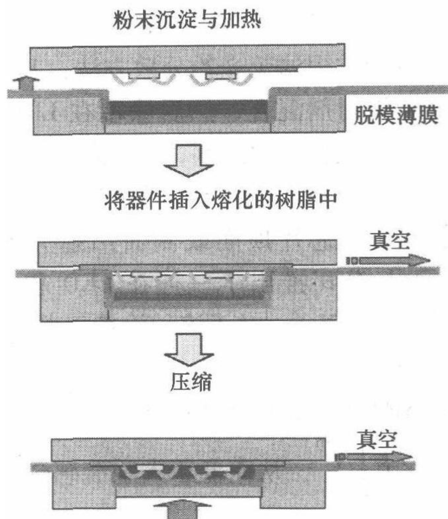



图 18.21　压缩模塑法

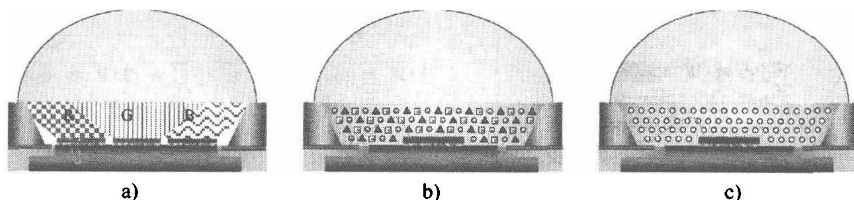



图 18.22　三种制造白光 LED 的方法

a）红光+绿光+蓝光LED　b）紫外光LED+RGB荧光粉　c）蓝光LED+黄色荧光粉

对于采用荧光粉转换的白光LED，荧光粉吸收从初始LED芯片发出的短波长光，将其转化成波长较大的光。例如，可以通过结合使用发蓝光的LED与发黄光的铈激活钇铝石榴石（$Y_3Al_5O_{12}$: $Ce^{3+}$）荧光粉，获得白光LED。蓝光LED发出的初始光作为激发光，其典型波长峰值为440～480nm，黄色荧光粉吸收一部分蓝光，然后发射出波峰值为560～580nm，位于黄光波段的二次波长光，黄光与没有吸收的蓝光合并，得到可以被人眼感受到的白光。这种二元白光的光学性能取决于蓝光功率与黄光功率间的平衡，这种平衡受荧光粉掺量（含荧光粉胶层厚度）、浓度、密度、颗粒尺寸、分布与LED封装中荧光粉涂层的几何形状影响[30-32]。

**白光 LED 封装中的荧光粉分布**

对于常用的荧光粉分散方法，其典型工艺为，荧光粉要么与环氧树脂混合要么与硅胶塑封剂混合，然后涂覆在 LED 芯片上（见图 18.23a）。由于难以均匀分散含少量荧光粉的塑封剂，荧光粉颗粒在固化过程中也会沉淀，导致商业生产的白光 LED 色温（CCT）会有很大的差异。另外，即使在单颗 LED 中，荧光粉塑封层厚度也会随着芯片顶面或侧面出射光角度变化而产生非常大的变化。最近，美国 Lumileds 公司推出了一种在 LED 芯片上采用荧光粉保形涂覆的大功率白光 LED（见图 18.23b）。对于该种涂覆工艺，必须采用倒装结构的 LED 芯片，因为 LED 芯片顶面不能有引线键合焊盘，该焊盘是被荧光粉层所覆盖的。该涂覆过程会导致颜色均匀性增加，如图 18.23c 所示。采用该工艺，与观测角有关的 CCT 变化会降为原来的$\left(\frac{1}{2}\right)^{10}$，从而低于人眼能感受到的极限值[29]。

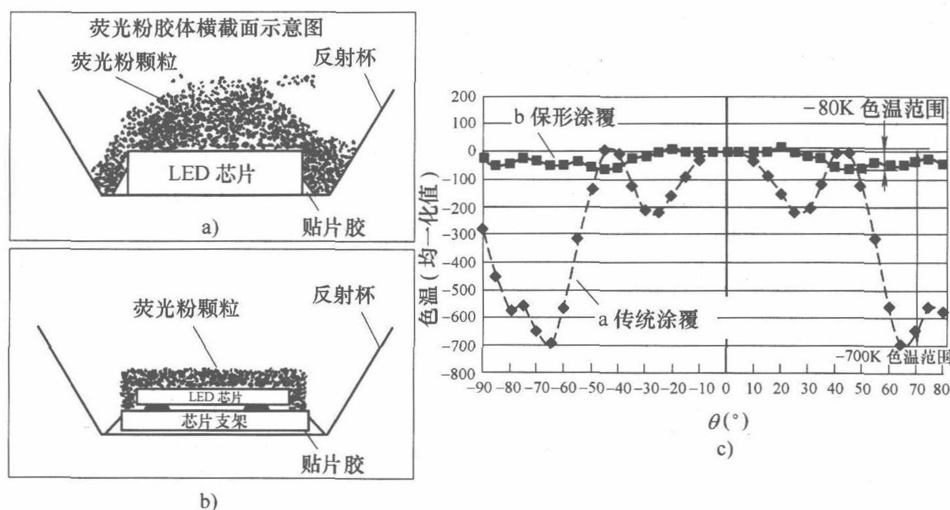



图 18.23 LED 器件结构及 CCT 角度

a）将含荧光粉塑封剂滴到蓝光 LED 芯片上制造的白光 LED 截面图 b）在蓝光 LED 倒装芯片上直接保形涂覆荧光粉层制造的白光 LED 截面图 c）a 和 b 中所示 LED 器件 CCT 随观测角的变化

美国 Lumileds 公司申请的保形涂覆技术专利采用了特殊的设备与工艺，通过在整个 Luxeon 芯片上分布一层厚度均匀的荧光粉层来防止颜色不均匀。与其他白光固态照明光源相比，白光 Luxeon 芯片良好的颜色均匀性能被肉眼感受到（见图 18.24a）。通过在整个 180 度 LED 视角上测量色温（CCT），可以将荧光粉使用效果加以量化，因为普通 LED 的颜色变化通常是中间冷白而外环为暖白或黄光[33]。

此外，采用传统荧光粉点涂方法生产的白光 LED 经常在光斑边缘呈现黄色，而在光斑中央为蓝色，原因在于芯片表面的荧光粉涂层厚度不均匀。这种颜色不均匀将导致整个 LED 封装上出现各种不同颜色的出射光，包括底层蓝光 LED 发出的

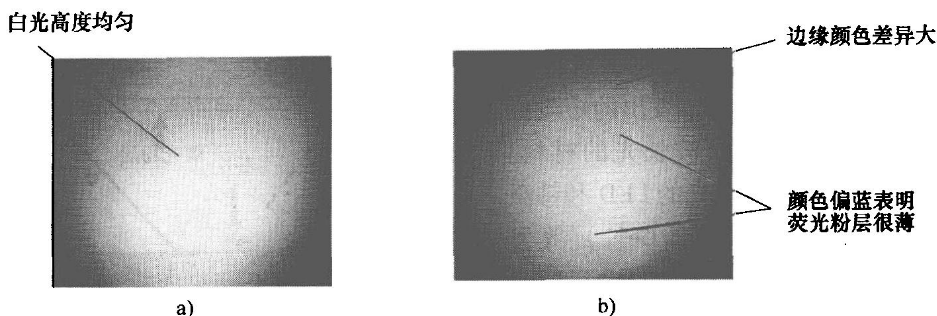



图 18.24 两种 LED 光比较

a) 荧光粉保形涂覆工艺制备的美国 Lumileds 公司 Luxeon 白光 LED

b) 采用传统荧光粉涂覆方式制备的白光 LED

蓝光和黄色荧光粉所转化成的黄光（见图 18.24b）。

**荧光粉远离封装工艺**

在大多数商用 LED 中，荧光粉层要么直接沉积在芯片表面（保形涂覆），要么分散在芯片表面的塑封材料如硅胶中。在传统 LED 封装结构中，大部分从荧光粉发出的光会被反光杯、基板、贴片胶，特别是 LED 芯片所吸收。吸收损失会增加 LED 封装的热载荷，降低白光 LED 的整体出光效率，而且缩短 LED 寿命。

为了使吸收损失降到最小，采用在远离 LED 芯片的区域分布荧光粉。如图 18.25 所示，Tran 的研究指出，通过在远离 LED 芯片处布置荧光粉，可以大大提高流明效率[34]。

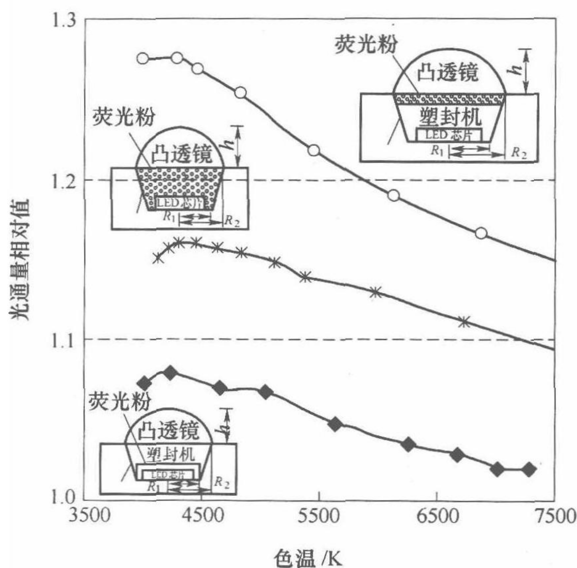



图 18.25 流明效率与荧光粉位置的关系

2005 年 4 月，美国伦斯勒理工学院（Rensselaer Pdytechnic Institute，RPI）的照明研究中心（the Light Research Center，LRC）报道了一种称为散射声子取光（SPE）的远离荧光粉涂敷技术，可以大大提高出光效率，减轻相应的热载荷（见图 18.26）。这种新型 SPE 技术通过将芯片上的荧光粉迁移，并调整芯片周围的一次光学结构形状，提高被封装材料吸收前的背部散射光的出光效率[35-37]。

**荧光粉分布**

对于白光 LED 用荧光粉，可以定义为一种吸收从 LED 芯片发出的短波长光，然后将其转化成长波长光的材料。例如，可通过结合发蓝光的 LED 和铈激活钇铝石榴石（$Y_3Al_5O_{12}:Ce^{3+}$）等发黄光的荧光粉来得到白光 LED，黄光与没有被吸收的蓝光结合，使人眼感知为白光。典型的荧光粉颗粒直径为 2～20μm，比重为 4.5，这种常用荧光粉在可见光范围的折射率为 1.7～2.3。荧光粉通常呈粉末状，采用不同重量百分比分散在液态塑封剂中，如环氧树脂或硅胶（比重为 1.0～1.3），充分混合后的荧光粉/塑封剂混合物可用于塑封 LED 芯片。但是，在固化过程中，荧光粉/塑封剂混合物中的荧光粉颗粒容易沉淀，导致荧光粉在整个固化后的塑封剂中分布不均匀。而且，对于大规模生产而言，荧光粉/塑封剂混合物在用于填充引线框架中的反光杯前，其中的荧光粉沉淀将导致同一批次 LED 的 CCT 不一致。

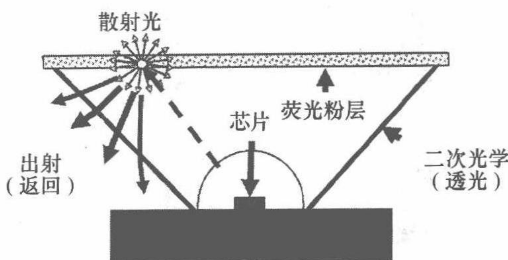


图 18.26 采用 SPE 方法的白光 LED

为了克服荧光粉在荧光粉/液体塑封剂混合物中的沉淀问题，可以采用抗沉淀剂（气相白炭黑）来防止固化过程中的荧光粉沉淀，这种气相白炭黑的网状结构具有悬浮作用，如图 18.27 所示。荧光粉材料里的颗粒悬浮在三维网状中，防止彼此之间的结合或沉淀。气相白炭黑的折射率为 1.4～1.5，而液态塑封剂的折射率为 1.4～1.6，因此当采用气相白炭黑时，由于这种网状结构的散射作用，导致更多从 LED 芯片发出的光被荧光粉材料吸收。在相同 CCT 时，与没有使用气相白炭黑的封装方式相比，使用白炭黑的封装能够降低白光 LED 中的荧光粉掺量，而且提高混合光的颜色均匀性。对于白光 LED，采用气相白炭黑能进一步减小 CCT，这是因为散射效应可使荧光粉材料将更多的长波长光转化成短波长光[38-41]。

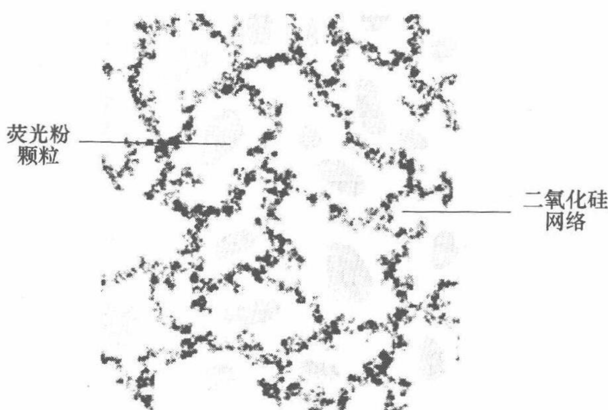


图 18.27 气相白炭黑结构悬浮作用示意图[42]

图 18.28 所示为将气相白炭黑添加到荧光粉/塑封剂混合物中的固化样品与封装后的 LED。研究结果表明，当添加气相白炭黑时，能够有效防止荧光粉颗粒沉淀，使荧光粉均匀分布在整个固化后的塑封剂中。与没有气相白炭黑的白光 LED

封装相比，掺有白炭黑的白光 LED 封装具有抗荧光粉颗粒沉淀，提高颜色均匀性和降低荧光粉掺量的优点。

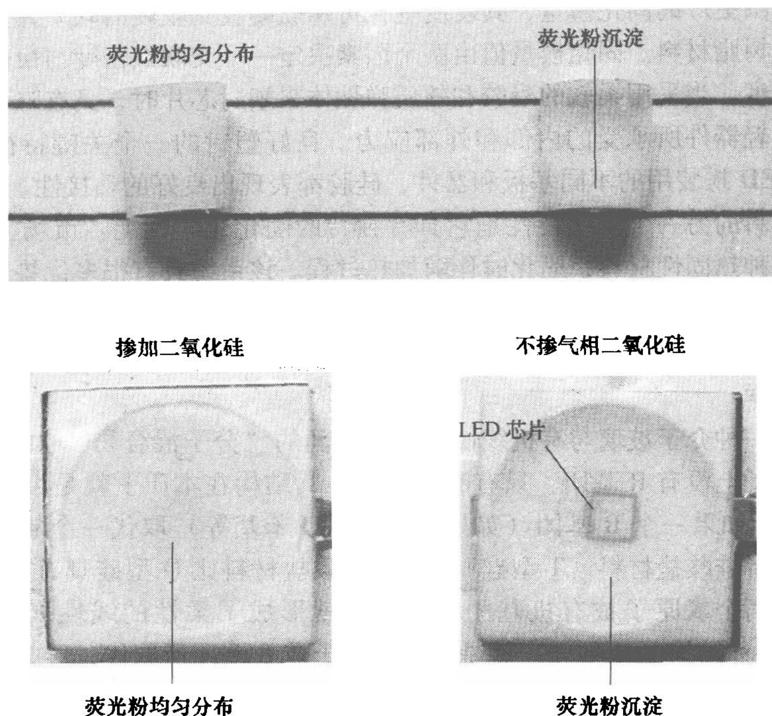



图 18.28　在荧光粉/塑封剂混合物中添加或不添加气相 $SiO_2$ 固化样品与封装后白光 LED 图片

## 18.3.2　大功率 LED 塑封材料

普通 LED 大多采用环氧树脂塑封剂，但是对于大功率的 LED（输入功率 >1w），由于 LED 二极管结温较高，以及蓝光/紫外 LED 中光子产生的传输损耗，导致环氧塑封剂性能由于光热影响而产生衰减。

这种衰减将导致塑封剂-芯片界面的塑封剂严重变色，从而进一步降低使用寿命。与常用的环氧树脂塑封剂相比，硅胶材料能有效抵抗大功率 LED 光源所产生的高温及蓝光-紫外线辐射所产生的变色现象，同时还具有更大的工作温度范围和更好的耐热性，并能有效降低热应力。

### 18.3.2.1　紫外，蓝光以及其他颜色 LED 用硅胶塑封剂

**简介**

硅胶在高亮度 LED（HBLED）封装中具有广泛应用，由于硅胶的热稳定性，低弹性模量，低收缩性，低吸湿性，高透光性及折射率可变，使其与其他材料相比具有很多优势。

硅胶在紫外-可见光波长范围内对光线具有高透明性，对光的吸收损耗最小可以为零，从而使 LED 芯片发出的光能通过硅胶材料高效透过。同样，硅胶材料还可以获得范围更广的固化模量，其硬度变化可从软凝胶到较硬的软质弹性体，甚至硬度更高的树脂材料。固化模量值由两个因素决定——交联点密度与聚合物中枝状硅胶的线性度。当采用柔软的凝胶和软质弹性体来塑封芯片时，具有降低应力的特性，从而减轻器件所承受的内部和外部应力。良好塑封的一个关键特征就是粘接性，对于 LED 封装用的不同基板和器件，硅胶都表现出良好的粘接性。

硅胶材料的另一个关键特性是它具有独特的固化化学性能。市场上用于 LED 的硅胶是一种热固性材料，固化时伴随加热过程。该系统具有很多优势，首先其产品形态既可为单成分，也可为双成分，并能在加热时加速固化，固化收缩率低，并且无固化副产品。

**硅胶化学**

硅胶是一种介于玻璃与有机线性高分子之间的“分子混合物”。如图 18.29 所示，当硅原子上没有 R 基团，只有吸附氧时，其结构在本质上就是无机玻璃（称为 Q 型硅）。如果一个 R 基团（如甲基、乙基、苯基等）取代一个氧原子，就形成了树脂或者硅酸盐材料（T 型硅）。这种硅酸盐材料比 Q 型硅具有更高的弹性。最后，如果两个氧原子被有机基团所取代，就形成了柔性的线性聚合物（D 型硅）。最后一种结构（M 型硅）就是三个氧原子被 R 基团所取代，形成了一个含终端结构的聚合链。如图 18.29 所示，通过改变分子结构中 R 基团的性能与数量，可以控制并调整固化网络结构的光学与机械性能。

(Q) (T) (D) (M)

$SiO_{4/2}$ $R_1SiO_{3/2}$ $R_2SiO_{2/2}$ $R_3SiO_{1/2}$

R= 甲基、乙烯、苯基等

硅酸盐玻璃 硅树脂 倍半硅氧烷 硅胶聚合物

硬度高，脆性大 ——→ 软，有弹性

图 18.29 硅胶聚合物系列中的基本结构单元

常用的硅氧烷聚合物是聚二甲硅氧烷，在该结构中，两个甲基团附着在硅原子上，氧原子联接硅原子并形成原子链，图 18.30 所示为其典型结构。

不同的聚有机硅氧烷具有各种不同的良好弹性体性能，因此可根据各种特殊应用进行选择，如热稳定性（-115～260℃）、阻燃性、光学透明性（折射率高达 1.6）、低收缩率（<2%）及低剪切应力。比如，硅胶塑封剂的肖氏硬度可从 $D>60$（硬树脂）变化到肖氏 A 级（弹性体）再变到肖氏 00 级（软凝胶）。在高亮度

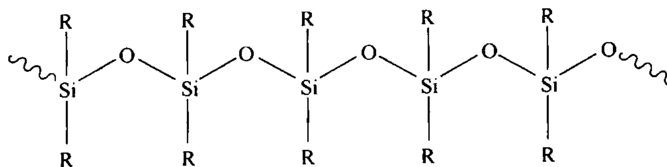



图 18.30 聚有机硅氧烷的化学结构

LED 封装中，硬树脂和弹性体多用于制作光学透镜，而软凝胶多用于塑封芯片和透镜中引线焊接处等对应力比较敏感的区域。双甲基硅胶或二甲基聚硅氧烷是最常用的硅胶聚合物，通常用于制造具有低成本和良好物理性能的硅胶弹性体与凝胶。

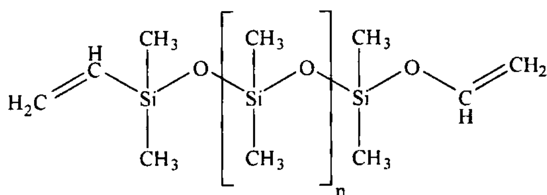



图 18.31 含乙烯端链的二甲基聚硅氧烷的化学结构

二甲基聚硅氧烷的化学结构如图 18.31 所示，包含乙烯基团，常用于铂催化加成反应，所有二甲基聚硅氧烷在 25℃，波长为 598nm 时的折射率都为 1.40。

甲基苯基硅胶系统包含二苯基二甲基聚硅氧烷共聚物。其中，苯基能有效将硅胶系统的折射率从 1.4 提高到 1.6，取决于结构中的苯基浓度。包含二苯基功能的硅胶聚合物在生物光学（如人工晶体）等方面具有重要应用，此时需要利用高折射率材料来制造较薄的芯片。图 18.32 所示为甲基苯基硅树脂的典型结构。

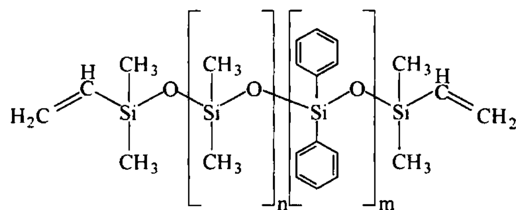



图 18.32 含乙烯端链的二苯基二甲基聚硅氧烷的化学结构

**固化化学**

目前，硅胶固化多采用铂催化加成反应，冷凝锡，过氧化物或肟来实现。上述各种固化方法中，铂催化法最适合于高亮度 LED 封装。固化反应中的加成反应为硅橡胶的形成提供了良好的韧性。这种固化方法最重要的特点就是没有副产物形成，从而使生成的结构具有良好的空间稳定性。在铂催化聚硅酮过程中，利用铂络合物参与氢化硅氧烷聚合物和乙烯硅氧烷聚合物间的反应，从而在两种聚合物中形成乙烯联接，图 18.33 所示为其反应机理。

对基本组成而言，粘度超过 200cPa · s，并且形成的挥发物少于 2% 的乙烯基端链聚合二甲基聚硅氧烷是形成该系统的基础聚合物。这种交联聚合物通常是含有 15% ~50% 甲基有机硅的甲基氢化硅氧烷——二甲基硅氧烷共聚物，而所使用的催

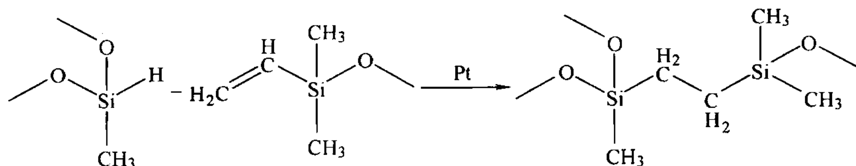



图 18.33 铂催化硅树脂与氢化硅烷加成反应

化剂通常为含铂化合物的乙醇、二甲苯、二乙烯基硅氧烷或可循环乙烯基硅氧烷。该系统一般由两部分构成，根据约定，A 部分通常含铂，浓度为 $5\sim10\times10^{-6}$，B 部分通常包含具有氢化功能的硅氧烷[44-47]。

采用铂催化固化法的系统通常能在加热时很快固化，根据需要也可在低温或室温下固化，这种方法的最大缺点就是存在阻凝的可能性。所谓阻凝，就是系统暂时或永久性的无法凝固，有时为了控制固化速率也会有意添加阻凝成分。但是，当某些阻凝成分与锡、硫及一些胺类化合物接触时，可能会导致永久性的无法固化。因此，通常采用在铂催化加成反应中有意与所测试化合物相接触，观察固化现象的方法来鉴别阻凝成分，由于阻凝成分会导致合成橡胶无法催化或者在固化过程中一直无法调和，从而很容易将这些阻凝成分鉴别出来。

**硅胶折射率对出光影响**

对于 LED 塑封材料而言，折射率是一个非常重要的光学性能。因为低折射率塑封剂（$n=1.4\sim1.6$）与高折射率的 GaN（$n=2.4$）材料间存在很大的折射率差异，导致光在顶层与底层 GaN 间多次反射而被“困住”，从而降低出光效率。众所周知，采用高折射率塑封剂可提高 LED 器件的出光效率。但是随着技术进步，任何能破坏 GaN 层平面结构的方法——刻蚀、抛光、研磨或加工纹路——都有利于光线出射，从而避免光在 GaN 层被吸收（见图 18.34）。因此，对于从 GaN 层提取光而言，塑封剂的折射率与未经粗化加工的 GaN 层折射率相比并不是那么重要。

此外，在一些典型应用中，平面型 LED 常用于预期视角接近垂直入射角或者需要将 LED 尽可能与平面出射相配合的情况。对于平面封装而言，如果光在塑封剂与空气界面处被全内反射，那么在塑封剂中的光线就无法出射。在这种情况下，采用低折射率塑封剂封装的大功率 LED 将比采用高折射率塑封剂封装的大功率 LED 拥有更高的输出光效。

为了更好地验证上述光学原理，同时也为了更好地理解塑封剂折射率对出光效率的影响，实验中采用相同的引线框架封装了两种蓝光 LED，一种为平顶（FT）发射面，另一种为带透镜的平顶发射面（FTWL），分别测试了采用各种不同硅胶塑封前后的光功率（单位为 mW）。实验发现，对于所有的两种封装形式，塑封后光功率的增长比例会随着所采用的硅胶折射率增加而有所降低，FTWL 结构与 FT 结构相比，由于 FTWL 中的全内反射作用较少，FTWL 塑封结构具有更高的光学输出（见图 18.35）。

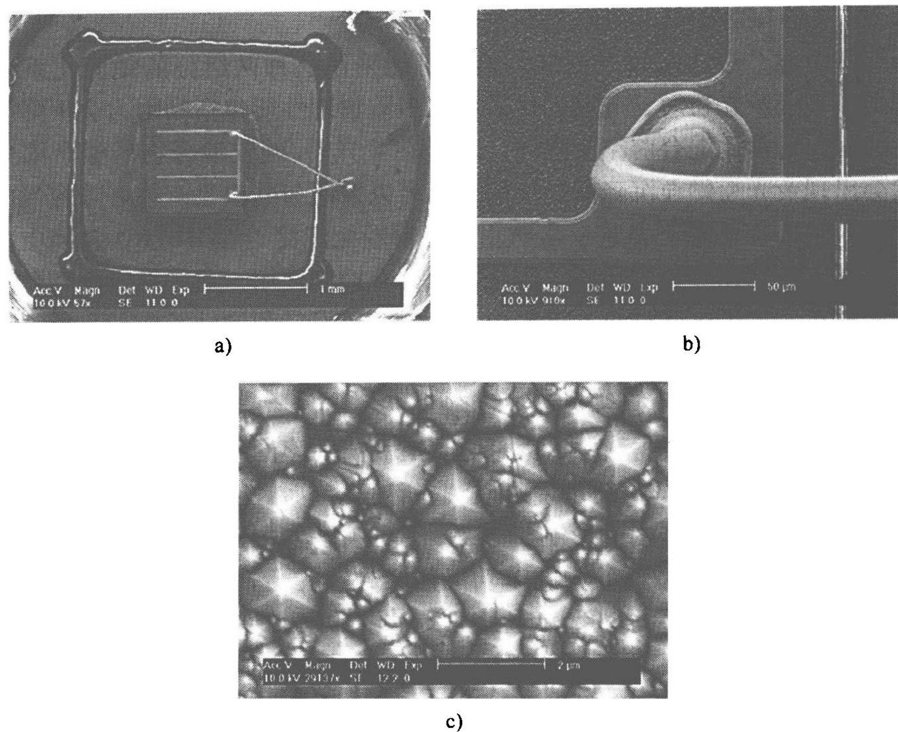


图 18.34　SEM 图片

a）波长 460nm，1mm×1mm 大功率蓝光 LED 芯片　b）金线键合　c）经表面粗化处理的 LED 芯片结构

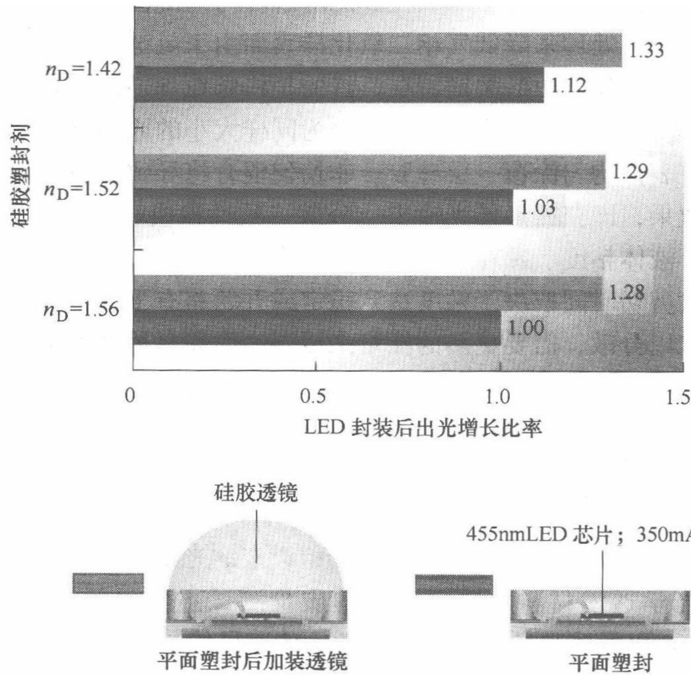



图 18.35　有或无透镜时硅胶塑封后的出光量变化（$n_D$ = 1.42）

#### 18.3.2.2 白光 LED 封装用硅胶塑封剂

如前文所述，对白光 LED 封装，最有可能采用这种两组分的铂固化系统来混合荧光粉。加入荧光粉后，硅胶固化后的大多数物理性能包括粘附力会下降。尽管混合后的硅胶通常比混合前粘度提高，但是在荧光粉/硅胶混合物的整个固化过程中仍然会出现荧光粉颗粒沉降问题。因此，可以采用与硅胶具有很好兼容性的气相二氧化硅（经表面处理）来进一步防止荧光粉颗粒沉淀。在 HBLED 封装中，应该认识到硫磺、胺和锡等物质对硅胶固化过程具有抑制作用，通常助焊剂和贴片胶中含有这些材料。如果这些材料不可避免，就应该研发特制的硅胶成分来抵消这种抑制作用。此时，固化时芯片级封装设计与应力情况成为选择硅胶分散体硬度与粘接强度的首要因素。

在目前可得到的硅胶材料中，大部分具有高折射率的硅胶系统具有良好的热稳定性。在硅胶系统增加苯功能团不仅能提高折射率，而且能减小由位阻引起的温度变化对硅胶聚合物化学结构的影响。但是，最近用紫外或蓝光 LED 作为一次光源的大功率白光 LED 表明，硅胶中的苯功能团会导致光传播损失，从而使高折射率硅胶变色，降低 LED 寿命。颜色变化一般是由大功率白光 LED 中的蓝光/紫外光 LED 光源的高照度引起，与高折射率硅胶相比，没有苯基团的低折射率硅胶具有较好的抗变色性能。

气相二氧化硅是增强型硅胶系统中最常用的强度填充剂，也是目前很多工业中制备硅橡胶的主要成分。二氧化硅颗粒是无孔的，因此分散于硅胶中时与硅胶具有良好的相互作用。为了提高气相二氧化硅的溶解度与润湿性，使更多颗粒分散在硅胶中，通常采用化学处理来降低气相二氧化硅表面由于氢键产生的吸引力。

一致性是任何颗粒分散的关键所在，目的是将颗粒均匀混合与分散在整个液体中。理想的分散要求将所有荧光粉颗粒破碎为同样大小的原始颗粒，然后使颗粒间等距离分布并在表面均匀涂覆一层硅胶。非均匀混合将导致结块与沉淀，难以达到分散荧光粉的效果，即获得最佳光输出。分散一致性取决于分散设备的剪切能力、剪切时间长度、液体粘度、颗粒尺寸与粉末浓度。

通常，最大剪切时间取决于粘度达到稳定或开始略有下降的时间。颗粒比表面积越大，就越难以分散，需要更多的能量来浸湿表面积。另一种影响分散状态的关键性能是颗粒结构，颗粒结构越致密，意味着越难以进入颗粒间的空隙并分散这些颗粒。

### 18.3.3 光学透镜材料

通常由最终产品、总成本与制造可能性所设定的光学、力学和环境要求来选择 LED 封装中的光学透镜材料。透镜材料的质量测试主要包括透光率与色散因子（即 Abbe 因子），以及耐热性与抗紫外特性。玻璃虽然是最好的透镜材料，但其价格高于其他材料，当系统对光学精确度或光学系统与力学结构间的集成性要求较低

时，可以选择使用塑料。适合作为透镜的标准热塑性塑料有丙烯酸树脂（PMMA）、聚碳酸酯（PC）、聚苯乙烯（PS）、聚乙烯丙烯腈（SAN）和聚酰胺 12（PA12）。在这些材料中，光学级 PMMA 与高质量 UL 级 PC（见图 18.36）经常用于 LED 封装，可以获得较好的光学特性与效率，以及材料的长期稳定性与耐用性。当采用热塑性材料时，需要特别注意材料的一些特殊属性，材料成形性能、模具加工与设计。

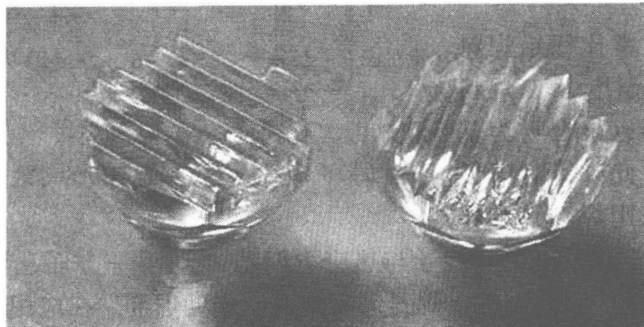


图 18.36　采用高质量 UL 级 PC 加工的 LED 透镜

如上节所述，硅胶材料具有许多优点，非常适合于 HBLED 封装，软凝胶与树脂化合物都可以用于加工硅胶透镜。为了满足精密成型需要，一些小而复杂的透镜可采用树脂化合物加工。在此加工过程中，将透镜模具杯倒扣在已注入高流动硅胶材料的 LED 封装基板上，然后热固化。与此同时，可采用各种技术来制作光学部件，如铸造法、压缩成型法与喷射造型法。采用多腔体模具的成型过程非常适合于大批量、低成本生产各种光学部件如 LED 透镜。采用硅胶成型技术也可以设计出独特的光学结构，提高 LED 器件的出光效率。许多供应商已经开始采用两组分加成后可固化的硅胶化合物来大批量生产 LED 透镜[48]。

## 18.3.4　光学芯片键合材料

由于出现了大功率 LED，LED 器件的散热就非常有必要。除了封装设计，为了将 LED 芯片产生的热量高效导出，所有的封装材料，特别是贴片材料需要具有很高的热导率。从 LED 芯片到电路板的等效热电阻如图 18.37 所示。

但是，与其他封装材料相比，贴片胶的热导率还是偏低。贴片胶是控制热流路径的瓶颈，因此会影响热流速率，也就是说，贴片胶的电导率与热导率以及在恶劣环境中的稳定性显著影响 LED 性能。在选择与开发贴片胶材料方面已投入了很大精力。在一篇已发表的综述文章中，作者详细讨论了导电粘接材料、应用及作为环保型焊料取代物在电子封装工业中的最新进展[49]。

一般来说，贴片材料主要分为两种：有机金属粘胶与焊膏。有机粘胶是在聚合物基体悬浮金属颗粒而制成，颗粒尺寸经常只有几个微米，通常呈银薄片状。

聚合物基体由树脂（如环氧、硅胶或聚酰亚胺）提供粘附力与凝聚力，形成具有一定机械强度的结合键，而金属颗粒则提供导电率与热导率。聚合物粘胶的最小固化温度大约为150～170℃[50]。

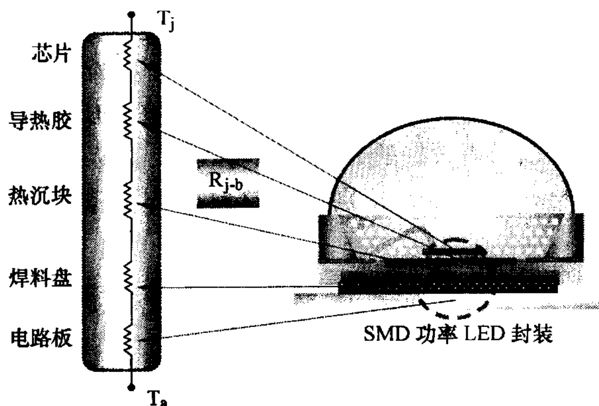



图 18.37　从结点到电路板的等效热阻示意图

无铅焊料通常比锡铅焊料具有更高的回流温度[51]，焊料的工艺温度高于以聚合物为基体的金属粘胶。此外，对于尺寸较大的芯片采用焊膏，会导致芯片底部出现空洞，产生热传导与热应力问题[52]。另一方面，为了去除本征氧化层，提高焊膏的表面润湿性，焊膏通常含有一些助焊剂。在应用硅胶的同时最好不要使用焊料，原因在于硅胶固化对包括助焊剂在内的化学物质非常敏感[53]。但是，对于大尺寸 LED 芯片封装的大功率 LED，为了获得较高的热稳定性与优良的抗辐射性能，就必须采用硅胶进行塑封。因此，对于大功率 LED，研究者正在积极开发有机金属粘胶来取代以焊料为基础的贴片材料。

## 18.3.5　大功率 LED 用 PCB 材料

由于大功率 LED 封装与材料技术的发展，高光通量 LED 模块得到了飞速发展。如图 18.38 所示，在过去的 30 多年里，每隔 24 个月，单位封装体的光通量就增加一倍。大功率 LED 芯片与封装技术将产业带入了一个新的转折点，但是散热问题严重制约了 LED 发展。对于 LED 出光效率，只有15%～20%输入功率转化成光能，余下的大部分都转化成热能，因此如果热量不能有效耗散到环境中，LED 的可靠性与寿命就是一个大问题。图 18.39 给出了结温对相对光强与典型 LED 寿命值的影响。当结温很高时，输出光强与寿命就线性下降。因此，降低 LED 结温就显得非常重要，封装热管理就是将 LED 热量有效耗散到环境中。图 18.40 所示为典型的单芯片 LED 封装结构

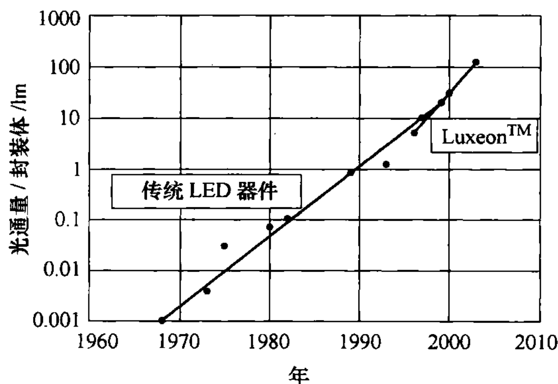



图 18.38　单位封装体的光通量演变
（授权源自 Lumileds）

示意图，包括光学透镜、LED 芯片、透明塑封剂、荧光粉与热沉块。封装过程中将 LED 芯片用焊料或银膏粘贴到热沉上，降低热沉块的热阻是 LED 封装模块中最常用的方法，美国 Lumileds 公司、德国 Osram 公司、美国 Cree 公司和日本日亚（Nicha）公司等都采用了这种 LED 封装模块。将这种 LED 模块封装在基板上，就可以得到光束、光阵和光圈。对于小型投影仪和汽车头灯等应用，光通量需要几千流明，需要采用多芯片 LED 封装和板上芯片（COB）技术。如采用 COB 封装结构，基板热阻在散热问题中将占据重要角色[54-58]。

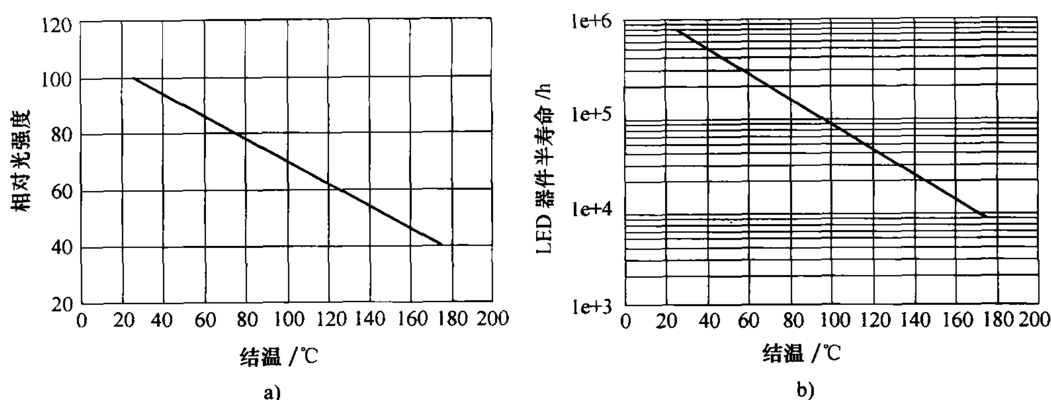



图 18.39 LED 结温与相对光强和典型寿命值间的关系

a）与相对光强关系 b）与典型寿命值关系

### 18.3.5.1 LED 基板材料

如图 18.38 所示，在 LED 封装中，采用焊料或粘胶将单个或多个芯片粘贴到热沉块上后，用环氧树脂塑封，最后将透镜装上去。当提高 LED 输入功率时，基板必须能够将 LED 芯片产生的热量耗散到环境中，因此，同时具有结构强度与散热能力的基板才能满足 LED 封装应用要求。传统发热量不多的 LED 器件可以采用覆铜 PCB 进行封装，但是对于大功率 LED，覆铜 PCB 已经难以满足散热要求，因此，需要将覆铜 PCB 贴装到铝基板上，这就是所谓的金属核 PCB（MCPCB）。另外一种方式是将绝缘层或介电层涂覆到铝基板上，然后在介电层上印制电路，LED 模块可以采用引线键合到 PCB 上。为了减小介电层热阻，采用在 LED 模块中的热沉块上打孔，这就是所谓的直接芯片贴

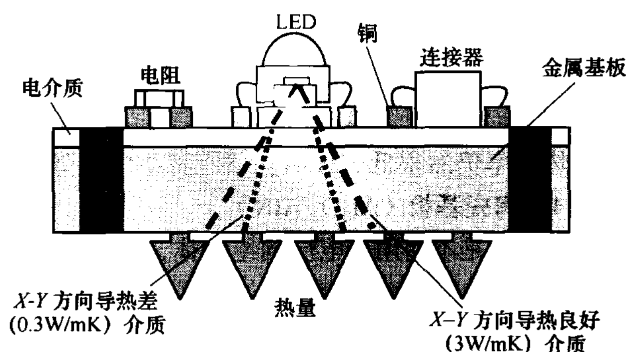



图 18.40 典型 MCPCB 结构示意图

装。表 18.3 总结了常用的基板及其性能的比较。

**表 18.3 不同 LED 基板材料比较**

| 基　板 | 基板特性 |
| --- | --- |
| PCB | 低性能，低成本（CTE = 13 ~ 17 × $10^{-6}$/$K$，$K$ = 0.36W/mK）<br>面板尺寸大，铜层厚度高达 100μm<br>中高成本，CTE 高（17 ~ 23 × $10^{-6}$/$K$）<br>介质层热导率低（$K$ = 1 ~ 2.2W/mK） |
| MCPCB（金属核 PCB） | 工作温度限于 140℃下，工艺温度限于 250 ~ 300℃<br>面板尺寸大（18in × 24in），热导铜层很厚（25 ~ 500μm）<br>中高成本，CTE 低（4.9 ~ 8 × $10^{-6}$/$K$），中高热导率（$K$ = 24 ~ 170W/mK） |
| 陶瓷（$Al_2O_3$/AlN） | 面板尺寸小（边长小于 4.5in）<br>工作温度高，适合高功率器件<br>中高成本，CTE 低（5.3 ~ 7.5 × $10^{-6}$/$K$） |
| DBC（直接键合铜） | 热性能高（24 ~ 170W/mK），导热铜层很厚（120 ~ 600μm）<br>工艺温度与工作温度高（高达 800℃）<br>适合高功率与大电流 |

#### 18.3.5.2 印制电路板（PCB）

传统意义上的 LED 电路板就是 FR-4，采用单个或多个覆铜层设计来制造。FR-4 的热导率为 0.36W/mK 左右，热膨胀系数为 13 ~ 17 × $10^{-6}$/$K$ 左右。PCB 具有低成本、技术成熟、适用于大尺寸基板等优点。

#### 18.3.5.3 金属核印制电路板（MCPCB）

由于 PCB 热导率较低，散热能力较差，于是开发了金属核 PCB，也就是将 PCB 贴装到铝基板上。MCPCB（见图 18.38）适合于大功率 LED 封装，但是其介电层的热导率仍然很低，今后的研究将集中在降低介电层热阻上。

#### 18.3.5.4 陶瓷基板（$Al_2O_3$/AlN）

陶瓷基板是不使用介电层的绝缘体，具有良好的热导率，并与 LED 芯片、Si 衬底或蓝宝石的热膨胀系数相当。如 AlN 和 SiC 的热导率同样大约为 170 ~ 230W/mK，而热膨胀系数同样大约为 3.5 ~ 5 × $10^{-6}$/K（见表 18.4）。陶瓷基板适合于大功率 LED 封装，可以在高温下使用。但是，由于其价格很高，陶瓷基板一般只用于小尺寸基板上。

**表 18.4 AlN 陶瓷基板与其他材料比较**

| 材　料 | 热导率/(W/mK) | CTE/( × $10^{-6}$/K) | 比　重 | 比热导/(W/mK) |
| --- | --- | --- | --- | --- |
| Si | 150 | 4.1 | 2.3 | 65 |
| GaAs | 54 | 6.5 | 5.3 | 8 |
| GaN | 130 | 6 | 6.1 | 21 |

（续）

| 材 料 | 热导率/(W/mK) | CTE/(×10⁻⁶/K) | 比 重 | 比热导/(W/mK) |
|---|---|---|---|---|
| $Al_2O_3$ | 20 | 6.7 | 3.9 | 5.1 |
| AlN | 170～230 | 3.5～5.7 | 3.3 | 51～70 |
| Al | 150～230 | 23 | 2.7 | 50～70 |
| Cu | 400 | 17 | 8.9 | 45 |
| AlSiC | 200 | 8.4 | 3 | 67 |

#### 18.3.5.5 直接键合铜基板（DBC）

金属基板与陶瓷键合的热导率高、热膨胀系数小，电绝缘性能良好。如纯铜在 $O_2$ 作用下会形成 CuO，熔点从 1083℃下降到 1065℃，也就是 CuO 的共熔点。CuO 与 $Al_2O_3$ 或 AlN 在高温时会形成化合物（见图 18.41）。这种铜键合陶瓷基板散热性能较好，适合用于大功率 LED 封装。

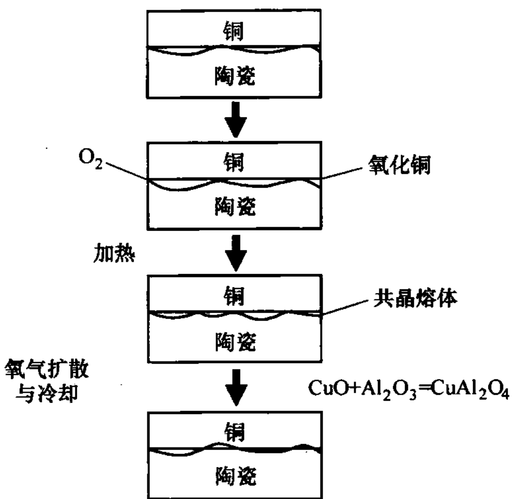



图 18.41 铜键合陶瓷基板的制造工艺

大功率 LED 的最新发展提高了输入功率与结温，因此为了满足不同的应用，开发了低重量、高热导率和低热膨胀系数的基板。表 18.5 给出了一些先进的金属合成基板及其热性能。随着材料与 LED 封装技术的提高，光电转换效率也在不断增加，这些先进的 LED 产品包括 LCD 背光源、显示器、汽车和照明。由于散热会大大影响 LED 寿命与光输出，LED 封装最大的挑战就是热管理，提高介电层热导率非常关键。一种可能的解决方法就是开发一种同时具有高热导率、低热膨胀系数的金属基板，同时提高介电层的热导率[59]。

表 18.5 先进的 LED 基板材料及其性能

| 材 料 | 热导率/(W/mK) | CTE/(×10⁻⁶/K) | 密度（g/mm³） | K/ρ（W/mK） |
|---|---|---|---|---|
| Cu-Mo-Cu | 184 | 7.0 | 10 | 18.4 |
| Cu-铟伐-Cu | 164 | 6.02 | 8.45 | 19.4 |
| SiC/Al | 170～220 | 8.75～11.5 | 2.9～3.0 | 57～73 |
| 连续 CF/Al | 300～800 | 3.2～11 | 2.3～2.5 | 120～315 |
| 分立 CF/Al | 218～290 | 4～7 | 2.3～2.7 | 92～100 |
| 连续 CF/Cu | 330～800 | 6.5～9.5 | 4.2～6.8 | 50～200 |

（续）

| 材　料 | 热导率/(W/mK) | CTE/(×10$^{-6}$/K) | 密度（g/mm$^3$） | $K/\rho$（W/mK） |
| --- | --- | --- | --- | --- |
| 分立 CF/Cu | 300~400 | 7~10.9 | 4.5~6.6 | 50~100 |
| Al 颗粒片状 | 400~420 | 6~7 | 2.3~2.7 | 195~200 |
| 金刚石/Al | 400~600 | 4.5~5.0 | 3.4 | 174~260 |
| 金刚石+SiC/Al | 550~600 | 7.0~7.5 | 3.1 | 177~194 |
| 金刚石/Cu | 600~1200 | 5.8 | 5.9 | 330~670 |
| CVD 金刚石 | 1100~1800 | 1~2 | 3.5 | 310~510 |
| 高温定向裂解石墨（HOPG） | 1500~1700 | -1 | 2.3 | 650~740 |

## 18.4 材料、LED 性能与可靠性

光通量（流明数）维持率是指在任何给定的时间从光源出射的光通量与首次测量该光源光通量的相对比值，通常用一个百分数来表示，随时间稳步下降的斜率就是光通量维持率。经过很长一段时间，通常为成千上万小时后，LED 器件的流明数会衰减，但不是所有的 LED 都具有相同的光通量维持率。LED 是一个由多种材料组成的复杂封装体，各种材料必须共同作用才能获得长寿命。芯片设计、热管理、光学材料、荧光粉，甚至整个封装体的组装，都会影响光通量维持率。大功率 LED 产业联盟-固体照明系统与技术协会（ASSIST）发现，70%的光通量维持率接近人眼所能感知的光输出量减小的极限，ASSIST 的研究表明，对于大多数人而言，通用照明的出光量降低 30%是可以接受的[60]。

许多应用塑封剂的产品要求在低温下具有较高的强度和耐久性，并能承受高低温循环。这些应用产品不仅受到日/夜变化或季节变化的影响，汽车零件、光学装置、变压器等户外设备除了承受正常的日夜和季节导致的温度变化外，还遭受设备开关过程中的温度变化影响。

由于 LED 封装体中的各种封装材料的热膨胀系数不同，内部温度超过最大额定值或反复的热循环冲击将会导致潜在的多种类型灾难性失效。内部温度过高可由环境温度过高和 LED 芯片结温过高所引起，其中结温过高通常是由于正向电流过高或热阻过大所致。

根据应用不同，采用不同塑封材料封装的 LED 应能承受几百次从 -40~120℃ 的非工作温度循环。但是，随着循环温度变得更高或更低，灾难性失效将会发生得更快。由于热应力过大产生的最常见失效形式为金线断裂，金线断裂也属于正常的 LED 磨损机制。但是，如果温度过高，温度循环引起的失效就会加速。然而，金线断裂失效其实是比较少见的，由于热应力过高导致的最常见键合引线失效形式为

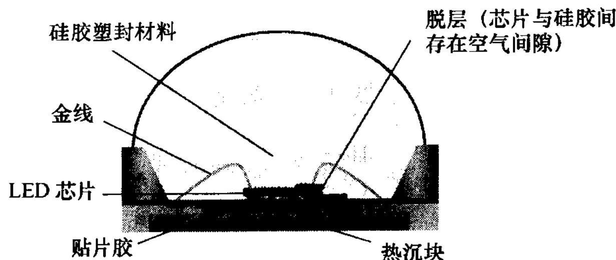


图 18.42 LED 芯片与塑封材料间的脱层

键合点断裂，从而导致键合点上的引线断开。

温度过高会引起 LED 芯片与塑封材料间脱层，图 18.42 所示为 LED 芯片与硅胶塑封材料间脱层的简图。一般来说，脱层问题并不会引起灾难性失效，但是可以导致永久性的出光量降低。对于白光 LE 封装，脱层要么发生在荧光粉层与塑封材料间，要么发生在 InGaN 芯片与荧光粉层间[61]。

LED 性能和可靠性取决于出射光通量与质量，而这些参数都与 LED 散热有关。因此，如果光电转化效率低于 50%，就需要将大功率 LED 封装体所产生的多余热量传导出去。可以监控 LED 性能与可靠性的一个最重要参数是结温（$T_j$），结温升高会降低出光量和 LED 寿命[62]。

可以采用多种间接技术来测量 LED 结温，包括微拉曼分光镜[63]、热阻[64]、电致发光[65]和光致发光[63]等。但是，最直接的方法是通过测量二极管正向电压与 LED 结温间的关系来得到结温。二极管正向电压法由两个步骤组成，即校准测量与结温测量。在校准测量中，将所测器件（DUT）置于一个温度可控的烘箱中，然后连接到驱动与测量设备上，当结温达到与可控烘箱的温度相同时，施加脉冲电流到所测器件上来防止自加热，从而可以测量电压降。根据理论推导，可以得到正向电压的温度系数为[67]

$$\frac{\mathrm{d}V_f}{\mathrm{d}T} \approx \frac{k}{e}\ln\left(\frac{N_D N_A}{N_C N_V}\right) - \frac{\alpha T(T+2\beta)}{e(T+\beta)^2} - \frac{3k}{e} \tag{18.1}$$

式中，$V_f$为正向电压；$N_C$ 和 $N_V$ 为导带和价带的有效态密度；$\alpha$ 和 $\beta$ 为 Varshini 参数；$N_A$ 和 $N_D$ 为掺杂浓度。

实际应用中，可以用线性拟合电压降和不同平均温度间的关系来得到校核曲线。校核曲线可以作为 DC 测量结温的一个参考值，并建立起正向电压与结温间的关系。

可以通过观测不同环境温度下的基板温度来评估正向电压法的准确性。假设从结点到基板的热阻在不同环境温度下保持不变。在不同环境温度下，同时测量稳态时的压降与基板温度。通过校核曲线中的正向电压插值计算出对应的结温。如图 18.43 所示，对于不同的烘箱温度，计算得到的结温与测量出的基板温度变化曲线是两条基本平行的直线，也就是说它们斜率之间的差别小到 0.012。

在得到 LED 结温后，可靠性测试就非常有意义。而且，结温随着 LED 工作电流变化而变化，这种情形与不同环境温度下工作的 LED 结温变化相似。因此，在 LED 可靠性测试中，应该包括不同驱动电流下出光量随时间的变化。

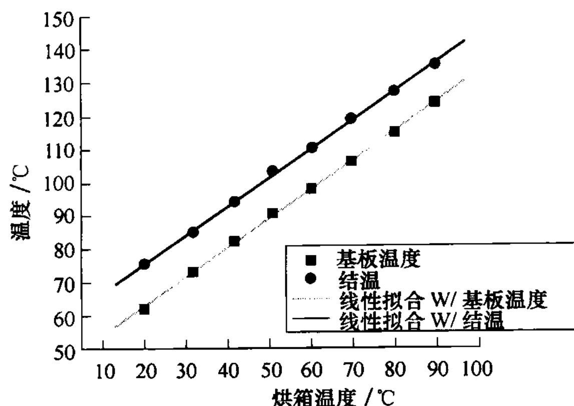



图 18.43 不同环境下计算得到的结温与相应测得的基板温度

## 致谢

感谢 Yongzhi He 博士在本章研究中所提供的技术性建议。另外，还要感谢与 Jiun Pyng You 和 Yeongher Lin 有意义的讨论，以及他们在图表上的大量帮助。

## 参考文献

1. E. Fred Schubert, "Light-emitting diodes", Cambridge: Cambridge University Press, 2nd ed., 2006
2. "LED lighting technology: lessons from the USA", Report of a DTI global watch mission, March 2006
3. C. W. Wessner, "Partnership for solid-state lighting: Report of a workshop", Washington, DC: National Academy Press, pp. 58–61, 2002
4. F. M. Steranka et al., "High power LEDs – Technology status and market applications", *Physica Status Solidi (A)*, Vol. 194, No. 2, pp. 380–388, 2002
5. R. J. M. Zwiers et al., "Development of a new low-stress hyperred LED encapsulant," *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, Vol. 12, No. 3, pp. 387–392, 1989
6. M. Edwards et al., "Comparative properties of optically clear epoxy encapsulants", *Proceeding of the SPIE, International Society for Optical Engineering*, Vol. 4436, pp. 190–197, 2004
7. Y. Morita, "Cationic polymerization of hydrogenated bisphenol-A glycidyl ether with cycloaliphatic epoxy resin and its thermal discoloration", *Journal of Applied Polymer Science*, Vol. 97, pp. 1395–1400, 2005
8. J. C. Huang, "Comparison of epoxy resins for applications in light-emitting diodes", *Advances in Polymer Technology*, Vol. 23, No. 4, pp. 298–306, 2004
9. Y. Morita, "Curing of epoxy siloxane monomer with anhydride," *Journal of Applied Polymer Science*, Vol. 97, No. 3, pp. 946–951, 2005
10. Y. Zhou et al., "Optical nanocomposite materials for photonic packaging," *Proceedings of PhoPack*, pp. 34–36, 2003
11. Y.C. Lin et al., "Materials challenges and solutions for the packaging of high power LEDs", *International Microsystems, Packaging, Assembly Conference Taiwan*, pp. 1–4. 2006

12. C.P. Wong, "Thermal-mechanical enhanced high-performance silicone gels and elastomeric encapsulants in microelectronic packaging", *IEEE Transactions on Components Packaging and Manufacturing Technology (PART A)*, Vol. 18, No. 2, pp. 270–273, 1995
13. J. H. Lau et al., "Electronic packaging: design, materials, process, and reliability", New York : McGraw-Hill, 1998
14. H. Luo et al., "Analysis of high-power packages for phosphor-based white-light-emitting diodes", *Applied Physics Letters*, Vol. 86, No. 24, 243505, 2005
15. M. Rossi et al., "Micro-optics promote use of LEDs in consumer goods", *LED Magazine*, 2005
16. J. P. Dakin et al., "Handbook of Optoelectronics", New York: Taylor & Francis, 2006
17. R. N. Kumar et al., "Ultraviolet radiation curable epoxy resin encapsulant for light emitting diodes", *Journal of Applied Polymer Science*, Vol. 100, No. 2, pp. 1048–1056, 2006
18. Y. Zhou et al., "Epoxy-based optically transparent nanocomposites for photonic packaging", *Proceedings of Advanced Packaging Materials: Process, Properties and Interfaces, 9th international symposium*, pp. 100–102, 2004
19. Y. Morita et al., "Thermal initiated cationic polymerization and properties of epoxy siloxane", *Journal of Applied Polymer Science*, Vol. 100, pp. 2010–2019, 2006
20. Y. Zhou et al., "One component, low temperature and fast cure epoxy encapsulant with high refractive index for LED applications", *IEEE Transactions on Advanced Packaging*, Vol. 31, No. 3, pp. 484–489, 2008
21. US Patent 6,713,571, Mar.30, 2004
22. US. 20060204760, Sep.14, 2006
23. US patent 7,125,917, Oct.24, 2006
24. L. Rector et al., "Molding transforms to meet advanced market requirements", *Advanced Packaging*, 2007
25. D.A. Steigerwald et al., "Illumination with solid state lighting technology", *IEEE Journal of Selected Topics in Quantum Electronics*, Vol. 8, No. 2, pp. 310–320, 2002
26. A. Bergh et al., "The promise and challenge of solid-state lighting", *Physics Today*, Vol. 54, No. 12, pp. 42–47, 2001
27. S. Chhajed et al., "Influence of junction temperature on chromaticity and color-rendering properties of trichromatic white-light sources based on light-emitting diodes", *Journal of Applied Physics*, Vol. 97, No. 5, Art. No. 054506, 2005
28. M. Yamada et al., "A methodological study of the best solution for generating white light using nitride-based light-emitting diodes", *IEICE Transactions on Electronics*, E88C, No. 9, pp. 1860–1871, 2005
29. F. M. Steranka et al., "High power LEDs – Technology status and market applications", *Physica Status Solidi (A), Applied Research*, Vol. 194, No. 2, pp. 380–388, 2002
30. E. F. Schubert et al., "Solid-state lighting – a benevolent technology", *Reports on Progress in Physics*, Vol. 69, No. 12, pp. 3069–3099, 2006
31. E. F. Schubert et al., "Solid-state light sources getting smart", *Science*, pp. 1274–1278, 2005
32. M. S. Shur et al., "Solid-state lighting: Toward superior illumination", *Proceedings of the IEEE*, Vol. 93, No. 10, pp. 1691–1703, 2005
33. "Lumileds delivers white LEDs with patented conformal coating", *LED magazine*, 2005
34. N. T. Tran, "Simulation studies for the design and manufacturing of optical sensors and white light emitting devices", PhD Dissertation.
35. N. Narendran, Y. Gu, J. P. Freyssinier-Nova, and Y. Zhu, "Extracting phosphor-scattered photons to improve white LED efficiency", *Physica Status Solidi (A)*, Vol. 202, No. 6, pp. R60–R62, 2005
36. N. Narendran, "Improved performance white LED", *Fifth International Conference on Solid State Lighting, Proceedings of SPIE*, Vol. 5941, pp. 45–50, 2005
37. "Cyberlux acquires rights to remote phosphor technology", *LED magazine*, 2006
38. US. 20060181192, Aug. 17, 2006
39. US. 7045956, May. 16, 2006

40. US. 6791259, Sep. 14, 2004
41. "CAB-O-SIL® Untreated Fumed Silica Properties and Functions", Cabot Corp, www.cabot-corp.com
42. A. Norris, M. Bahadur, and M. Yoshitake, "Silicone materials development for LED packaging", Dow Corning Corporation
43. A. W. Norris et al., "Novel silicone materials for LED packaging", *Proceedings of SPIE*, Vol. 5941, 594115, Sep. 14, 2005
44. W. Noll, "Chemistry and technology of silicones", New York: Academic Press, 1968
45. R. Jones et al., "Silicon-containing polymers", Dordrecht: Kluwer Academic Publishers, 2000
46. S. Clarkson et al., "Siloxane polymers", New Jersey: PTR Prentice Hall, 1993
47. W. Lynch, "Handbook of silicone rubber fabrication", New York: Van Nostrand Reinhold Company, 1978
48. A. Norris et al., "Silicone materials development for LED packaging", *LED Magazine*, 2006
49. Y. Li et al., "Recent advances of conductive adhesives as a lead-free alternative in electronic packaging: Materials, processing, reliability and applications", *Materials Science and Engineering R*, Vol. 51, pp. 1–35, 2006
50. K. Gilleo, in: J.S. Hwang (Ed.), "Environment-friendly electronics: Lead-free technology, electrochemical publications Ltd., Port Erin, UK, 2001 (Chapter 24)
51. M. Abtew et al., "Lead-free solders in microelectronics", *Materials. Science and Engineering R*, Vol. 27, pp. 95–141, 2000
52. W. C. Wu et al., "Investigation on the long term reliability of power IGBT modules", *Proceedings of the International Symposium Power Semiconductor Devices and ICs*, Yokohama, Japan, 1995
53. L. H. U. Andersson et al., "Silicone elastomers for electronic application. I. Analyses of the noncrosslinked fractions", *Journal of Applied Polymer Science*, Vol. 88, pp. 2073–2081, 2003
54. J. Petroski, "Cooling High Brightness LEDs: Developments, Issues, and Challenges" *Next Generation Thermal Management Materials and Systems Conference*, June 15–17, 2005.
55. F. Wall, "Bringing it all together-the basics of building an LED module/assembly", *IMAPS Advanced Technology Workshop on Power LED Packaging and Assembly*, Palo Alto CA, USA, Oct. 26–28, 2005
56. J. Kolbe, "Benefits of insulated metal substrates in high power LED application", *IMAPS Advanced Technology Workshop on Power LED Packaging and Assembly*, Palo Alto CA, USA, Oct. 26–28, 2005
57. D. Saums, "Developments in CTE-Matched, High Thermal Conductivity Composite Baseplate Materials for Power LED Packaging", *IMAPS Advanced Technology Workshop on Power LED Packaging and Assembly*, Palo Alto CA, USA, Oct. 26–28, 2005
58. A. Roth et al., "Direct copper bonded substrates for use with Power LEDs", *IMAPS Advanced Technology Workshop on Power LED Packaging and Assembly*, Palo Alto CA, USA, Oct. 26–28, 2005
59. J. D. Hwang, "The Status and Development of LED Thermal Enhanced Substrate", www.materialsnet.com.tw, Vol. 231, 2006
60. "Understanding Power LED Lifetime Analysis", white paper, Philips Lumileds Lighting, San Jose, CA, USA
61. "Luxeon Reliability", Application Brief, Philips Lumileds Lighting, San Jose, CA, USA
62. N. Narendran et al., "Solid-state lighting: failure analysis of white LEDs", *Journal of Crystal Growth*, Vol. 268, No. (3–4), pp. 449–456, 2004
63. S. Todoroki et al., "Temperature distribution along the striped active region in high-power GaAlAs visible lasers", *Journal of Applied Physics*, Vol. 58, pp. 1124–1128, 1985
64. S. Murata et al., "Adding a heat bypass improves the thermal characteristics of a 50 μm spaced 8-beam laser diode array", *Journal of Applied Physics*, Vol. 72, pp. 2514–2516, 1992
65. P. W. Epperlein et al., "Influence of the vertical structure on the mirror facet temperatures

of visible GaInP quantum well lasers", *Applied Physics Letters*, Vol. 62, pp. 3074–3076, 1993
66. D. C. Hall et al., "Technique for lateral temperature profiling in optoelectronic devices using a photoluminescence microprobe", *Applied Physics Letters*, Vol. 61, pp. 384–386, 1992
67. Y. Xi et al., "Junction and carrier temperature measurements in deep-ultraviolet light-emitting diodes using three different methods", *Applied Physics Letters*, Vol. 86, pp. 031907–031909, 2005

# 第19章　数字健康与生物医学封装

Lei Mercado, James K. Carney, Michael J. Ebert,
Scott A. Hareland, Rashid Bashir

**摘要**：本章评述了保健产业的发展趋势与意义，以及电子封装在植入式器件、起搏器、生化传感器与诊断型传感器方面的应用，介绍了上述各种器件在电子封装与材料方面的独特优势与挑战。

**关键词**：植入式器件，生化传感器，探头，诊断，封装。

## 19.1　简介

个人计算机与手机的飞速发展在通信与半导体行业产生了很多功能强大，满足消费者需求的产品。然而与此同时，这些产品为了保持竞争优势，利润越来越低，投资越来越高，迫使制造商不断寻求具有高增长率和高效益的新鲜市场。

同时，随着人口老化，对优质医疗的要求不断提高。为了满足这种需求，开发了很多医疗器件，由于医疗器件通常具有较高的利润，很多电子领域的大型企业已经组建了数字健康部门。然而，医疗器件对电子封装和材料提出了新的挑战。另外，该行业对新进者的准入门槛很高，如需要很长的产品监控与批准时间，高质量与高可靠性要求，医疗责任与病人安全考虑等。医疗器件通常生产批量小，从而降低了大批量制造工艺所具有的成本优势，这对大型电子公司的决策具有重要影响。由于存在服药与微创疗法等很多替代技术，在提高病人和医生对医疗器件的认识等市场开发方面还存在巨大的挑战。

## 19.2　保健发展趋势——医疗器件和电子封装的机遇与挑战

### 19.2.1　保健趋势与主要驱动力

在经济压力、人口变化、以病人为护理中心、信息技术与技术进步等众多因素驱动下，下一个十年保健业将发生重大变化。保健服务也面临着巨大的、前所未有的成本压力，即使病人就医后的返款每年降低10%，十年内医疗系统也将面临破产。随着婴儿高峰期出生的人步入黄金年龄，人口也在逐渐老化。医疗护理技术的进步使人的寿命延长，而长寿意味着人要长期生活在需要医疗管理的患病条件下，

预计护理方式也将从以医院为中心转变为以病人为中心，患者在管理个人健康方面具有更大的主动权，从而促使护理服务回归家庭。

### 19.2.2 保健趋势对电子封装机遇与挑战影响的意义

保健发展趋势的每一个重要驱动力都给电子封装和材料带来了机遇与挑战。

#### 19.2.2.1 经济压力

为了降低保健成本，用于医疗器件的返款正逐步降低，这给器件制造商带来了降低价格的压力，必须降低成本和提高生产效率。因为病人开始自掏腰包支付更多的医疗成本，从而要求医疗服务与器件具有更好的质量和更低的成本。

#### 19.2.2.2 人口变化

随着年龄增长，很多病人面临着多种疾病困扰。其中一些病人需要到多位具有不同专业背景的门诊去看病，如普通外科、内科、心脏科、肾病科和内分泌科等。然而，单独在一个门诊下进行治疗很多是无效的，除非同时在监控其他条件（多个病症）下进行治疗。不幸的是，各个科室的专家间很少沟通。研发的新技术必须能测量与管理患者的所有必要信息，并能告知各位治疗专家。

#### 19.2.2.3 以病人为护理中心

病人将进一步参与并授权管理自己的健康。朝着受患者驱动、以病人为中心的医护服务逐渐转变，满足病人需求将成为一个关键的成功因素。器件小型化是病人的最高要求，他希望医疗器件的使用对日常生活的干扰尽可能小。出于同样的原因，病人也不希望担心医疗器件与环境的相互作用，因此要求医疗器件对核磁共振成像系统（Magnetic Resonance Imaging，MRI）是安全的，并与电磁兼容。患者人口的全球化与多样化使产品定制更加重要，以满足不同文化与地理位置人口的需求。

大多数植入式器件采用电池供电，电池寿命是病人的一个重要关注点。当电池耗尽后，病人不仅要支付更换器件的费用，通常还必须再次经历手术过程，以取出现有的器件并放入新器件。这增加了病人的成本，不方便，并且潜在的感染风险。因此，提高电池容量，降低能量消耗，同时降低植入器件的尺寸一直都是一项挑战。

婴儿高峰期出生人口的老化对医院的有效性提出了高要求，他们必须为有限的看病时间而竞争。病人不再容忍驱车几小时只是为了一个例行检查，因此远程病人管理系统深受医生，同样也受到患者的欢迎。

#### 19.2.2.4 信息技术进步

信息技术进步一直推动着医疗信息管理模式的转变，70%的医院在建立电子健康档案方面取得了进展，技术进步也加强了病人数据资料收集。另一方面，信息量过多和医护人员短缺要求医生获取的信息更加有效，这进一步提高了数据存储与处理能力要求。

## 19.3 植入式医疗器件的外部封装

### 19.3.1 生物气密性

植入式医疗器件的外部封装可作为身体与敏感电子器件间的生物屏障，帮助吸收作用在器件上的机械力，同时也具有一些关键的电子功能，满足各种治疗需求。任何植入人体的医疗器件必须经过严格控制，并经过严格测试，以保证封装体是生物相容的。大家认可的生物相容性的定义是在1987年由David Williams给出的：生物相容性是某种材料在特定应用条件下所表现出的具有适当宿主反应的能力[1]。不适反应的例子包括毒性（对细胞有毒）、病变和/或染色体变异、敏感性（过敏反应）、高烧（发热）或溶血（红细胞损害）等。幸运的是，尽管此处列出了植入体的很多潜在的不良生物反应，但也存在很多经过深入测试和批准的生物相容性材料，并已在整个器件行业广泛应用，作为植入式医疗器件的外部封装材料。大多数植入式脉冲发生器（Implantable Pulse Generator，IPG）如起搏器、神经刺激器、药物注入泵、用于慢性治疗的可植入式心律转变器、除颤器（Implantable Cardioverter Defibrillator，ICD）等。其外部结构都是采用相对普通的非毒性材料如钛金属作为“密封盒”，以聚亚胺脂或硅胶化合物与粘胶剂作为界面层。这些材料作为器件外部封装的首选成分已经应用了几十年，并得到了该领域数十亿病人小时的真实验证，具有高度的可靠性和可证实的生物相容性。可植入器件的生物相容性还存在一些额外的挑战，将在本书19.4节进行描述。

有时候，对某些金属敏感或过敏的病人可选用定制器件（通常镀金），以降低或消除对器件的过敏反应。虽然金属的过敏反应较常见，但很少有植入式医疗器件需要采用这些特殊涂层。

有些医疗产品如探头，需要花费大量的精力来开发更牢固、生物相容性更好的新材料，但大多数医疗器件的“密封盒”都能满足目前的应用要求。一些正在研发的新技术将影响器件的外部封装，包括研究不同的表面涂层以降低感染的可能性。采用新材料作为传感器的新型植入式医疗电子产品在获得应用批准前，必须证明具有足够的安全性与生物相容性。

### 19.3.2 电学兼容性

外部封装的另一个重要功能是与器件电路一起工作，使敏感电子不受大量的外部电场和磁场干扰。几十年前，最早的几代内部植入式起搏器采用聚合物材料进行电子封装，没有采用金属外壳屏蔽器件周围的电磁场。这可能导致器件的使用受到干扰，而安装有起搏器的病人也必须记住，无处不在的信号警告他们微波的存在。目前，这种微波警示信号正在消失，主要是器件采用了金属外壳，并设计了电子输

入电路，作为生物信号传感与病人治疗传输间的窗口。有几个标准规定，必须对植入式医疗器件，特别是提供生命维持治疗器件的抗电场和磁场干扰水平进行标识。这些标准包括 EN45502-2-1（对低功率器件）、EN45502-2-2（对高功率器件）及 CD ANSI/AAMI PC69 标准。这些标准描述了测试方法，暴露在电、磁场中或之后的器件性能标准，以及在一定功率水平、某种电磁辐射频率范围内进行器件测试的原因。

在音频与电视传输、电子监控门、射频识别系统（RFID）、某些无线服务以及某些医疗过程（如透热疗法、射频消融等）中，通常会对低频发射器（450MHz）及其功率水平提出要求，中间频率（0.45 ~ 3GHz）下的测试主要围绕手机与某些射频系统技术。在过去的大约十年中，频率范围经历了爆炸式增长，需要继续改进新的调制模式和应用，满足器件要求。对于超高频（≥3GHz）如微波辐射的要求较少，原因在于理解能力有限，再加上器件可提供的对器件电子的自然保护及身体对这些辐射的屏蔽。

新技术与器具在市场上不断出现，对这些发射器进行测试和分类的要求变化也很快。由于新干扰源如混合动力汽车发动机、便携式音乐系统（如 iPod）、带无线传输的视频游戏系统等的出现，医疗器具制造商经常被问到这些干扰源对器具的潜在干扰。医疗器件结构（封装与输入电路设计）要求外部干扰不改变器件的治疗行为或者对器件产生不利影响，从而给病人带来危险，具体包括在特定的干扰暴露水平下，器件能安全操作，器件设置与编程的维护及对病人的安全治疗输出。

### 19.3.3　机械要求

器件可靠性的机械要求也完全依赖于器件的外部构造与“密封盒”内的封装，以保护敏感电子。该要求列出了器件的使用条件（温度、振动、冲击等）及运输、储存、操作过程中的性能标准。一旦器件植入后，外部封装结构将保护器件免受不利变化的影响，包括循环载荷（肌肉反复运动对器件的作用力）、气压变化（从高纬度商用飞机到深海潜水）与机械冲击（钝物损伤）。此外，现有标准如 EN45502-2-1 和 EN45502-2-2 规定了最低要求，但没有规定要强制性采用何种特定的设计方法和诊疗实践。

对连接器还存在其他机械要求，连接块作为可植入器件与探头间的界面，实现器件与相应器官与组织间的连接。为了在探头与驱动电路间保持电路畅通，在植入体（如探头插入）和慢性植入条件下（如循环载荷），维持连接器的机械完整性非常重要。

### 19.3.4　电学通路

从电学上讲，器件的外部封装可成为器件与人体间电路的一部分。在很多起搏器产品中，器件可作为一个电极与一个或多个探头电极形成回路进行编程控制，其

构造可在一些起搏器（所谓的单极起搏器）或生物阻抗测量装置中见到，如穿过胸腔，用于胸腔内胸肌区植入器件与探头间的生物阻抗测量装置（见图 19.1）。

在 ICD 的高功率去纤颤疗法中，器件可能成为电路的一个必不可少的组成部分，允许将高能量从穿过心脏肌肉的除颤电极高效传递到器件外壳。如果除颤电路不利用外壳，为了将穿过心脏的能量转移，避免心律不齐等威胁生命的问题，则必须消耗大量的能量，和/或在体内采用完全不同的，可能令人不舒服的器件与探头结构。

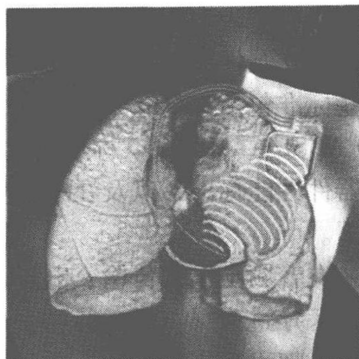


图 19.1 在器件盒与引线间形成的电学通道

## 19.3.5 内部封装

在植入式医疗器件内部，电路与封装结构看起来与现货供应的消费类电子产品惊人相似。早期的起搏器设计极其简单，只要求一个电源和几个晶体管，以提供稳定的电输出脉冲来刺激心脏肌肉，新式起搏器具有一系列功能，包括用于信号处理与治疗优化的板上微处理器，与外界的无线通信传输以及诊断数据存储等。这些新增特性使器件具有了关键的传感与起搏功能，以及用于 ICD 产品中的额外高电压治疗。图 19.2 所示为一个去掉一半外壳的植入式起搏器（美国 Medtronic EnRhythm 公司型号为 P1501DR）的内部组件，包括集成电路、分立器件、电回路与电池。

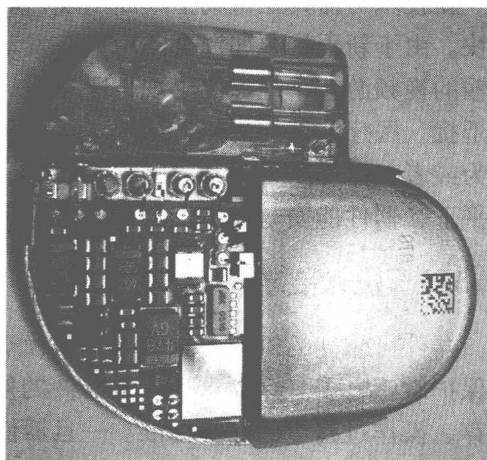


图 19.2 起搏器内视图（Medtronic EnRhythm 型号 P1501DR）

实现所有这些功能要求的信号范围非常大，给电路及将所有功能集成的封装带来很大挑战。图 19.3 给出了一个 ICD 产品几项基本功能的信号振幅与脉冲宽度（以频率代表）特性。感测对器件的优化操作非常重要，必须对心脏信号非常敏感，其典型振幅在 0.5 ~30mV 间，频率低于 100Hz；对非心脏器件如神经刺激器，也存在类似的感测要求。在存在起搏信号（典型振幅为 0.5 ~5V，脉宽为 0.1 ~1s）时能感测到关键信号。

有时候，需要采用高电压心脏除颤疗法来终止威胁生命的心律不齐，这些疗法可产生高能（8 ~35J）输出脉冲，电压振幅为几百伏特，脉冲时间约为 100ms。因

为应用范围很广：从低振幅传感要求的起搏疗法、高压除颤疗法，到板上微处理器与记忆功能，从近距离（厘米级）感测频率为几百 KHz 到远距离（米级）几百 Hz 的应用，都需要采用激进的功率管理技术。实际上，为了获取适当的感测而降低噪声水平时，单一集成电路并不能完全和同时满足这些要求。这些相互冲突的要求和技术能力限制了系统设计能力，难以在单一硅片上实现这些功能，通常的设计是选择最好的 IC 技术来满足给定的性能、功率和可靠性要求。

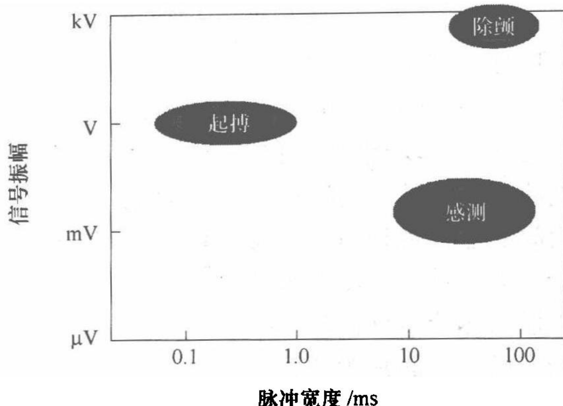



图 19.3　ICD 获取的信号振幅与脉冲宽度的大致范围

为了降低信号对器件感测能力的影响，采用了很多电路技术，包括高可调滤波和消隐周期。在允许实现这些功能互连的同时维持合适的噪声水平方面，封装发挥了关键作用，特别是对具有精细感测功能的器件。

植入式器件电子封装一个值得指出的重要方面是其一旦置于体内，便处于相对温和的热环境，在整个植入期间，器件一直保持相对稳定的 37℃ 体温。另外，通过设计保持极低的功率消耗（典型功率消耗小于 100mW），使器件与封装外壳升温在产品寿命的绝大部分时间内保持最低值。高压除颤疗法过程中的加热通过设计控制，并且只占用了通常器件寿命很少的一部分时间。对于产品中的 IC 而言，电子封装结构的基础温度与热梯度并不影响可靠性。

植入式医疗器件的主要部件包括电池、含普通电路板的电子组装体、大电容器（对高电压热疗产品）、感测天线、传感器（如感测运动与磁场）和额外的连接器。对于电子组装体，电路板由分立电子器件与集成电路（IC）组成，IC 本身可采用多种封装形式，包括众所周知的倒装焊以及新型器件中的芯片堆叠组装工艺。该产业的一个驱动力是不断降低器件尺寸，满足美容目的、病人舒适度和最佳器件植入位置要求，这些要求一直会对器件的外部和内部封装设计产生压力。图 19.4 所示为在过去 15 年中 ICD 器件体积的演变。

起搏器产品不要求采用高能除颤疗法中的大电容器，也不需要采用高功率电池设计，因此其体积显著降低，比 ICD 同类产品约小三分之一。自从 1990 年首次采用模组结构，ICD 器件的体积降低取得了明显进展，但体积降低并不总是器件所要求的。通常，器件体积增加与器件尺寸相对稳定的这段时间（从 20 世纪 90 年代后期到现在），受器件新增特性与技术所驱动，如果器件性能维持不变，就会导致器件体积降低。在过去的几年中，这些新增特性包括提高除颤能量（目前为 35J），

要求改变电池与高压电容器；提高感测距离，实现器件与接收器间的长距离通信；提高计算功能；或者增加电池容量，延长两次电池更换间的器件使用寿命。除了传统器件外，新型植入式监视器与热疗器件的尺寸也不断降低，目的是为了到达体内新位置，简化植入程序，避免手术而采用更温和的植入方式，如通过针头直接注入。在接下来的几年中，将在新型与改进设计技术、材料研发、优化疗法与封装技术等方面的共同作用下，降低器件体积。

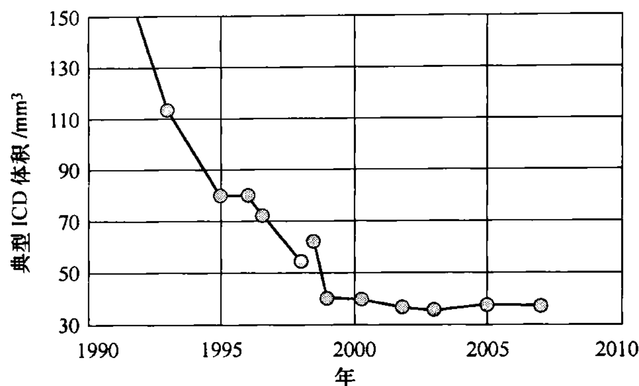



图 19.4 典型 ICD 的体积随着年份变化

### 19.3.6 软错误与单一事件不适

由于在植入式医疗器件中采用了激进的功率管理与适度的计算负荷，节省能量的强大压力要求 IC 的运行电压必须相当低。这些运行模式将导致敏感性降低，由于 α 粒子、热中子及来自宇宙辐射的能量中子而产生软错误。我们对软错误物理性质及其对 IC 技术影响的理解还不是很新，但生命维持器件较高的可靠性要求器件本身集成很多安全特性。为了将这些特性（如修正错误代码、容错能力与数据完整性检测等）所要求的功率、面积与技术负荷降到最低，最可取的方法是保持材料的高纯度及加工和制造过程中的清洁度，采用封装材料与技术将 α 粒子产生的不适潜在影响降低到最小。对产品的封装结构进行清洁，可降低产品负荷及多余安全性的必要性。

## 19.4 医疗器件探头

### 19.4.1 探头评述

起搏器探头是将电流从起搏器或 ICD 输送到心脏的金属线，起搏器探头通过胸腔内的静脉植入，并固定在心脏内。通常一个探头位于右心室，另一个位于心脏病患者的右心房，另一个探头也可插入冠状窦并固定在左心室上。

心脏除颤器探头通常插入到右心室，一旦进入心脏，探头必须固定在肌肉上。固定方式可以是主动的（手术固定），如可伸长/收缩的螺旋状电极[2]，也可以是被动的（无创伤），如图 19.5 中所示的针尖结构[3]。探头主体是塑性和柔性的，随着心跳振动，每分钟 60 次的心跳速率与探头每年大约 3200 万次的振动相一致。

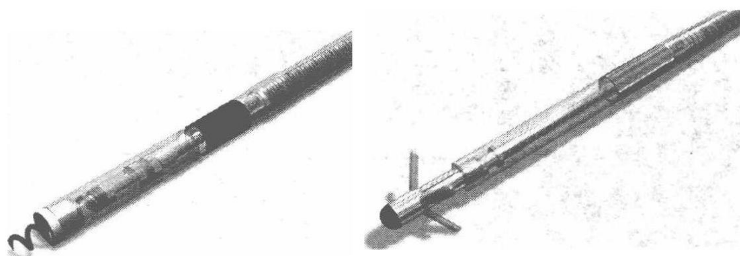


图 19.5　含可伸长/收缩螺旋结构的主动固定式探头与叉状探头

与植入式脉冲发生器一样，探头也必须是生物相容和生物稳定的。影响起搏器探头生物相容性的因素包括材料、探头设计或形状、植入位置、植入技巧以及材料/器件在体内抗性能退化的能力（生物稳定性）。

用于人体前，必须对材料和探头的生物相容性进行评估。ISO10997 概述了测试方法，每一项都必须进行测试，这些测试内容包括评价溶血性、高热特性、急性或慢性中毒、敏感性与致癌性。此外，探头也必须植入动物体内进行长期生物相容性与生物稳定性评估。

探头与构成探头的材料必须能承受体内的化学和机械环境。体内的主体环境由水、电解液（如 $Na^+$、$K^+$、$Ca^{+2}$、$Mg^{+2}$、$Cl^-$、$HPO4^{-2}$、$SO4^{-2}$、$HCO_3^-$）、蛋白质、脂肪酸、乳酸、尿酸、肌胺酸、胆红素、胆汁盐、葡萄糖、尿素和其他成分组成。此外，起搏器探头和其他植入式器件还必须面临炎症或体外反应。

器件一旦植入体内就开始产生一系列反应，起搏器探头表面覆盖一层或多层外体巨型细胞和/或巨噬细胞以及纤维胶囊，纤维胶囊主要由含噬菌细胞的胶原蛋白和纤维细胞组成[4]。外来物体反应产生的蜂窝状结构对起搏器探头材料的生物稳定性具有显著影响，这些细胞可以释放大量的酶和氧化剂，破坏外来物体（起搏器探头）。复合材料似乎对氧化剂（$H_2O_2$、$O_2^-$、OH）和水解酶所表现的生物稳定性影响最大。

起搏器探头由插在脉冲发生器上的连接器、导体或携带电荷到起搏点的导体、导体与电极间的绝缘体组成。

## 19.4.2　探头连接器

探头连接通常被认为是无关紧要的，然而，探头插进脉冲发生器连接器的方式不当是导致再次手术的主要原因之一。不同制造商的探头连接器并不总是标准件，20 世纪 80 年代早期采用了几种独特的连接器设计，这意味着不采用适配器，一家制造商的探头不能直接插入另一家制造商的脉冲发生器。20 世纪 80 年代中期，名为 IEC/ISO 的国际起搏器标准工作联合小组起草了探头连接器正式国际标准 IS-1，如图 19.6 所示。



图 19.6 IS-1 型探头连接器

然而，该标准只规定了单极和双极弯头起搏器探头设计的连接，植入式心律转变器与除颤器（ICD）的发展产生了适用于高电压探头连接器的连接标准 DF-1。目前，起搏器公司正试图制定新的连接器标准 IS-4，可实现小尺寸探头连接器的多头连接。展望未来，有可能设计一种连接器来消除不适当插入产生的问题。此外，对于探头上的多个电极和多个传感器而言，允许多头连接也是必须的。

## 19.4.3 导体

起搏器探头中采用了两种类型的导体，如图 19.7 中所示的线圈与电缆。线圈最早由 William Chardack 博士在 1961 年首次采用，大大降低了导体折断性[5]，线圈中的金属线最初采用不锈钢，有时会产生腐蚀作用。铂和铂合金可降低腐蚀问题，但价钱昂贵还容易断裂，这些材料最终都被超级合金 MP35N 所取代。MP35N 具有优良的抗腐蚀特性和机械特性，非常适合作为线圈。MP35N 线圈可采用多匝小直径金属线进行改进，采用多匝小直径金属线可降低线圈电阻，提高线圈的弯曲寿命。为了进一步降低电阻，可采用拉制实心管线（DFT）。在 DFT 线中，MP35N 的线芯被银取代，大大降低了电阻，而线外抗腐蚀的 MP35N 层避免了银腐蚀。

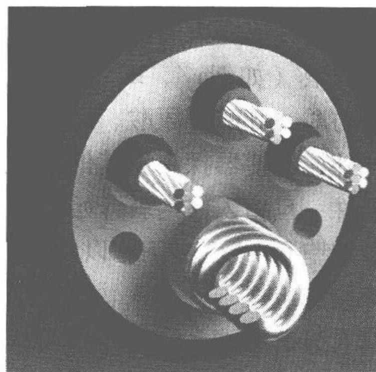


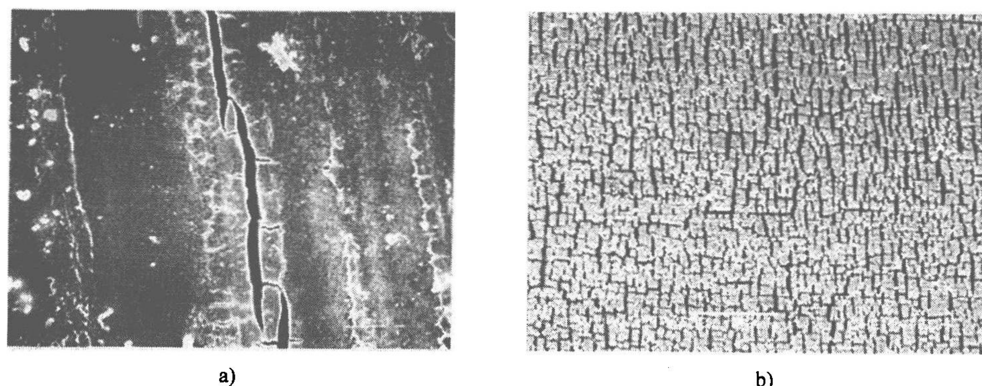
图 19.7 除颤器探头横截面显示了电缆、线圈导体、导体外的绝缘套管、分离导体的多流明管及其外部的保护套管

采用电缆可进一步降低除颤器探头电阻，电缆由多股纯 MP35N 线或涂银的 MP35B 线组成。然而，体内的线圈和电缆仍然容易疲劳和断裂。此外已经了解到，MP35N 腐蚀产生的副产品会加速用于起搏器探头绝缘的聚亚胺脂和其他材料的性能退化。

### 19.4.4 绝缘

早期探头采用特富龙或聚乙烯进行绝缘，粘接导致的加工问题使特富龙很难应用，只好放弃。停止使用聚乙烯进行绝缘是因为聚乙烯使探头变硬，增加了刺穿心脏的可能性，并且聚乙烯生物稳定性不好[6,7]。因为聚酯型聚氨酯的机械特性优良，曾试图采用它，但也放弃了，原因在于聚酯型聚氨酯的性能在水中快速退化。因为无毒、化学惰性和生物稳定性，硅橡胶成为探头绝缘的候选材料，硅橡胶的耐磨强度低，使用时必须提高厚度以降低机械损伤。硅橡胶在血液中的摩擦系数也很高，在一条静脉中很难穿过两个探头，因此在 20 世纪 70 年代，双室起搏器不能发挥其全部潜力。在 20 世纪 80 年代早期，聚醚型聚氨酯开始用于探头绝缘。聚醚型聚氨酯与聚酯型聚氨酯不同，水解稳定，机械性能强于硅胶，血液润湿后表面光滑，机械性能的增加可降低绝缘厚度。尺寸减小和血液中的光滑表面的共同作用使一条静脉中放置两个探头变得容易，从而使双室起搏成为一种实用疗法。

不幸的是，后来发现较软的聚醚型聚氨酯存在两种以前未知的失效机制，如图 19.8 所示的金属离子氧化（Metal Ion Oxidation，MIO）和环境应力断裂（Enviromental Stress Cracking，ESC）[8,9,10]。起搏器探头制造商已经知道如何针对这些失效机理进行设计，以提高探头寿命[11]，采用高性能硅橡胶取代早期的硅橡胶可以降低绝缘层厚度。此外，通过研发表面处理技术可使硅橡胶表面更光滑，容易植入。因此，目前的硅橡胶探头可做得非常小，易于使用，但还是不如聚亚胺酯探头尺寸小和牢固。硅橡胶虽然是化学惰性的，但还是存在失效因素，包括易于遭受机械损坏。由于抗压蠕变（冷循环）和磨损导致的硅橡胶绝缘失效是多探头植入器件的关注重点，因此还不存在一种最佳探头绝缘材料的说法在目前可能是正确的。制造商们一直在研发用于绝缘的生物稳定的新型聚合物材料。



a)　　b)

图 19.8　内绝缘体上的 MIO 裂口与外绝缘体上的 ESC

a）内绝缘体　b）外绝缘体

### 19.4.5 电极

早期的经静脉探头采用直径相对较大的电极（0.156in），大尺寸电极的起搏阻抗较低，导致驱动电流大，起搏器寿命缩短。Irnish 早期的研究表明，理论上用于刺激的最优（球形）电极半径为 0.7 ~ 1mm，与其周围连接组织的厚度相当[12]，下一代起搏电极较小，提高了阻抗，降低了电池的驱动电流，但是尺寸减小也增加了与感测有关的阻抗（源阻抗）[13]。脉冲发生器传感电路的输入阻抗（太低）与源阻抗（太高）间的不匹配导致信号衰减和传感失效。为了优化阻抗同时降低信号衰减，电极尺寸必须保持在 6 ~ 12mm² 范围内。

在 20 世纪 70 年代后期，采用了整体多孔电极和表面多孔电极[14,15]。由于尺寸小（由电极半径定义），这些结构产生的起搏阻抗高，但由于多孔结构增加了表面积，使源阻抗大大降低，因此与光滑电极相比，多孔电极的传感能力更强。多孔电极的额外好处是微孔有利于组织向内生长，有助于电极固定（见图 19.9a、b、c）。

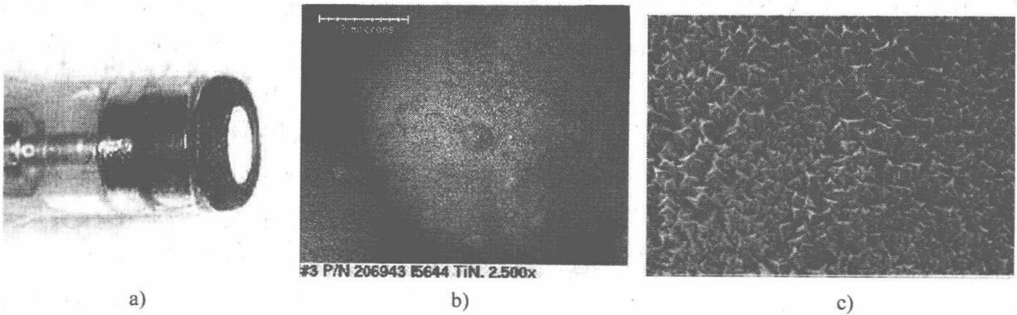



图 19.9 电极及 SEM 图

a）烧结型多孔氮化钛涂层电极 b）2500 倍放大 SEM 图 c）20000 倍放大 SEM 图

1979 年，开始采用具有表面多微孔结构的碳电极[16]，多微孔特性进一步提高了电极性能，通过添加不同涂层可以提高界面面积。目前应用的这些涂层材料包括铂黑、氮化钛[17]和氧化铱[18]。

1982 年，Stokes 采用了类固醇-洗脱电极[19]，类固醇与硅胶一起共同形成一个插头，该插头位于孔状尖端后面的电极条内部（见图 19.10）。电极技术与含糖皮质类固醇的多孔和多微孔特性一起，导致随着植入时间延长，阈值增加最小或为零[20,21]。类固醇可以减轻电极末端的外来物体反应，防止产生无类固醇时的阈值增

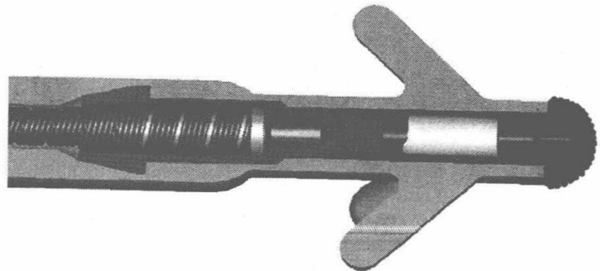


图 19.10 类固醇度长型电极的横截面

加[22]，加入类固醇不仅可以防止阈值增加，而且可以显著降低传出阻滞。传出阻滞是指起搏阈值持续增加，超过了起搏器能力而击打心脏的一种现象。

早期穿过胸腔的临时起搏器所用的电极材料包括钽、镀银铜和不锈钢[23]。不锈钢在 20 世纪 60 年代早期作为可植入式电极，但后来被抗腐蚀性更好的材料所取代，铂、铂合金和埃尔吉洛伊非磁性合金成为大多数永久探头的首选材料。然而，当影响腐蚀的电流密度太高时，也会使埃尔吉洛伊非磁性合金产生腐蚀。电流流动问题部分可通过在稳压发生器的输出终端间耦合电容器得到解决，“电容性耦合”发生器限制了电流输出，使电流降低不致产生明显腐蚀。

此外，还深入研究了其他具有更好抗腐蚀性的材料，钛和钽都是很好的电极材料[24,25]，在可控条件下，其表面可生长出各种不同结构的氧化物，即使在带电条件下，这些氧化物在体内也很稳定。在欧洲，氧化钛电极已经成功应用了超过 25 年，钛电极惟一的不足点是它的辐射能力差，由于电极尖端无法在 X 射线中显示，从而使植入更加困难。

由于电极设计、固定机制、导体结构、绝缘材料等因素，探头表现出各种各样不同的形式。在心脏起搏器超过 60 年的发展过程中，由于技术进步，探头可靠性得到了提高，改进工作获得了飞速发展，需要采用新的导体与绝缘技术来消除主要的器件失效机制（如 ESC、MIO、蠕变、磨损、碎裂、断裂），需要开发新的电极材料允许药物渗透并提高探头的电性能。同时，探头可能看起来像一根简单的金属线，但是在很多情况下，它要比脉冲发生器复杂得多。

## 19.5　植入式生物医学传感器

### 19.5.1　植入式传感器综述

前面的两节包括了对慢性病植入式起搏器、除颤器和探头发展和机会的评述，这些器件主要用于修正心律问题。最近，已经证明医疗器件可用于控制和修正多种其他的医学条件，要么通过采用闭环植入系统，要么将重要信息提供给主管医生，由他改变药物疗法或者调整治疗程序。在这些系统中，一个关键部件是可以测量有用生理变量的传感器。传感器的具体要求由待测变量、传感器使用环境、传感器信号精度与器件寿命所确定。

这些传感器的应用范围极其广泛。例如，用于帮助诊断消化系统疾病的传感器可吞服或置于特定的部位，很可能该部位的湿度和酸度水平非常高，希望这些传感器在穿过消化系统前能使用几天；为了控制或修正慢性病的影响，希望置于皮下或头部、心血管系统或人眼内的传感器能有效工作几年，这些传感器的应用包括控制糖尿病、高血压、心力衰竭和失明症。慢性病植入式传感器也可作为一种诊断存在疑问条件的方式，或者提出病人开始处于危险状态的早期警告。头晕原因的诊断是

说明前一种情况很好的例子，可提供开始中风的早期警告，而心脏病是后一种情况。植入式传感器的另一个应用由一些可监控其他植入式医疗器件的部件组成，这些医疗器件包括人工的颈椎间盘、髋关节或膝关节。这些传感器可用于测量器件应力或确定是否发生了过度磨损。

在本节剩余部分，将描述几种不同的传感器，包括它们的主要要求。

### 19.5.2 用于诊断肠胃的传感器

图 19.11 所示为美国 Medtronic 公司（美国明尼苏达州明尼阿波利斯市）的 Bravo 型 pH 监控系统，该系统用于测量怀疑患有胃食管反流病的患者食道中的 pH 水平[28]。Bravo 传感胶囊的尺寸约为 2.5cm × 0.6cm × 0.5cm，内含 pH 传感器、电路、无线发射器和电池。与采用钛外壳进行外部封装的起搏器和除颤器不同，Bravo 传感器电路灌封在环氧内，只留下电极作为暴露在外的 pH 传感器，选用环氧而不是钛进行封装可实现几米距离外的远程感测操作，并且降低器件成本。

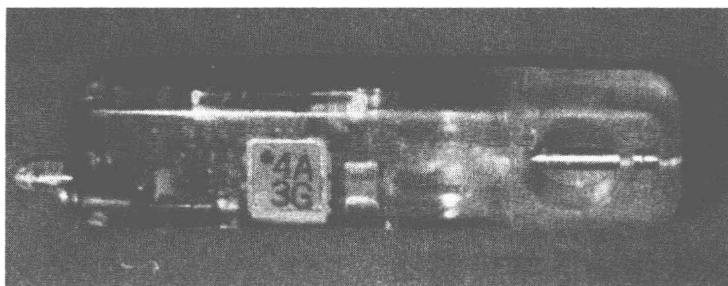



图 19.11 用于诊断胃食管反流疾病的 Bravo 食道 PH 传感器图片

Bravo 传感器胶囊采用特别设计的导管，位于刚好高于胃入口处的食道内，采用金属别针可将传感器贴装在食道壁上，同时去掉导管。在 24 ~ 48h 内，每隔几秒钟，传感器就将 pH 传感器读数传送到附近的接收器上。

这种传感器必须能耐受高湿度和高酸性的恶劣环境。选用的环氧灌封层必须足够厚，以防止湿气渗透到电路上，同时也为电路提供了一个耐久性好、低成本的保护层。

具有类似工作环境的第二个器件是来自以色列 Given Imaging 有限公司的 PillCam，该器件尺寸为 11mm × 26mm，重量小于 4g。该胶囊吞服后，沿着胃和小肠移动，在约 8h 内每秒钟拍摄和传送 2 张图片，最后获得超过 50000 张图片，使用该胶囊是为了查明息肉、癌症或小肠内的出血和贫血原因。该胶囊含有相机、光源、射频发生器和电池，PillCam 封装的特殊要求就是必须满足器件的光学功能，胶囊有一个透明的端部，允许内部光线照亮小肠内壁，图像聚焦在相机上。

### 19.5.3　植入式压力传感器

测量压力可用于诊断和控制多种很严重的医学疾病，包括心脏病、青光眼和脑积水，很多公司为慢性病植入治疗开发了压力传感器，用于治疗这些疾病。美国 ISSYS 公司（美国密歇根州 Ypsilanti）研发了一种由两个部件组成的系统，包括一个可植入的、无须供电的传感器（见图 19.12），以及一个手持式读数器。该植入式传感器模块包含一个硅基 MEMS（微机电系统）压力传感器，以及定制的电路和遥感天线，压力传感器由外部读数器发出的射频信号进行供电和操控，读数器发射功率到传感器，感测的压力接着采用感应磁遥控进行回传。

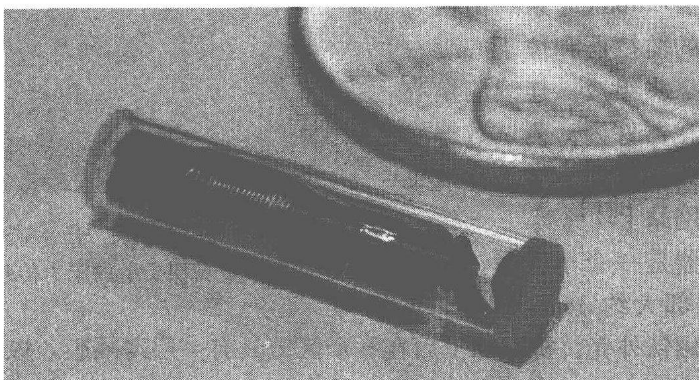


图 19.12　用于测量心脏压力的无线压力传感器图片（承蒙 ISSYS 公司同意）

传感器计划植入患者心脏的左心房内，用于控制心力衰竭[29]，这对器件封装提出了很多要求。首先，希望器件能耐用 10 年以上，因此外壳必须能防止湿气渗透。第二，器件必须安全，因此它必须采用生物相容性材料制备，不能产生凝血，从而可能断裂和引起中风。最后，封装外壳必须允许射频能量很容易耦合到器件内部的天线上。ISSYS 选用玻璃胶囊来密封硅基 MEMS 压力传感器，在玻璃上涂覆一层抗血栓物质来防止凝血。

德国 Mesotec 公司（德国汉诺威）开发了一种植入式压力传感器来测量青光眼患者眼中的眼压 (IOP)[30]。该压力传感器是一个简单的硅集成电路（IC），含有集成压力传感器、恢复电路和射频遥测模块。传感器集成电路密封在一个硅胶环内，称为中间环，如图 19.13 所示。聚合物和密封工艺的选择对器件的正常使用非常重要，聚合物不仅要保护

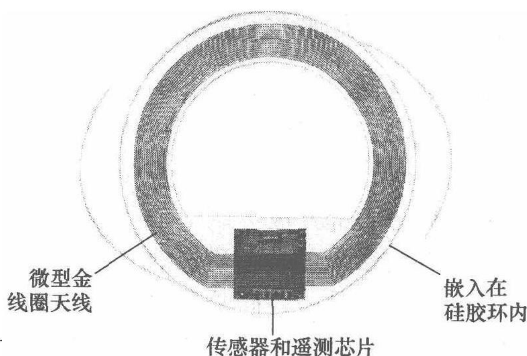



图 19.13　中间环遥测眼压传感器植入体照片（授权源自 Mesotec）

电路，还不能膨胀，或者不在压力传感器表面产生力从而引起抵消作用。

硅胶环内也含有一个与IC相连的可折叠金微型线圈，与ISSYS设计类似，与外部读数器的功率传输和通信通过射频感应耦合来实现。中间环的直径约为1cm，通过眼外科手术植入来取代易染病的透镜。

研发的压力传感器也可用于监控慢性疾病如心力衰竭，该器件是来自美国Medtronic公司（美国明尼苏达州明尼阿波利斯市）称为“Chronicle”的植入式血流动力学监控器，如图19.14所示。Chronicle系统由植入的起搏器大小的监控器和位于心脏右边的压力感测探头组成。连续测量心脏压力并存储在器件内，测试数据然后由患者间歇式传送到一个治疗医生可接入的安全网站上[31]。

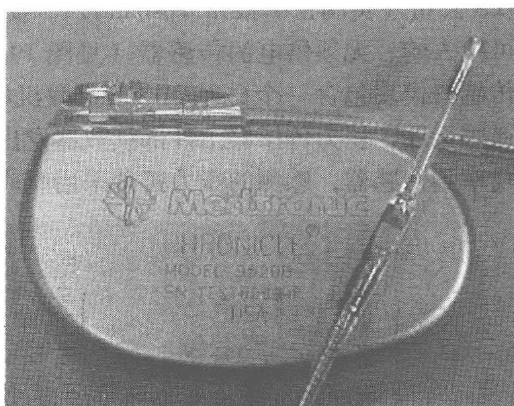


图19.14 “Chronicle”植入式血流动力学监控器及其探头上的压力传感器图片

压力传感器是一个小胶囊，从探头的顶端到尾部大约3cm，Chronicle压力传感器采用钛外壳，机械加工后在一个区域具有一层薄隔膜。该隔膜是电容器的一个平板，由于心脏压力产生偏斜从而使电容发生改变，这个与压力有关的电容控制了胶囊内的IC输出。因此，钛外壳不仅保护了内部电路，而且加工后的隔膜是压力敏感单元。因为压力传感器位于心脏内的探头上，其结构必须牢固，能承受反复加载，希望在整个使用期内，探头能弯曲几千万次。

来自美国明尼苏达州圣保罗市的St. Jude医药公司和Transoma医药公司分别开发了置于心脏内的压力传感器。虽然从传感器设计和植入点而言，这两种器件存在差异，但对封装外壳牢固性、气密性和机械稳定性的要求是一致的。

## 19.5.4 用于失眠症的植入式传感器

在眼科方面，传感器一个令人激动的应用是设计和加工可植入式医疗器件，以辅助提高视力。美国伊利诺斯州内珀维尔市的Optobionics公司开发了一种人工硅基微芯片Retina（ASR），用于恢复患有色素性视网膜炎和与年龄有关的黄斑退化症而致盲的患者部分视力[32]，这些患者的视网膜细胞被破坏了，但基础神经没受影响。设计的系统可刺激受损的视网膜细胞，允许它们将视觉信号重新发送到大脑。ASR微芯片是一种硅基芯片，直径为2mm，厚度为25μm，通过外科手术植入视网膜下，它含有一个由大约5000个微型光电二极管组成的阵列，每个光电二极管都有自己的刺激电极。这些经过设计的微型光电二极管可将眼睛透镜聚焦的光能转换成脉冲信号，刺激视网膜中残存的有用细胞。

其他机构研究了另外的恢复盲人视力的方法。美国南加州大学的 Doheny 眼科研究所和眼视网膜修复小组采用外置的小相机来产生图像，并将图像传送到通过手术植入眼内的系统中。植入部件包括可接收传送信号并将信号转换成一套电脉冲的电路，以及可将脉冲传递到眼神经的电极阵列，最终目标也是将相机植入眼内。

在所有这些视觉应用中，系统植入部分的材料和封装必须同时满足很多要求。因为器件要求很薄，器件的外涂层也要很薄，即使植入几年后，这些涂层还能保护内部的电子部件不受眼内液体的影响，但也必须是生物相容的，防止疼痛。已经对类似硅胶的聚合物涂层和类似金刚石的沉积层进行了研究。

### 19.5.5　用于脊椎矫正的植入式传感器

最新研究的脊椎矫正植入式传感器可提供机械应力和植入系统磨损的准确信息。在此应用中，必须十分小心保护传感器不被关节运动所产生的巨大压力所压碎，同时要求设计的封装外壳在数百万次循环后不裂开。美国 MicroStrain 公司（位于美国佛蒙特州威利斯顿）已经深入研究了全人工膝盖假体，可将数字式三维扭转和力数据无线传送到电脑[34]。传感系统附着在特制的钛合金膝盖假体上，系统单元包括所有的电路并采用激光焊实现气密封装。压电传感器感测钛上的局部张力，无线传感器将数据发送到外部的天线上，系统本身必须机械牢固，能承受数百万次的膝盖运动。从器件获得的信息可用于改进设计、完善手术器具、指导术后物理治疗以及潜在性探测个人活动是否超出植入体的负荷。

### 19.5.6　植入式葡萄糖传感器

生化传感器是一个研究很活跃的领域。寻求一种长寿命、实现无间断控制糖尿病的葡萄糖传感器的研究工作一直持续了几十年[36]，但这种神奇的器件还没有找到。在本书写作时，有两个来自美国加州圣地亚哥的公司，Medtronic 公司与 Dexcom 公司拥有了获得 FDA 批准的无间断葡萄糖传感器[37]。多年来，将小型传感器胶囊植入皮下准确测量葡萄糖水平的理想设计一直没有实现，取而代之，一直采用的是含有电化学电极的感测单元器件，电极表面涂覆葡萄糖转化酶，电极印制在长而薄的聚合物薄膜上。电极通过皮下插入，在更换前一直停留在此位置 3 ~ 7 天。一个小型发生器与传感电极的外部末端相连，发生器中的电子器件有规律地测量葡萄糖值，并将信息发送到附近的接收器。

美国 Dexcom 公司也报告了他们研制的全植入式监控器的进展[38]，植入人体内的该传感器第一代由电化学传感器组成，封装在一个尺寸和形状与 AA 电池相当的小圆柱体器件内，封装体也含有电池、电路板、微处理器和无线发射器。该传感器的一个特色就是采用了多层膜涂覆传感器，目的是为了控制身体的自然反应及其在传感器周围形成纤维状组织层。因为该纤维层可防止葡萄糖扩散到传感器表面导致葡萄糖读数错误，因此必须防止其生成，这种传感器已经植入患者体内三个月了。

位于美国马里兰州德国城的医学与科学传感器公司研发了一种依靠荧光测量皮下葡萄糖浓度的植入式传感器，图 19.15 给出了该传感器结构图。该传感器胶囊含有一个可激发测试层荧光的 LED 光源，测量 LED 辐射量和荧光的光学探测器，以及驱动和控制光电器件的电路。植入式胶囊也含有可利用从外部监控射频信号能量的电路。

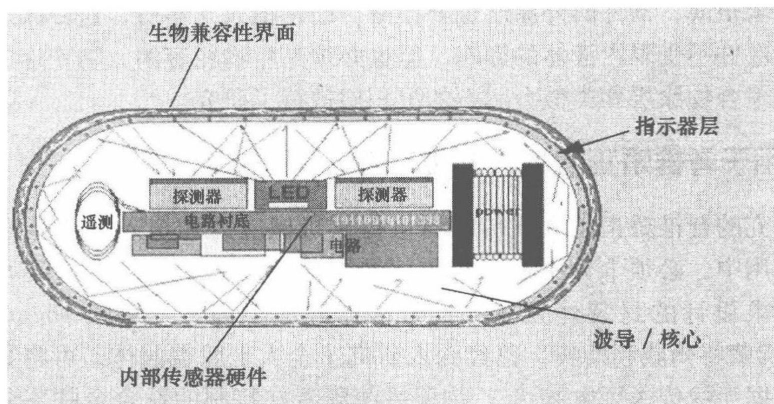



图 19.15 荧光型植入式葡萄糖传感器胶囊图例说明
（授权源自医学与科学传感器公司）

植入式生化传感器的研究和技术开发都很活跃，由于难以在极其小的管壳内同时获得高精度、稳定性和生物相容性，到目前为止只有少数产品面世。要求更好地获取患者健康信息从而降低保健成本，并且有很多机构进入到该研究领域，导致在不久的将来会有大量器件上市。

## 19.6 芯片诊断传感器——机遇与挑战

### 19.6.1 介绍

诊断型生物传感器对疾病的临床诊断和管理具有广泛和深远的影响，诊断型生物传感器可在病床、医生办公室或家里使用。由于为了有效控制疾病而要求增加探测病变区位，以及个人监控疾病需求的增加，对这种传感器和器件的需求一直在增长。我们将亲眼见证这些事实，在接下来的几十年里，美国会有历史上最多的老年人口，非常高的保健成本，以及在世界上大多数不发达地区艾滋病的广泛流行，非常需要诊断型生物传感器来帮助解决这些难题。对这些传感器的要求是成本低、一次性使用、敏感性高，能够查明细胞、细菌、病毒、蛋白质、DNA 或小分子等特定生物体。

目前，只有少数几种诊断型传感器实现了市场销售。能从柜台上获得的两种最

常见的测试实例可能是妊娠测试和血糖监控，其使用方便，提供了使用者所需的关键信息；两个其他例子是胆固醇测试和用于测试动脉血气、离子的iSTAT/Abbott试剂盒，以及最新的心脏测试试剂。研制这样的诊断型传感器还有很多机会，特别是在将微流体、微纳技术与芯片实验室技术应用到这些传感器的研究和开发方面。

### 19.6.2　微系统、生物MEMS和生物芯片

目前，市场上可购买到的诊断型生物传感器仅限于测试蛋白质、酶或小分子（就如iSTAT或胆固醇测试那样），在探测细胞、微生物、病毒、蛋白质、DNA和小分子方面还存在很多机会。最近自上而下（top-down）硅纳米技术与微流体器件的发展为加工更小、更灵敏的传感器提供了新机会，使诊断型生物芯片传感器能快速、准确分析体液样品。微米和纳米加工技术使研究者能够制造出更小尺寸的传感器。总体而言，小尺寸传感器不仅提高了灵敏度，也能够形成阵列。而且，MEMS、微流体与纳米技术可用于制造能探测生物体的传感器，该传感器使用时可能不需要标记物。

使用微米和纳米尺度的探测技术是合理的，原因在于：1）使传感器单元大小降低到检查对象的尺寸量级，从而获得更高的灵敏度；2）降低试剂用量和相应的成本；3）由于体积小导致混合效率更高，可降低测量时间；4）符合整个系统轻便化、小型化的要求。几个可能的应用实例包括在血清或血液中监控癌症的生物标记物，从血液或尿液中探测病毒或细菌，探测和统计$CD^{4+}$白细胞数以及从饮用水中探测活细胞是否存在等。实际的感测方式可能包括电学方法及其衍生法，机械传感或光学传感（Bashir等人，2004年），用于诊断的测试样品源可包括唾液、血液或尿液，而血液所包含的个人健康状态信息最丰富（Toner和Irimia，2005年）。除了体液之外，其他样品如水和工业微生物与制药生产中的其他液体，以及血液样品中的提取物分析也为这些诊断型传感器和测试传感器提供了巨大的市场份额。图19.16所示为诊断型传感器样品分析需要完成的步骤。目标液体测量后注入器件中，根据所探测的目标物不同，样品有时必须进行处理，也就是说，必须将目标物从测试样品中分离出来；为了提高信噪比，从而能够测量微量样品，必须进行样品分离和分析提纯或浓缩。紧接着测试目标物，结果需要显示在读数器或数据分析系统上，该模型采用一次性使用的试剂盒/传感器和可重复使用的读数器/系统。

### 19.6.3　传感器技术平台

微流体器件可处理的流体量范围为几十到几百微升，取决于器件的构造和应用。根据目标分析物的不同，图19.17给出了这种生物芯片传感器可能的技术基础。一些样品分散和运输措施是必须采用的，样品可能还必须过滤，如为了从血清中分离细胞，或者从血液细胞中分离病毒和细菌。使用电荷或pH计分离法，或者

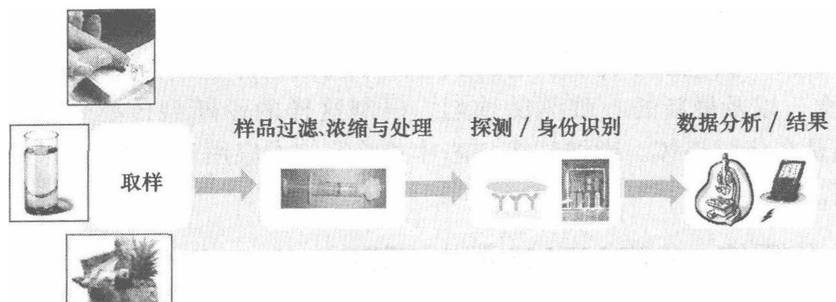



图 19.16　诊断生物芯片传感器样品分析步骤

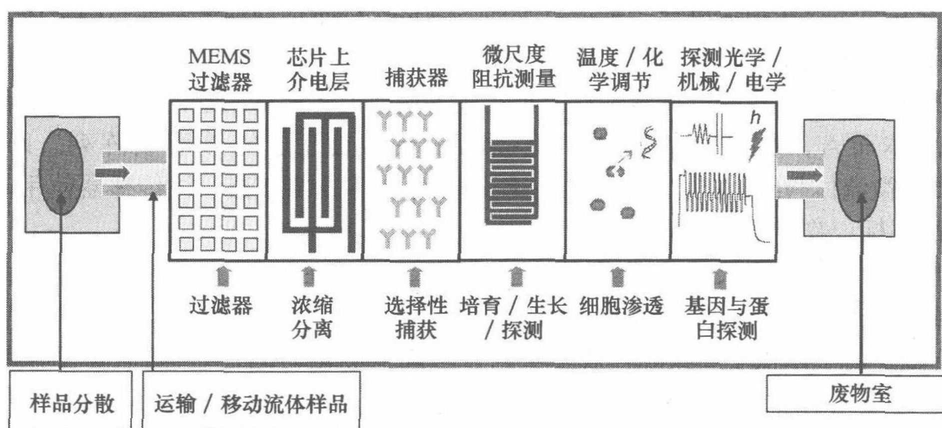



图 19.17　芯片上探测微生物或细胞的可能技术平台预览，并不是所有的模块都需要，模块顺序可根据分析类型进行重排

采用电泳疗法或双向电泳法时，必须进行进一步的分类或分离，于是可能必须采用粘附在抗体上的表面受体收集目标物，以获得特定的俘获物。目标细胞一旦被俘获，在有些情况下，可能还必须进行生长和培育，要么是为了增加细胞数量，例如为了探测活细菌，要么是通过细胞生长探测蛋白质的分泌物；接下来为了采用生物分子识别技术来分析细胞内容，细胞可能需要溶解，这些技术可能不需要使用标记物，例如，可使用电学（阻抗、电化学或场效应）或机械传感器（微纳悬臂梁）进行测量。采用荧光标记物的光学探测或其他化学发光或生物发光技术可与集成光探测器（在系统/读数器中）一起使用，但并不是所有的测试单元都可以广泛使用，测试次序也可以根据目标分析物和单体进行改变。图 19.18 给出了学术界和企业界研发的生物 MEMS 和微流体器件文献中的传感器图片。

最近，芯片上的微纳尺度悬臂梁传感器开始用于探测生化体和反应的机械变量，这些悬臂梁传感器（潜水板型结构）可分为两种模式，也就是应力感测型和质量感测型。在应力感测模式中，生化反应选择在悬臂梁的一面进行，表面自由能

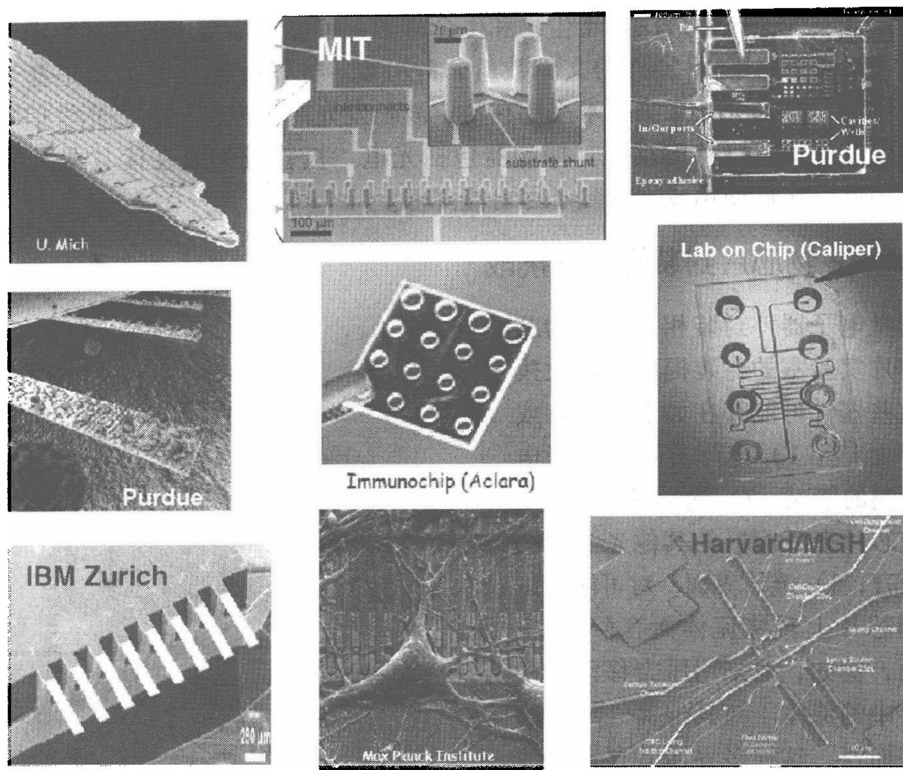



图 19.18　文献资料中介绍的各种生物芯片传感器与芯片实验室

变化使表面应力改变，从而可测量悬臂梁的弯曲度，因此可实现生物分子键的无标记物探测。悬臂梁弯曲度可通过光学方法（从悬臂梁表面反射激光到四方位探测器，类似原子力显微镜）或电学方法（在悬臂梁固定边贴上压阻片）进行测量；在质量感测模式中，悬臂梁通过机械激发使其在谐振频率振动（例如采用外部压力或环境噪声），谐振频率通过电学或光学方法测量，并与俘获生物体后的悬臂梁谐振频率进行比较，假设弹簧常数保持不变，质量变化可通过探测谐振频率的转换进行测试。例如在液体中，随着阻尼系数增加，质量因素降低，因此与低阻尼介质相比，高阻尼介质中的最小可探测质量要高得多。

电学或电化学探测技术在生物芯片和生物 MEMS 传感器中的应用也相当普遍。与光学探测技术相比，这些技术可满足器件轻便性和小型化要求，然而，最近片上集成光学器件技术的发展也可以制造更小的集成器件。电化学生物传感器包括三种基本类型：1）电流型生物传感器，涉及电流与氧化还原过程中电子的共同作用；2）电势型生物传感器，测量电极上由于离子或化学反应（如离子敏感场效应晶体管（FET））产生的电极电势变化；3）电导型生物传感器，测量与两个电极间总体离子介质变化有关的电导变化。由于具有确定的电化学场，电势型和电流型传感器的研究报告特别多，很多这样的传感器在微米和纳米量级得到了应用。

由于光学探测技术广泛用于生物和生命科学，可能是最常用的测试技术，采用光学探测的生物 MEMS 器件的文献数量非常可观。光学探测技术通常是基于荧光或化学发光原理，荧光探测技术采用在特定波长发光的荧光标记物，光学信号的存在、增强或降低可标示键反应。探测器包括光电二极管或集成在读数器上的 CCD 单元，因此一次性使用成本得到了尽可能降低。

## 19.6.4 生物芯片封装问题与挑战

与微电子器件封装相比，生物芯片和芯片实验室的封装提出了巨大挑战。这些器件可能存在如下的所有或部分界面[41]：1）电学界面，对于电化学探测的情况；2）光学界面，对于荧光或芯片上反应区的其他光学探测方式而言；3）流体界面，对可能从试剂盒到芯片上转移流体而言；4）机械界面，例如，对采用压力移动和推动芯片中的流体。与其他器件或传感器封装而言，这种多界面共存情况使生物芯片的封装问题更加复杂。此外，对于一次性使用后丢弃的器件而言，其成本必须尽可能低。图 19.19 给出了这种传感器的版图结构示意图，图 19.20 给出了这种微流体生物芯片传感器的封装系统概念示意图。

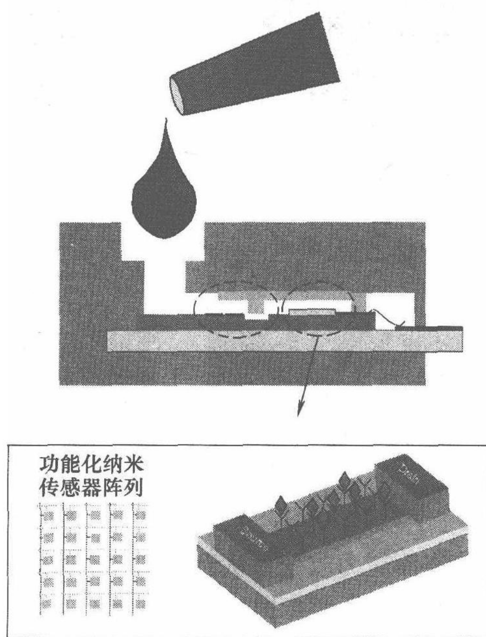



图 19.19 诊断测试用集成微芯片试剂盒结构示意图，所示集成传感器是一种场效应晶体管传感器，但也可能包含其他类型传感器

这些器件的设计准则和性能说明书将包含如下的部分或全部考虑要点[41]：1）封装外壳应该避免对某一流体出口进行手工操作和连接；2）封装和传感器设计本身应该避免一个失效后损害到另一个；3）如果器件是一次性使用的传感器，要保护传感器不受环境影响一直到器件使用完毕，在后续使用中，测试时封装和器件必须保留所有液体，避免环境污染；4）封装体应该能够承受生物芯片传感器内流体运动产生的理想压力范围；5）封装外壳设计必须采用上面提到的任一或所有界面方案；6）在测试时，外壳和生物芯片不能污染或使测量的生物体变质；7）外壳和生物芯片不能使气体或液体泄漏到环境中；8）流体界面必须可靠和牢固；9）外壳材料在进行样品测试前需要无菌化处理。上述这些只是部分要求，取决于研发的特定测试和化验要求，上面列出的要求可能增加，也可能减少。

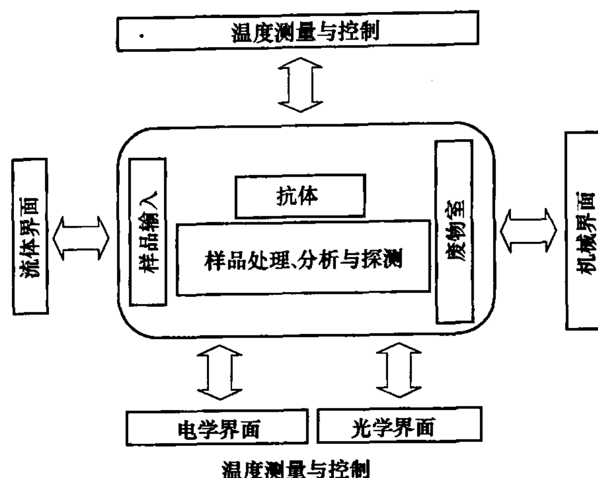



图 19.20　集成芯片实验室与微流体生物芯片传感器的封装要求示意图

# 参考文献


1. Williams DF, *The Williams Dictionary of Biomaterials* (Liverpool, UK: Liverpool University Press, 1999), 40
2. Bisping HJ and Rupp H. A new permanent transvenous electrode for fixation in the atrium. In Watanabe Y (ed), *Proceedings of the Vth International Symposium on Cardiac Pacing*. Amsterdam, Exerpta Medica, pp. 543–547, 1977
3. Citron P and Dickhudt E. US Patent No. 3959502, Endocardial electrode. 1976
4. Anderson JA. Inflammatory response to implants. *ASAIO* II(2):101–107, 1988
5. Chardack W, Gage A and Greatbatch W. Correction of complete heart block by a self contained and subcutaneously implanted pacemaker. *J Thorac Cardiovasc Surg* 42:814, 1961
6. Dolezel B, Adamirova L, Naprstek A and Vondracek P. *In vivo* degradation of polymers. I. Change of mechanical properties in polyethylene pacemaker lead insulations during long-term implantation in the human body. *Biomaterials*, 10(2):96–100, 1989
7. Wasserbauer R, Beranova M, Vancurova D and Dolezel B. Biodegradation of polyethylene foils by bacterial and liver homogenates. *Biomaterials*, 11(l):36–40, 1990
8. Byrd CL, McArthur W, Stokes K, Sivina M, Yahr WZ and Greenberg J. Implant experience with unipolar polyurethane pacing leads. *PACE*, 6(5):868–882, 1983
9. Zhao Q, Topham N, Anderson JM, Hiltner A, Loden G and Payet CR. Foreign-body giant cells and polyurethane biostability: *In vivo* correlation of cell adhesion and surface cracking. *J Biomed Mater Res* 25:177–183, 1991
10. Zhao Q, McNally AK, Rubin KR, Reiner M, Wu Y, Rose-Caprara V, Anderson JM, Hiltner A, Urbanski P and Stokes K. Human plasma $\alpha_2$-macroglobulin promotes in vitro stress cracking of Pellethane 2363-80A: *In vivo* and *in vitro* correlations. *J Biomed Mater Res* In Press
11. Beanlands DS, Akyurekli Y and Keon WJ. Prednisone in the management of exit block. In Meere C (ed), *Proceedings of the VIth World Symposium on Cardiac Pacing*, Montreal, PACESYMP, 1979, Chapter 80-3
12. Irnich W. Physikalische Uberlegungen zur elektrostimulation. *Biomedizin Technik* 3:97–104, 1973

13. Barold SS, Ong IS and Heile RA. Matching characteristics of pulse generator and electrodes. A clinicians concept of input and source impedance and their effect on demand function. In Meere C (ed), *Proceedings of the VIth World Symposium on Cardiac Pacing*, Montreal, PACESYMP, 1979, Chapter 34-3
14. Amundson D, McArthur W, MacCarter D and Mosharrafa M. Porous electrode-tissue interface. In C Meere (ed), *Proceedings of the VIth World Symposium on Cardiac Pacing* Montreal, PACESYMP, Chapter 29-16
15. Wilson GJ, MacGregor DC, Bobyn JD, Lixfeld W, Pillar RM, Miller SL and Silver MD. Tissue response to porous-surfaced electrodes: Basis for a new atrial lead design. In C Meere (ed), *Proceedings of the VIth World Symposium on Cardiac Pacing*, Montreal, PACESYMP, Chapter 29-12
16. Beck-Jansen P, Schuller H and Winther-Rasmussen S. Vitreous carbon electrodes in endocardial pacing. In C Meere (ed), *Proceedings of the VIth World Symposium on Cardiac Pacing*, Montreal, PACESYMP, Chapter 29-9
17. Schaldach M, Bolz A, Breme J, Hubmann M and Hardt R. Acute and long-term sensing and pacing performance of pacemaker leads having titanium nitride electrode tips. In Antonioli E, Aubert AE and Ector H (eds), *Pacemaker Leads 1991*, Amsterdam, Elsevier, 1991, pp. 441–450
18. Del Bufalo AGA, Schlaepfer J, Fromer M and Kappenberger L. Acute and long-term ventricular stimulation with a new iridium oxide-coated electrode. *PACE* 16(6):1240–1244, 1993
19. Stokes KB, Graf JE and Wiebusch WA. Drug-eluting electrodes-improved pacemaker performance. In Potvin AR and Potvin JH (eds), *Frontiers of Engineering in Health Care-1982*. Proceedings, Fourth Annual Conference IEEE Engineering in Medicine and Biology Society, pp. 499–502, 1982
20. Stokes KB, Bornzin GA. and Wiebusch, WA. A steroid-eluting, low-threshold, low-polarizing electrode. In Steinbach K (ed) , *Cardiac Pacing*, Darmstadt, Steinkopff Verlag, pp. 369–376, 1983
21. Mond H and Stokes K. The Electrode-Tissue Interface: The Revolutionary Role of Steroid Elution. *PACE* 15(l):95–107, 1992
22. Stokes K and Anderson J. Low Threshold Leads: The Effect Of Steroid Elution. In Antonioli GE (ed), *Pacemaker Leads*, Amsterdam, Elsevier, 537–542, 1991
23. Thevenet A, Hodges PC and Lillehei CW. Use of myocardial electrode inserted percutaneously for control of complete atrioventricular block by artificial pacemaker. *Dis Chest* 34:621–631, 1958
24. Dawson WW (ed). Electrode materials study, contract number NIH-71-2286, Tenth Quarterly Report, Nov. 1973–Jan. 1974
25. Johnson PF, Bernstein JJ, Hunter G, Dawson WW and Hench LL. An *in vitro* and *in vivo* analysis of anodized tantalum capacitive electrodes: corrosion response, physiology and histology. *J Biomed Mater Res* 11:637–656, 1977
26. Maiolino P, Del Bene P, Cecci A, Cappelletti F, Pauletti M, Al Bunni M and Audoglio R. Titanium oxide electrode: 60 Months clinical experience of low energy pacing. In Antonioli GE, Aubert AE and Ector H (eds), *Pacemaker Leads 1991*, Amsterdam, Elsevier, pp. 491–496, 1991
27. Audoglio R and Gatti AM. Non-stoichiometric titanium oxide: Why is it a so effective material for low energy pacing? In Antonioli GE, Aubert AE and Ector H (eds), *Pacemaker Leads 1991*, Amsterdam, Elsevier, pp. 491–496, 1991
28. Pandolfino JE, Richter JE, Ours T, Guardino JM, Chapman J, and Kahrilas PJ. Ambulatory esophageal pH monitoring using a wireless system. *Am J Gastroenterol* 98:740–749, 2003
29. Najafi N and Ludomirsky A. Initial Animal Studies of a Wireless, Batteryless, MEMS Implant for Cardiovascular Applications. *Biomedical Microdevices* 6:61–65, 2004
30. Stangel K, Kolnsberg S, Hammerschmidt D, Hosticka BJ, Trieu HK, and Mokwa W. A programmable intraocular CMOS pressure sensor system implant. *IEEE J Solid-State Circuits* 36:1094–1100, 2001

31. Steinhaus D, Reynolds DW, Gadler F, Kay GN, Hess MF, and Bennett T. Implant experience with an implantable hemodynamic monitor for the management of symptomatic heart failure. *Pacing Clin Electrophysiol* 28:747–53, 2005
32. Chow AY, Chow VY, Packo K, Pollack J, Peyman G, and Schuchard R, The artificial silicon retina microchip for the treatment of vision loss from retinitis pigmentosa. *Arch Ophthalmol* 122:460–469, 2004
33. Liu W, McGucken E, Cavin R, Clements M, Vichienchom K, Demarco C, Humayun M, de Juan E, Weiland J, and Greenberg R. A retinal prosthesis to benefit the visually impaired. In Teodorescu N (ed), *Intelligent System and Techniques in Rehabilitation Engineering*, CRC Press, 99, pp. 31–87, 2000
34. D'Lima DD, Townsend CP, Arms SW, Morris BA, and Colwell CW. An Implantable Telemetry Device to Measure Intra-Articular Tibial Forces. *J Bio-Mechanics* 38:299–304, 2005.
35. Kirking B, Krevolin J, Townsend C, Colwell CW Jr, and D'Lima DD. A multiaxial force-sensing implantable tibial prosthesis. *J Biomechanics* 39:1744–1751, 2006
36. Klonoff DC. Continuous glucose monitoring: roadmap for 21st century diabetes therapy. *Diabetes Care* 28:1231–1239, 2005
37. Gross TM, Bode BW, Einhorn D, Kayne DM, Reed JH, White NH, and Mastrototaro JJ. Performance evaluation of the MiniMed continuous glucose monitoring system during patient home use. *Diabetes Technol Ther* 2:49–56, 2000
38. Garg SK, Schwartz S, and Edelman SV. Improved Glucose excursions using an implantable real-time continuous glucose sensor in adults with type 1 diabetes. *Diabetes Care* 27:734–738, 2004
39. Bashir R. BioMEMS: State of the art in detection and future prospects, *Adv Drug Delivery Rev* 56:1565–1586, 2004
40. Toner M and Irimia D. Blood-on-a-Chip. *Annu Rev Biomed Eng* 7:77–103, 2005
41. Lee K. The development of highly functional cartridge for rapid detection of microbial contaminants. MS Thesis, Purdue University, 2006

# 电工电子分社编著书籍推荐表

| 姓　　名 | | 出生年月 | | 职称/职务 | |
|---|---|---|---|---|---|
| 单　　位 | | | | | |
| 专　　业 | | E-mail | | | |
| 通讯地址 | | | 邮政编码 | | |
| 联系电话 | O: | H: | 研究方向及教学科目 | | |
| | 手机: | | | | |

个人简历（毕业院校、专业、从事过的以及正在从事的项目、发表过的论文）

您近期的写作计划有：

您推荐的国外原版图书有：

您认为目前市场上最缺乏的图书及类型有：

地　址：北京市西城区百万庄大街22号　机械工业出版社　电工电子分社

邮　编：100037　电话：010-88379045　联系人：王欢　010-68326336（传真）

E-mail：henry_allg@hotmail.com　网址：www.cmpbook.com

# 国际视野　科技前沿

## 国际信息工程先进技术译丛



上架指导：工业技术/电子技术




ISBN 978-7-111-36346-0

封面设计：马精明

定价：99.00元

地址：北京市百万庄大街22号　　邮政编码：100037
电话服务　　网络服务
社服务中心：(010)88361066　　门户网：http://www.cmpbook.com
销售一部：(010)68326294　　教材网：http://www.cmpedu.com
销售二部：(010)88379649
读者购书热线：(010)88379203